

**Fakultät für Physik und Astronomie**  
**Ruprecht-Karls-Universität Heidelberg**

Bachelorarbeit im Studiengang Physik  
vorgelegt von

**Robert Verclas**

geboren in Schwetzingen (Deutschland)

**2016**

**System zur schnellen Messung von Stromspitzen  
in der Hochspannung am  
Übergangsstrahlungsdetektor von ALICE**

Diese Bachelorarbeit wurde von Robert Verclas  
ausgeführt am  
Physikalischen Institut der Universität Heidelberg  
unter der Betreuung von  
Herrn PD Dr. Kai Schweda

## **System zur schnellen Messung von Stromspitzen in der Hochspannung am Übergangsstrahlungsdetektor von ALICE**

### **Zusammenfassung**

Während des LHC Betriebs in Run 1 ereigneten sich sporadisch in den Gasdetektoren von ALICE gleichzeitige Trips in der Hochspannung, bei denen die Mehrheit der Hochspannungskanäle betroffen waren. Durch eine große Energiedeposition im Detektor wurden die Trips verursacht, diese stehen möglicherweise mit dem LHC Maschinenbetrieb im Zusammenhang. Ein System zur schnellen Messung von Stromspitzen in der Hochspannung am Übergangsstrahlungsdetektor von ALICE wurde entwickelt und installiert. Dieses System basiert auf einer FPGA Technologie und überwacht minimal invasiv 144 von 521 Hochspannungskanälen bei einer maximalen Auslesefrequenz von 1 MHz. Es ist eine wesentliche Komponente des LHC Überwachungssystems. In dieser Arbeit wird die Dokumentation über das System und seine wichtigsten Hardwarekomponenten aufgeführt. Auch beschreibt diese Arbeit den endlichen Zustandsautomaten, in dem sich das System befindet. Des Weiteren habe ich ein Programm entwickelt, dass in der Lage ist die gemessenen Ströme von den FPGAs auszulesen.

### **Abstract**

During Run 1 of the LHC operation, the gaseous detectors of ALICE occasionally experienced simultaneous trips in their high voltage that affected the majority of the high voltage channels. These trips are caused by a large energy deposition in the detector and are potentially related to LHC machine operations. A fast current-peak detection system for the ALICE Transition Radiation Detector is developed and installed. This system is based on FPGA technology and monitors 144 out of the 521 TRD high voltage channels minimally invasively at a maximum readout rate of 1 MHz. This system will be an integral part of the LHC beam monitoring system. Within this thesis the documentation of the system and of its major hardware components is being described. Additionally the thesis describes the finite state machine of the system. Furthermore I developed a program, which is able to readout the measured currents in the FPGAs.



# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
<b>2</b>	<b>Das ALICE Experiment</b>	<b>2</b>
2.1	Aufbau . . . . .	2
2.2	Der Übergangsstrahlungsdetektor . . . . .	2
2.3	Die Hochspannungsversorgung des TRD . . . . .	3
<b>3</b>	<b>Aufbau des Systems zur schnellen Messung von Stromspitzen in der Hochspannung am TRD</b>	<b>7</b>
<b>4</b>	<b>Messprinzip</b>	<b>12</b>
4.1	Digital-Analog-Wandler . . . . .	13
4.2	FPGA . . . . .	13
4.3	Kontrollerkarte . . . . .	15
4.4	Mikrocontroller . . . . .	16
4.5	Synchronisation . . . . .	17
<b>5</b>	<b>Konfiguration eines Messkanals</b>	<b>19</b>
<b>6</b>	<b>Kontrolle und Monitoring</b>	<b>24</b>
6.1	Das Distributed Information Management System . . . . .	24
6.2	DIM Service . . . . .	25
6.3	Auslese der Messdaten . . . . .	27
6.4	Endlicher Zustandsautomat (Finite State Machine) . . . . .	28
6.5	Panels im Detektorkontrollsystem . . . . .	30
<b>7</b>	<b>Fazit</b>	<b>33</b>
	<b>Literaturverzeichnis</b>	<b>34</b>

# 1 Einleitung

Die Welt besteht aus Materie, die sich kurz nach dem Urknall gebildet hat. Man vermutet, dass eine sehr kurze Zeitspanne nach dem Urknall Materie als sogenanntes Quark-Gluon-Plasma (QGP) vorlag, einem Zustand von beispielsweise so hoher Temperatur, dass sich stark wechselwirkende Teilchen, die sonst nur in gebundener Form existieren (Confinement)[1], in einem quasi-freien Zustand befinden. Um die Eigenschaften des QGP zu untersuchen, wurde ALICE (A Large Ion Collider Experiment)[2] gebaut. Das ALICE Experiment ist eines der vier großen Experimente am Large Hadron Collider(LHC)[2]. In ALICE wird durch die Kollision von Bleiionen versucht, ein solches QGP zu erzeugen. Der Endzustand dieser Kollisionen wird von mehreren Detektoren untersucht, von denen einer der Übergangsstrahlungsdetektor (Transition Radiation Detektor, TRD) ist, welcher sehr präzise zwischen Elektronen und Pionen unterscheiden kann. Im Run 1 (2009 - 2013) traten Ereignisse auf, welche die Hochspannung des TRD trippen ließ. Die Trips kommen zustande, wenn ein zu großer Strom von den Anoden der Hochspannung am TRD fließt. Um weitere Erkenntnisse über die Ursache zu gewinnen wurde ein System zur schnellen Messung von Stromspitzen in der Hochspannung entwickelt. Ein ähnliches System wurde auch für die Time Projection Chamber (TPC)[2], dem primären Trackingdetektor von ALICE, entwickelt. Das in dieser Arbeit vorgestellte System besitzt keine Totzeit, das ist die Zeit in der keine Ströme gemessen werden können, und ist die Hardware ist in der Lage mit einer maximalen Auslesefrequenz von 2 MHz Ströme zu messen. Jedoch arbeitet die bisherige Field Programmable Gate Array (FPGA) Technologie mit einer Auslesefrequenz von 1 MHz. Das System misst die Ströme von der Hochspannung, ohne dass ein allzu großer Spannungsverlust an den Hochspannungskammern auftritt.

Während dieser Arbeit wurde das System zur schnellen Messung von Stromspitzen in der Hochspannung am Übergangsstrahlungsdetektor von ALICE installiert und ein Strom-Auslesesystem geschaffen, um die gemessenen Daten untersuchen zu können.

Das Ziel dieses Systems ist der Ursache der Trips, durch genaue Messung der Ereignisparameter, auf den Grund zu gehen.

## 2 Das ALICE Experiment

### 2.1 Aufbau

ALICE ist ein speziell für Schwerionenkollisionen konzipiertes Experiment, welches sich auf die starke Wechselwirkung des Standardmodells[2] und die Erforschung des Quark-Gluon-Plasmas fokussiert. Der TRD befindet sich in ALICE[2]. Da viele Signale des QGP leptonic sind, werden in ALICE Detektoren wie z.B. der TRD benötigt, der mit Hilfe von Übergangsstrahlung Elektronen identifizieren kann. Der TRD befindet sich zwischen den beiden Subsystemen TPC und Time Of Flight (TOF) Detektor[3] (Abb. 1).

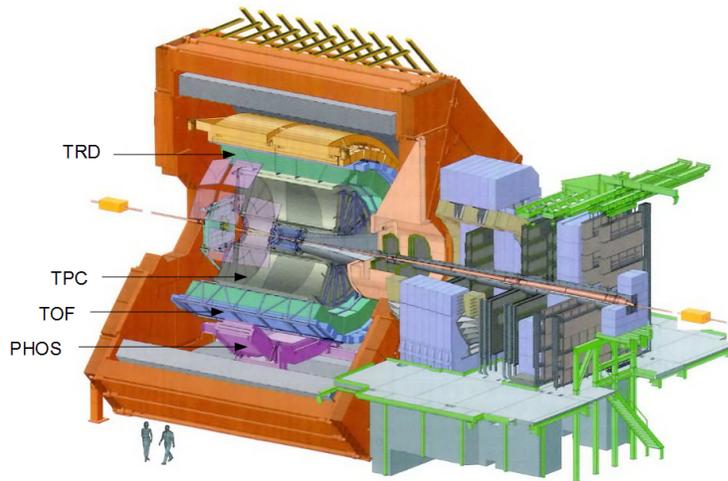


Abbildung 1: ALICE Detektor mit den vier markierten Subsystemen TOF, TRD, TPC und PHOS[2].

### 2.2 Der Übergangsstrahlungsdetektor

Der TRD besteht aus 18 Supermodulen, welche zylindersymmetrisch um den Kollisionspunkt im ALICE Detektor angeordnet und in 18 Sektoren installiert sind. Jedes Supermodul wiederum besteht aus 30 eindeutig nummerierten Kammern[3] (Abb. 2), die in 5 Stacks entlang der Beam-Achse, bestehend aus 6 Lagen, angeordnet sind. In den Sektoren 13, 14 und 15 fehlt jedoch der mittlere Stack, um dem darunterliegenden Photon Spectrometer (PHOS, Abb.1) Messungen mit möglichst geringer Strahlungslänge zu ermöglichen. Somit ist der TRD aus 521 insgesamt Kammern aufgebaut.

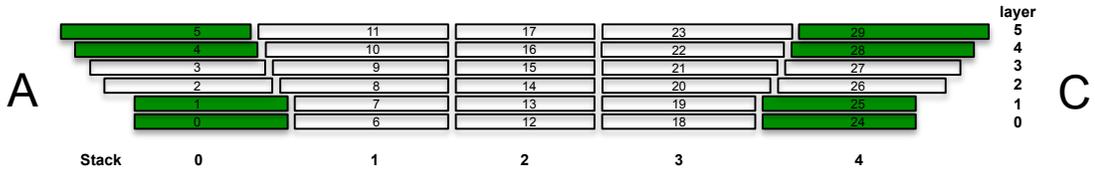


Abbildung 2: Die Aufteilung und Nummerierung der Kammern pro Supermodul im TRD. Die Nummerierung läuft von 0 bis 29. Es existieren fünf Stacks und sechs Layer. A und C bezeichnen eindeutig eine Seite des ALICE Experiments in Strahlrichtung. Auf der C-Seite befindet sich der Myonen-Arm. In den farblich hinterlegten Kammern werden von den insgesamt 30 Kammer die Stromspitzen im System gemessen.

### 2.3 Die Hochspannungsversorgung des TRD

Für die Hochspannungsversorgung des TRD sind Hochspannungsnetzteile (Abb. 3), die in dem Counting Room 4 (CR 4) in den Racks Y12, Y13 und Y14 (Abb. 4) lokalisiert sind, zuständig. Pro Supermodul gibt es ein ISEG [4] Hochspannungsnetzteil. Bei jedem Hochspannungsnetzteil sind 32 Ausgänge vorhanden, jedoch werden nur 30 Kanäle, die zu den 30 Kammern pro Sektor führen, benutzt. Die zwei anderen Kanäle sind zur Reserve vorhanden und sind nicht an eine Kammer angeschlossen.

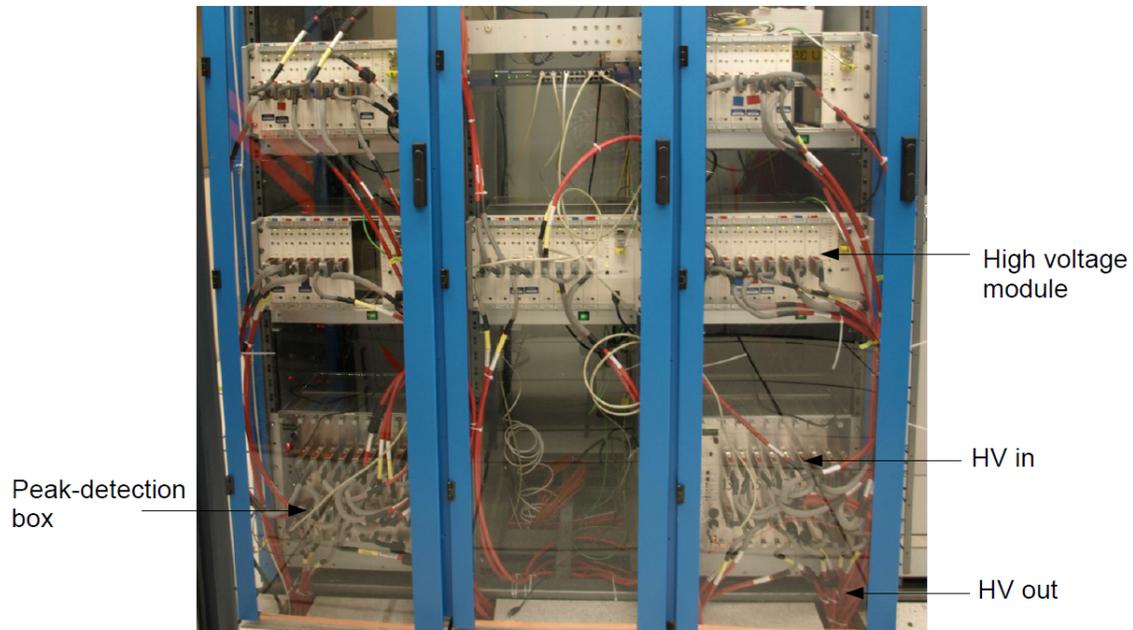


Abbildung 3: Anordnung der Hochspannungsnetzteile (High voltage module) und der beiden Boxen (Peak-detection box), die das System zur schnellen Messung von Stromspitzen in der Hochspannung am TRD beinhalten. Der Eingang der Hochspannung (HV in) und der Ausgang der Hochspannung (HV out) an der Box ist markiert.

Über einen REDEL Steckverbinder[5] (Abb. 5) ist es möglich, den Strom von einem Hochspannungsnetzteil abzugreifen. In Tabelle 1 ist dargestellt, welche Pinbelegung auf dem REDEL Steckverbinder gewählt ist. Die Nummerierung der Kanäle, die zur Hochspannung führen, ist die Gleiche, wie die Kammernummerierung in den Sektoren.

Der REDEL Steckverbinder besitzt 51 Pins. Die Pinbelegung ist in Tabelle 1 zu sehen. Nur 30 Pins werden für die Kammern in einem Sektor benutzt. Von den restlichen 22 Pins liegen die vier Pins 1, 11, 41, und 51 auf einem Potential von Null und die restlichen 18 Pins sind nicht belegt.

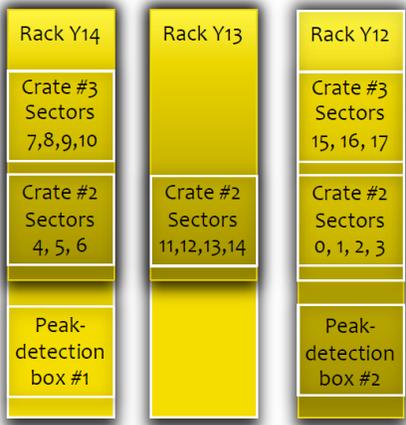


Abbildung 4: Schematische Aufteilung der Hochspannungsnetzteile (zusammengefasst als „Crates“) und der zwei Boxen (Peak-detektion box) in CR4, in denen das System zur schnellen Messung von Stromspitzen enthalten ist. In Rack Y14 ist die erste Box und in Rack Y12 die zweite Box angebracht.

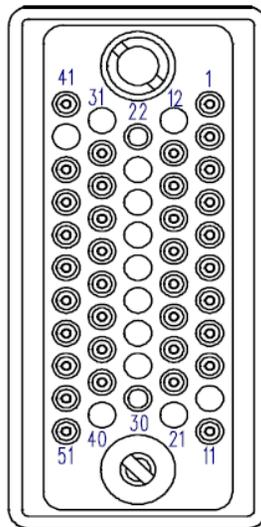


Abbildung 5: Die Pin-Nummerierung auf einem REDEL Steckverbinder läuft von oben nach unten. Somit ist die Pin-Nummerierung von 1 bis 51 festgelegt.

Kammernummer	Pinbelegung im REDEL Steckverbinder
0	2
1	13
2	3
3	14
4	4
5	15
6	5
7	16
8	6
9	17
10	7
11	18
12	8
13	19
14	9
15	20
16	50
17	39
18	49
19	38
20	48
21	37
22	47
23	36
24	46
25	35
26	45
27	34
28	44
29	33
30	43
31	32

Tabelle 1: Zuordnung der Kammern von der Hochspannung auf die Pinbelegung im REDEL Steckverbinder.

### 3 Aufbau des Systems zur schnellen Messung von Stromspitzen in der Hochspannung am TRD

Das System zur schnellen Messung von Stromspitzen in der Hochspannung des TRD besteht aus zwei Boxen (Abb. 6). Jede Box besteht aus neun Frontendkarten, die auch als Links bezeichnet werden, mit jeweils acht Messkanälen, die Slaves genannt werden. Somit stehen  $2 \cdot 9 \cdot 8 = 144$  Messkanäle zur Verfügung, um den Anodenstrom des TRD zu messen. Der Strom des Hochspannungsnetzteils gelangt über den männlichen REDEL Steckverbinder in die Box und über den weiblichen REDEL Steckverbinder zu den Kammern des TRD.

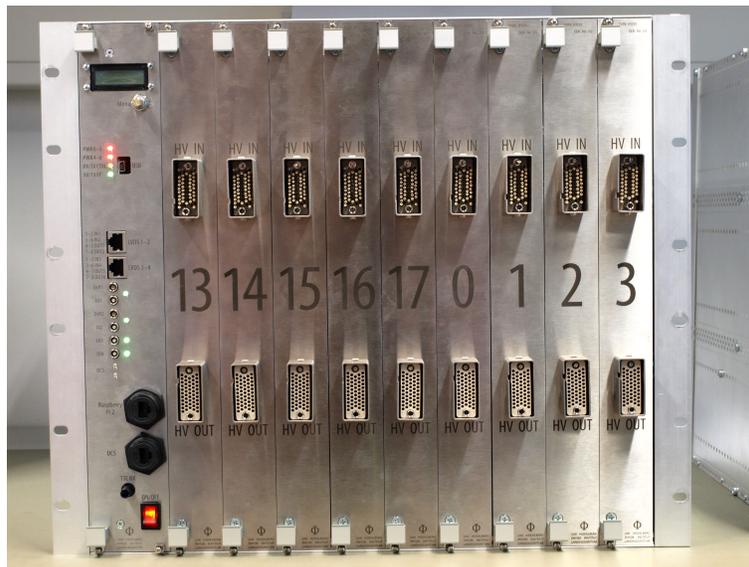


Abbildung 6: Box, die das System zur schnellen Messung von Stromspitzen in der Hochspannung am TRD beherbergt. Zu sehen sind 9 Frontendkarten, die jeweils Messkanäle bereitstellen und die Controllerkarte, die die Messkanäle auslesen kann. Auf jeder Frontendkarte ist oberhalb der Sektornummerierung ein männlicher und unterhalb der Sektornummerierung ein weiblicher REDEL Steckverbinder.

Die erste Box ist den Sektoren von 0 bis 3 und 13 bis 17 zugeordnet (Abb. 7). Die zweite Box ist dementsprechend mit den Sektoren von 4 bis einschließlich 12 verbunden.

Es sind weniger Kanäle zur Strommessung (Abb.2), als Detektorkammern am TRD, vorhanden, da, wie oben erwähnt, nur an 144 von insgesamt 521 Kammern der Strom gemessen werden kann. Deshalb ist eine Aufteilung

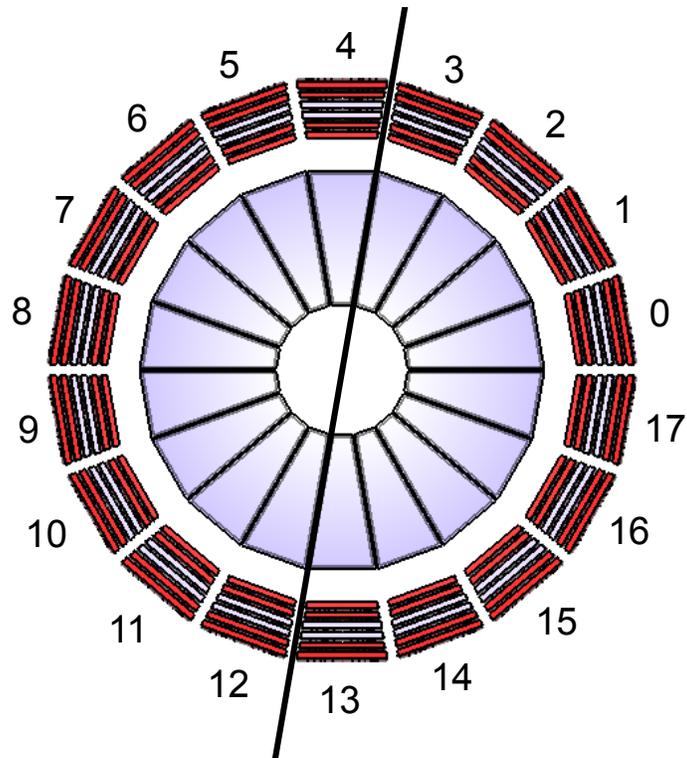


Abbildung 7: Aufteilung der 18 Sektoren des TRD in zwei Gruppen. Eine Gruppe ist den Sektoren von 4 bis 12 und die Andere den Sektoren 0 bis 3 und 13 bis 17 zugeordnet.

der Kanäle des Systems zu den Detektorkammern des TRD festgelegt. Pro Sektor gibt es einen REDEL Steckverbinder, deswegen gibt es pro Sektor eine Frontendkarte. Pro Sektor ist es möglich von acht Kammern den Strom von der Anode zu messen. Je vier Messkanäle sind mit dem ersten und dem letzten Stack, sprich mit Stack 0 und 4 verbunden. Dabei ist die Verbindung so aufgeteilt, dass von diesen vier Kanälen die obersten und die untersten zwei Lagen besetzt sind, das bedeutet pro Sektor sind die Kammern 0, 1, 4, 5, 24, 25, 28 und 29 mit dem System zur schnellen Messung von Stromspitzen in der Hochspannung am TRD verbunden.

Ist eine der Kammern, welche mit dem System verbunden ist, defekt oder nicht erreichbar, so wird eine andere Kammer mit dem Messkanal verbunden. Welche Kammer ausgewählt wird, basiert auf den folgenden zwei Prinzipien: Es wird immer zuerst die nächste nach innen gerichtete Kammer, aus dem gleichen Stack, wie die letzte ausgefallene Kammer, mit einem Messkanal verbunden. Sind jedoch alle Kammern auf einer Lage schon mit Messkanälen verbunden, da mehrere Kammern ausgefallen sind, so wird die nächste Kammer nach dem

zweiten Prinzip ausgewählt: Es wird die Kammer in der obersten bzw. untersten Lage, je nach dem, ob eine Kammer im unteren oder oberen Bereich ausgefallen ist, im nächst inneren Stack ausgewählt. Ist die unterste bzw. oberste Kammer auch ausgefallen oder nicht erreichbar, so tritt das erste Prinzip wieder in Kraft.

Die Lage der Kammern und obige Prinzipien wurden gewählt, um ein maximales Volumen im Raum abzudecken.

Die endgültig gewählte Pinbelegungen am REDEL Steckverbinder für jeden Sektor vom TRD ist in Tabelle 2 dargestellt.

Sektor	Pinbelegung im REDEL Steckverbinder
0	2, 13, 4, 15, 46, 35, 44, 33
1	2, 13, 4, 15, 46, 35, 44, 33
2	2, 13, 4, 15, 46, 35, 44, 33
3	2, 13, 4, 15, 46, 35, 44, 33
4	2, 13, 4, 15, 46, 35, 44, 33
5	2, 13, 4, 15, 46, 35, 44, 33
6	2, 13, 4, 15, 46, 35, 44, 33
7	2, 13, 4, 15, 46, 35, 44, 33
8	3, 14, 4, 15, 46, 35, 44, 33
9	2, 13, 4, 15, 46, 35, 44, 33
10	2, 13, 4, 15, 46, 35, 44, 33
11	2, 13, 4, 14, 46, 35, 44, 33
12	2, 13, 4, 15, 46, 35, 44, 33
13	2, 13, 4, 15, 46, 35, 44, 33
14	2, 13, 4, 15, 46, 35, 44, 33
15	2, 13, 4, 15, 46, 35, 44, 33
16	2, 13, 4, 15, 46, 35, 44, 33
17	2, 13, 4, 15, 46, 35, 45, 33

Tabelle 2: Pinbelegung auf dem REDEL Steckverbinder für jeden Sektor im TRD.

An der Rückseite jeder Box befindet sich ein Raspberry Pi[6], der unter dem Betriebssystem Raspbian läuft (Abb. 8). Ein Raspberry Pi ist per USB mit der Kontrollerkarte, die sich ganz links in einer Box befindet und auf die im nächsten Kapitel näher eingegangen wird, verbunden. Auf dem Raspberry Pi ist die Software programmiert, mit der die Daten der Strommessung ausgelassen werden. Zudem ist der Raspberry Pi per Ethernet über einen RJ45 Stecker mit dem Netzwerk des TRD Detektorkontrollsystems (detector control system, DCS) verbunden, welches sich im Counting Room 3 befindet. Die Auslese Software für die Boxen ist auf dem Raspberry Pi integriert und wird von dort auch aus ausgeführt. Der Hostname und die MAC-Adresse für jeden Raspberry Pi sind in Tabelle 3 aufgelistet.



Abbildung 8: Der Raspberry Pi ist per USB (links oben) mit der Kontrollerkarte und per Ethernet über einen RJ45 Stecker (rechts oben) mit dem Netzwerk des TRD Detector Control Systems (DCS) verbunden. Somit ist der Raspberry Pi über das CERN Netzwerk erreichbar. Über einen Mikro-USB Stecker (rechts unten) erhält der Raspberry Pi seine benötigte Energie.

Raspberry Pi in Box	Hostname	MAC-Adresse
1	alidcspi002	b8:27:eb:07:93:1a
2	alidcspi003	b8:27:eb:94:56:d0

Tabelle 3: Der Hostname und die MAC-Adresse für jeden Raspberry Pi in Box 1 und 2.

Pro Link gibt es acht Messkanäle (Abb. 9). Auf einem Messkanal befinden sich u.a. ein Transformator, zwei Optokoppler und ein FPGA. Der Transformator versorgt den Hochspannungsteil (Abb. 9) der Platine mit 12 V bei einer Frequenz von 50 Hz. Mit Hilfe der Optokoppler kann ein Signal optisch vom Hochspannungsteil zum Niederspannungsteil oder vom Niederspannungsteil zum Hochspannungsteil übertragen werden. Dies ist nötig, da der Hochspannungsteil auf einem Potential von ca. 2000 V liegt.

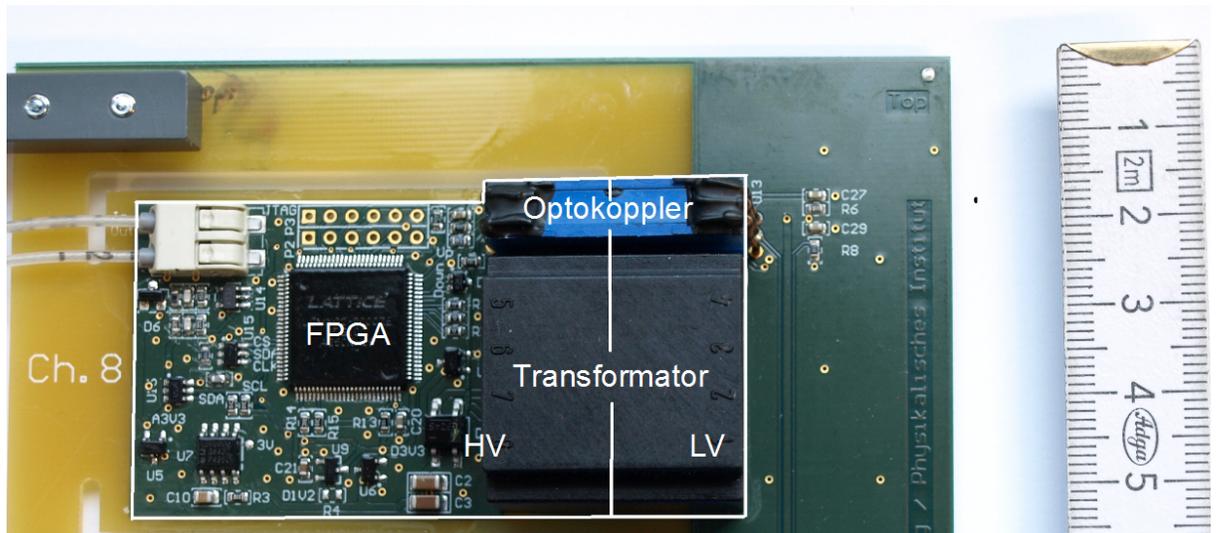


Abbildung 9: Messkanal mit den markierten Elementen: Hochspannung (HV), Niederspannung (LV), FPGA, Optokoppler und Transformator.

## 4 Messprinzip

Der Strom von den ISEG Hochspannungsteilen zu den TRD Kammern wird durch die Messung des Spannungsabfalls über einem 2,5 k $\Omega$  Shunt-Widerstand bestimmt (Abb. 10).

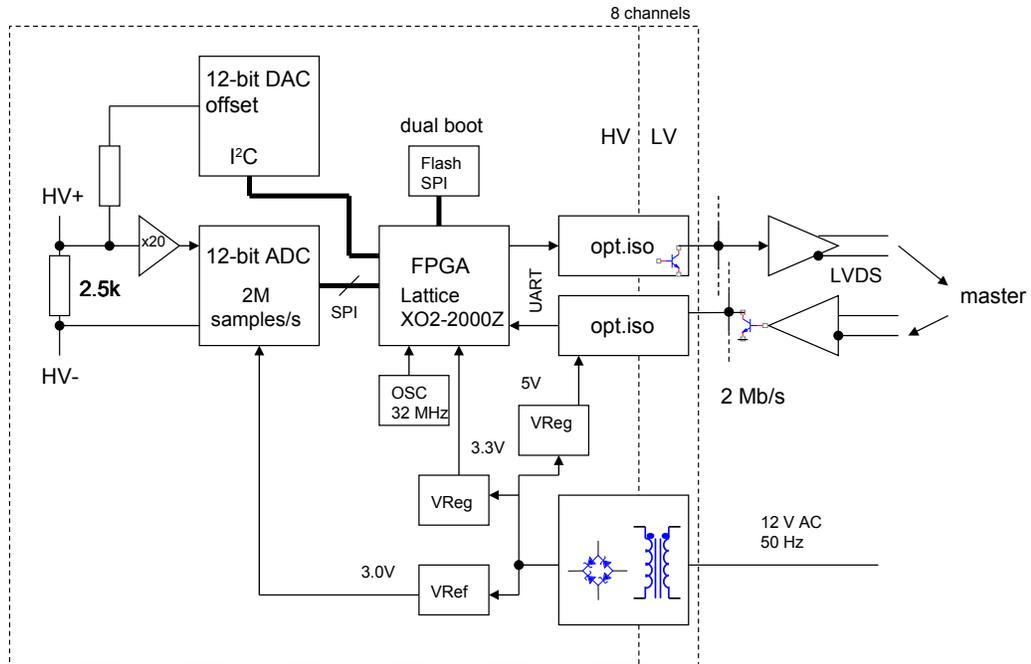


Abbildung 10: Schematischer Aufbau der Hardware des Systems zur schnellen Messung von Stromspitzen in der Hochspannung des TRD. Darin enthalten ist, ein Analog-Digital-Wandler, ein FPGA und die 3 V Referenzspannung (VRef). Außerdem ist der Hochspannungsteil (HV) und der Niederspannungsteil (LV) markiert. Dies ist zudem eine äquivalente Darstellung für den Shunt-Widerstand mit 2,5 k $\Omega$ , Spannungsverstärker und Digital-Analog-Wandler.

Die Spannungsmessung über diesen Shunt ist sehr sensitiv, da die Kabel zu den Sektoren und die Kammern selbst einen hochohmigen Widerstand im M $\Omega$  Bereich bilden. Mithilfe des Shunt-Widerstandes und des gemessenen Spannungsabfalls kann über das Ohmsche Gesetz der Strom bestimmt werden:

$$I = \frac{U}{R} \quad (1)$$

Wird beispielsweise eine Spannung von 0,15 V gemessen, so wird die Spannung durch einen Verstärker um ein Zwanzigfaches verstärkt und die verstärkte Spannung beträgt 3 V. Der Shunt-Widerstand ist 2,5 k $\Omega$  groß. Somit ergibt sich über das Ohmsche Gesetz ein Strom von 60  $\mu$ A. Es ist möglich mit dem System einen Strom im Bereich von 0 bis 60  $\mu$ A zu messen.

Bevor das Signal jedoch zum Analog-Digital-Wandler (ADC) gelangt, müssen die analogen Daten einen Tiefpass, der sich im Verstärker befindet und Signale oberhalb von 20 kHz herausfiltert, durchlaufen. Mit Hilfe dieses Tiefpasses wird ein 40 KHz Rauschen, welches durch die Hochspannungsgeneratoren im ISEG verursacht wird, herausgefiltert. Das gemessene Signal wird, mit Hilfe eines 12-Bit ADC, in einen 12 Bit digitalen Wert konvertiert. Mithilfe einer Referenzspannung von 3 V ( $V_{Ref}$ , Abb. 10), welcher einem ADC Wert von 4095 entspricht, erhält man den linearen Zusammenhang:

$$U(x) = x * \frac{3V}{4095} + y \quad (2)$$

Dabei entspricht x dem gemessenen ADC Wert, U der tatsächlich anliegende Spannung und y einem Offset. Der Offset wird durch einen 12-bit Digital-Analog-Umsetzer festgelegt.

Der Hochspannungsteil (HV, Abb. 10) ist vom Niederspannungsteil (LV, Abb. 10) getrennt. Vom Niederspannungsteil kann man über eine UART Schnittstelle auf den FPGA zugreifen.

## 4.1 Digital-Analog-Wandler

Der Messbereich des Systems liegt zwischen 0 und 3 V. Dieser Messbereich kann durch einen 12-bit Digital-Analog-Wandler (digital-to-analog converter, DAC) verschoben werden (Abb. 10). Zum Beispiel ist es damit möglich negative Spannungen zu messen. Das heißt, dass man mit einem Offset den Messbereich relativ zu Null verschiebt. Es kann somit zum Beispiel ein Bereich zwischen -1,5 und +1,5 V gemessen werden. Der maximale verschobene Messbereich, mit Hilfe des Offsets, liegt bei -3 V bis 0 V.

## 4.2 FPGA

Ein 12-Bit großes digitale Signal wird zu einem Field Programmable Gate Array (FP- GA) weitergeleitet (Abb. 10). Die letzten 4096 digitalen Signale werden in einem Speicher, welcher aus 4096 Zeitbins besteht, gespeichert. Die Zeitbins können eine Größe von 1  $\mu$ s bis zu 100  $\mu$ s annehmen. Dieser Speicher hat eine Kapazität von 12  $\cdot$  4096 Bits, da in jedem Zeitbin ein 12 Bit großes digitales Signal gespeichert wird. Das Speicherungsprinzip, welches im FPGA verwendet wird, ist das first-in first-out (FIFO) Verfahren. In einem FIFO Verfahren wird in einem Speicher der erste gemessene Wert auch als erstes wieder entnommen.

Damit kann man ein konstant langes Zeitintervall in der Vergangenheit speichern. Dieser Speicher wird als ADC FIFO bezeichnet. Im FPGA liegen zwei Speicher, welche das FIFO Verfahren anwenden, vor. Im ersten FIFO Speicher liegen, wie oben beschrieben, die letzten 4096 Messwerte und im zweiten Speicher werden die Mittelwerte  $\bar{X}$  (Gl. 3) und RMS<sup>2</sup> Werte (Gl. 4) des gemessenen Stroms gespeichert.

$$\bar{X} = \frac{x_1 + x_2 + \dots + x_N}{N} \quad (3)$$

$$RMS = \sqrt{\frac{1}{N} \sum_{i=1}^N (x_i - \bar{X})^2} \quad (4)$$

Hierbei entspricht  $x_i$  einem Messwert und  $N$  der maximalen Anzahl an Messwerten. Diesen Speicher wird AVR<sub>G</sub> FIFO genannt. Näherungsweise sind im FPGA die Formeln (3) und (4) durch einen lossy-integrator und einer einer Unterabtastung implementiert, welche im nächsten Kapitel näher erläutert werden. Die RMS<sup>2</sup> Werte werden gespeichert, weil die Operation, die benötigt wird, um die Quadratwurzel aus RMS<sup>2</sup> zu berechnen, sehr rechenaufwändig und als solche besser nicht im FPGA, sondern erst mit Hilfe der Software auf dem Raspberry Pi, durchzuführen ist. Die Mittelwerte und die RMS<sup>2</sup> Werte können aus den letzten 100 bis 4000 digitalen Werten berechnet werden. Der Speicher kann von beiden Werten je 512 Datenpunkte aufnehmen. 12 Bits werden für einen Mittelwert und 24 Bits werden für einen RMS<sup>2</sup> Wert benötigt. Somit besitzt der AVR<sub>G</sub> FIFO eine Kapazität von  $512 \cdot (12 + 24)$  Bits.

Misst ein FPGA einen Strom oberhalb der Triggerschwelle, so triggert dieser FPGA. Im FPGA ist nur begrenzt viel Speicher vorhanden um die Strommesswerte zu speichern. Die zu untersuchenden Ereignisse weisen einen hohen Strom auf, sind selten und unangekündigt. Deshalb wird ein Trigger benutzt. Bei einem Trigger wird der Strom als ein besonderes Ereignis eingestuft.

Die ADC Daten werden kontinuierlich in einem Ring-Puffer, welcher dem ADC FIFO entspricht, gespeichert. Die „Presamples“ sind ADC Werte bevor ein Triggerereignis festgestellt wurde, die Anzahl an Presamples die man haben möchte ist in der Konfiguration einstellbar. Kommt es zu einem Trigger, wird die Position im Ring-Puffer notiert und es werden noch so viele ADC Werte gespeichert, wie die Differenz aus 4096 und der Anzahl der Presamples beträgt. Danach werden keine Daten in den Ring-Puffer mehr geschrieben. Beim Auslesen der Daten wird von der gespeicherte Position gestartet und insgesamt 4096 Datensätze gelesen. Die Kontrollerkarte prüft regelmäßig, ob ein Messkanal getriggert ist. Ist dies der Fall schickt sie einen „broadcast“ Befehle an alle anderen FPGAs mit der Anweisung zu triggern.

Erst, wenn danach in einem Messkanal der ADC FIFO geleert wird können dort erneut Daten gespeichert werden.

### 4.3 Kontrollerkarte

Je eine Kontrollerkarte befindet sich ganz links in jeder Box (Abb. 11). Die wichtigste Funktion der Kontrollerkarte ist, dass hierüber alle Messkanäle ausgelesen werden.

Es gibt zwei verschiedene Zustände, den offline Modus und online Modus, in denen sich die Kontrollerkarte befinden kann. Ist der Mikroprozessor auf dem Mikrocontroller ausgeschaltet, befindet sich die Kontrollerkarte im offline Modus, läuft der Prozessor, so ist sie im online Modus. Je nachdem in welchem Modus sich die Kontrollerkarte befindet, hat sie verschiedene Rechte.

Im offline Modus, hat die Kontrollerkarte Zugriff auf alle neun Links pro Box und kann über den UART Zugang direkt auf die acht Messkanäle in einem Link zugreifen. Sie hat zudem das Recht, die Slaves auf einem Link in „zwei Gruppen“ einzuschalten bzw. auszuschalten. Eine Gruppe besteht aus den Slaves 0 bis 3 und die Andere aus den Slaves 4 bis 7. Es ist auch möglich, die Temperaturen der Spannungsregulatoren, die RMS<sup>2</sup> Werte, die Mittelwerte, die Spannung auf der Platine, den ADC FIFO, die Lufttemperatur oder die Luftfeuchtigkeit auszulesen. Das bedeutet, dass die Kontrollerkarte vollständigen Zugriff auf das System hat.

Im online Modus kann die Kontrollerkarte auch auf die Messkanäle zugreifen, da der Mikrocontroller im online Modus ständig Daten liest. Damit die Synchronisation nicht gestört werden kann, sollte man über die externe Schnittstelle keinen Zugriff zu den Messkanälen haben. Deshalb muss die Kontrollerkarte Anfragen auf einen Speicher, eine sogenannte Mail Box, senden. Diese werden vom Mikroprozessor aufgenommen und ausgeführt. Die relevanten Informationen werden danach in einen Speicher („shared Memory“) geschrieben, auf den die Kontrollerkarte zugreifen kann.

Auf der Frontblende der Kontrollerkarte ist eine Anzeige angebracht, auf der man den Strom (I), das Minimum (Min), das Maximum (Max) und den RMS Wert des Stroms für jeden Messkanal ablesen kann. Diese Werte werden in  $\mu A$  angegeben.

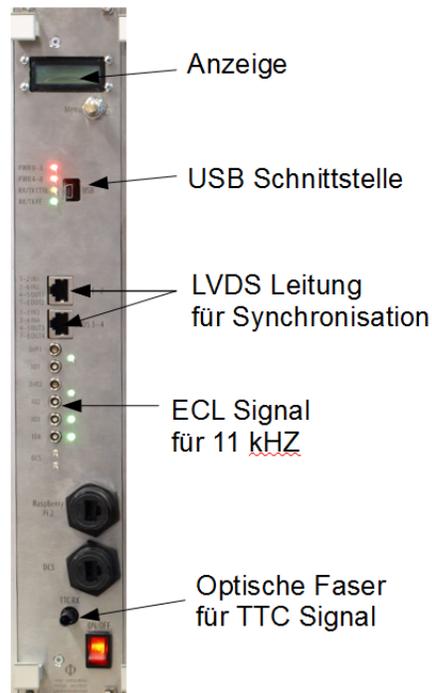


Abbildung 11: Frontblende der Kontrollerkarte, die sich ganz links in der Box 2 befindet. Ganz oben ist eine Anzeige, auf der man den Strom (I), das Minimum (Min), das Maximum (Max) und den RMS Wert für jeden Messkanal sehen kann. Darunter befindet sich ein USB Eingang, der zur Kontrollerkarte führt. Zusätzlich befinden sich zwei Anschlüsse für eine Low Voltage Differential Signaling (LVDS) Leitung, die für die Synchronisation der Messkanäle genutzt werden, auf der Kontrollerkarte. Es gibt einen ECL[7] Signaleingang, an dem das 11 kHz Orbitalsignal übertragen werden kann. Zudem befindet sich ganz unten ein Eingang für das TTC Signal.

#### 4.4 Mikrocontroller

Der Mikrocontroller, welcher sich auf der Kontrollerkarte befindet, ist ein wichtiger Bestandteil im Detektierungssystem. Er folgt dem folgenden Protokollsystem: Bevor der Mikrocontroller startet, wartet er auf den Anfang der nächsten Sekunde. Er prüft, ob auf der Mail Box Anfragen vorhanden sind, die der Mikrocontroller nacheinander sofort bearbeitet. Über die Kontrollerkarte ist es möglich, Anfragen auf die Mail Box zu schreiben. Will man beispielsweise die RMS<sup>2</sup> Daten aller Slaves in Box 1 und Link 3 auslesen, so muss man pro auszulesendem Slave eine Anfrage an die Mail Box senden. Man sendet acht Anfragen von der Kontrollerkarte an die Mail Box. Daraufhin liest der Mikrocontroller den Triggerstatus und prüft, ob ein Messkanal getriggert ist. Ist das der Fall, so

werden auch alle anderen Kanäle getriggert. Anschließend prüft der Mikrocontroller, wie viel Zeit zu der nächsten vollen Sekunde vorhanden ist. Ist noch genügend Zeit vorhanden, so wird der Status der Konfiguration und die Messwerte, die den Zustand der Boxen angeben, wie zum Beispiel die Temperatur oder die Luftfeuchtigkeit auf der Kontrollerkarte, ausgelesen. Diese Daten werden auf der Kontrollerkarte im shared Memory gespeichert. Reicht die Zeit nicht mehr aus um die Daten auszulesen, so wartet der Mikrocontroller auf die nächste Sekunde.

Es ist auch möglich, direkt, das heißt ohne den Mikrocontroller, auf die Kanäle zuzugreifen, wofür der Mikrocontroller gestoppt werden muss. Es darf nicht zugelassen werden, dass zwei Instanzen zur gleichen Zeit eine Ausleseoperation durchführen, da andernfalls ein Fehler auftritt.

## 4.5 Synchronisation

Der auf der Messkarte befindliche FPGA Lattice XO2-2000Z wird von einem 32 MHz clock Signal gespeist. Dieses clock Signal besitzt eine Frequenzstabilität, die einem Gangunterschied von  $30 \mu\text{s}$  pro Sekunde entspricht. Das bedeutet, dass sich die einzelnen FPGAs für jeden Messkanal pro Tag um bis zu 2.5 s unterscheiden können, bzw. um mehr als eine Minute pro Monat. Damit wäre eine Zuordnung von Ereignissen auf einzelnen Messkarten zu einem gemeinsamen Ereignis im Detektor nicht mehr möglich. Aus diesem Grund werden alle FPGAs einmal pro Sekunde relativ zueinander synchronisiert.

Als Signal zur Synchronisation dient ein periodisches Signal von konstanter Frequenz. Der LHC stellt ein 40 MHz Signal, sowie ein 11 kHz Signal, zur Verfügung. Diese Signale dienen generell allen Experimenten am LHC als stabiles Signal zum Timing, Trigger and Control (TTC) [8][9]. Zusätzlich liefert das TTC Signal unter anderem einen Zähler zur Anzahl der bunch crossings und ermöglicht dadurch eine absolute Zeitkalibrierung.

Das TTC Signal wird per optischer Faser der Kontrollerkarte (Abb. 11) zugeführt und dort von einem TTC Empfänger auf einem Detector Control System Board (DCS-board)[10] decodiert. Schließlich liegen das 40 MHz und das 11 kHz Signal, sowie die Anzahl der bunch crossings als Low Voltage Differential Signaling (LVDS) Signal an den Pins des DCS-boards an und können direkt von der Kontrollerkarte gelesen werden. Redundant dazu wird das 11 kHz Orbitalsignal zusätzlich als ECL[7] Signal in die Kontrollerkarte eingespeist (Abb. 11). Dieses ECL Signal stammt von einem anderen, unabhängigen System in CR 4, das ebenfalls ein TTC Signal erhält und weiterverarbeitet.

Um beide Boxen relativ zueinander zu synchronisieren, agiert eine der Boxen als Master und liefert damit auch das Synchronisierungssignal für die andere Box. Beide Boxen sind per CAT-6 Kabel miteinander verbunden und kommunizieren per LDVS (Abb. 11). Welche der beiden Boxen als Master fungiert und welche als Slave ist dabei frei konfigurierbar.

Über dieselbe LVDS Leitung wird auch das Triggersignal kommuniziert. Die Kontrollerkarte kann dieses Triggersignal per LVDS zur anderen Box versenden

und auch dort alle Messkanäle zur Auslese triggern. Die Latenz von der Detektion des ersten Triggersignals bis zum Triggern aller Messkanäle in der anderen Box beträgt einige Millisekunden. Da jeder Messkanal ein eigenes, mit allen anderen Karten synchronisiertes, Zeitsignal besitzt, wird für jeden Messkanal eine eigene Zeitmarke gesetzt und mit dem ausgelesenen Stromsignal übermittelt. So können dann in einer offline Analyse die einzelnen Messungen zeitlich miteinander verglichen werden.

## 5 Konfiguration eines Messkanals

Der Betriebsmodus des Systems zur schnellen Messung von Stromspitzen kann mit verschiedenen Einstellungen versehen und damit auf die Eigenschaften des zu messenden Signals angepasst werden, da der Verlauf des Signals unbekannt ist. Eine Übersicht über alle einzustellenden Größen in einem Messkanal ist in Tabelle 4 gegeben. Die aufgeführte Liste in Tabelle 4 wird als Status der Konfiguration bezeichnet. Die Adressen sind auf der Mail Box, wie in Tabelle 4 angegeben, festgelegt. Jede Adresse ist 8 Bit groß und man kann auf die Adressen Werte schreiben oder Werte auslesen. Ein Register ist durch eine Startadresse und eine Größe definiert. Die Register, auf denen man schreiben und lesen kann, nennt man normale Konfigurationsregister. Kann man ein Register nur lesen, so spricht man von einem Statusregister. Jedes Bit innerhalb eines Registers hat seine eigene Bedeutung. Die Bits in einem Register werden durchnummeriert, beginnend mit der Nummer 0, um jedes Bit eindeutig zuordnen zu können. Im Folgenden werden die Bezeichnungen der Status- und Konfigurationsregister erläutert:

Adresse	Konfiguration- und Statusregister	Schreiben (w) oder Lesen (r)
0x0100	lp_filter_decim	rw
0x0101	av_filter_decim	rw
0x0102	trigger_conf	rw
0x0103	thresholds	rw
0x0106	presamples	rw
0x0108	command_status	rw
0x0109	average	r
0x010B	rms	r
0x010D	evnt_cnt	r
0x010F	trg_src & evnt_cnt1	r
0x0110	timer	r
0x0115	dac	rw

Tabelle 4: Die Namensgebungen und Adressen vom Status der Konfiguration. Durch ein r oder w ist gekennzeichnet, ob auf der jeweiligen Adresse geschrieben oder gelesen werden kann.

**lp\_filter\_decim** Mit Hilfe des „lp\_filter\_decim“ Registers wird die Abtastrate der ADC Daten, die durch einen Tiefpass in den FPGA gelangt sind, bestimmt. Die Abtastrate bestimmt mittelbar (über die Speichergröße) die Größe des Zeitfensters, welches man mit dem Speicher im FPGA aufnehmen kann. In den Bits 5 bis 7 der zum „lp\_filter\_decim“ gehörigen 8-Bit Adresse, wird die Abtastrate eingestellt. Die Zahl, die in diese Bits geschrieben wird, entspricht einer bestimmten Abtastrate, die in Tabelle 5 zu sehen ist. Außerdem ist in Tabelle 5 das Zeitfenster, das sich abhängig von der gewählten Abtastrate ergibt, eingetragen. Wird zum Beispiel eine Abtastrate von 100 kHz gewählt, so hat man ein Zeitfenster von:

$$\frac{4096}{100 \text{ kHz}} = 40,96 \text{ms} \quad (5)$$

Es gibt drei lossy-integrator Stufen, die einem klassischen Tiefpassfilter ähneln, diese werden weiterhin als klassischer Tiefpassfilter behandelt. In den Bits 3 bis 1 wird die Zeitkonstante  $\tau$ , das Produkt aus Kapazität und Widerstand, eingestellt. Die Zeitkonstante kann einen Wert von 0 bis 7 annehmen. Dies wird für die Berechnung des Ausgangssignals des klassischen Tiefpassfilter benötigt, die nach folgender Formel erfolgt:

$$y(n+1) = y(n) + \frac{(x - y(n))}{2^k} \quad (6)$$

Hierbei gilt:

$$k = \tau + 1 \quad (7)$$

Das Ausgangssignal wird als  $y(n+1)$ , das vorherige Ausgangssignal als  $y(n)$  und das Eingangssignal im Tiefpassfilter als  $x$  bezeichnet .

Vom ADC kommen Daten mit einer Frequenz von 1 MHz. Die durchlaufen erst einen klassischen Tiefpassfilter. Danach kommt die Unterabtastung. Idealerweise sollte man z.B. bei einer Einstellung von 1:100 bei der Unterabtastung, erst den Mittelwert von 100 Daten ermitteln und dann den Mittelwert weiterleiten. Um den Mittelwert von 100 Daten zu errechnen muss man durch 100 teilen ( $100 = 25 \cdot 4$ ). Es ist im FPGA einfach durch 4, jedoch nicht durch 25, zu teilen. Deswegen wurden Stufen eingebaut, die durch 5 teilen. Somit wird die Einstellung von 1:100 mit 1:5, 1:5 und 1:4 realisiert. Am Ausgang der Unterabtastung stehen somit nur noch 10000 Daten pro Sekunde zur Verfügung. Ein einfacher finite impulse response (FIR) Filter[11] nutzt binomiale Koeffizienten[12]. Nach der Unterabtastung kommt optional solch ein FIR Filter mit den Koeffizienten 1, 2 und 1. Steht in Bit 4 der Wert 0, so wird ein finite impulse response (FIR) Filter[11] verwendet.

Ist Bit 0 gesetzt, so arbeitet man mit einer Abtastrate von 1 MHz, ohne vorherige Tiefpassfilterung.

Die Länge des Stromsignals, das die Hochspannung des TRD trippen ließ, ist unbekannt. Dementsprechend braucht man eine Möglichkeit unterschiedlich lang messen zu können. Diese Möglichkeit ist in diesem Register gegeben.

**av\_filter\_decim** In diesem Bereich wird ausgewählt, wie viele Daten (100, 400, 1000 oder 4000) für die Berechnung des RMS<sup>2</sup> Werts oder Mittelwertes benutzt werden. Dafür werden die Bits 7 und 6 verwendet. Die Werte 0 bis

Zahl	0	1	2	3	4	5	6	7
Abtastrate [kHz]	1000	1000	500	250	100	50	25	10
Zeitfenster [ms]	4,096	4,096	8,192	16,384	40,96	81,92	163,84	409,6

Tabelle 5: Abtastrate des Tiefpassfilters. Ist Bit 0 gesetzt, so nimmt man mit der Abtastrate ADC Daten auf, die nicht gefiltert wurden.

3, die in diese beiden Bits geschrieben werden können, geben die Anzahl der Datensätze an, wobei 0 gleich 100 Datensätzen und 3 gleich 4000 Datensätzen entspricht. Außerdem geben Bits 5 und 2 an, ob ungefilterte oder gefilterte ADC Werte für die Bildung des  $\text{RMS}^2$  und Mittelwertes benutzt werden. Ist das jeweilige Bit gesetzt, so werden die gefilterten ADC Daten verwendet. In Bit 4 und 3 wird die Zeitkonstante für den  $\text{RMS}^2$  Wert und in Bit 1 und 0 die Zeitkonstante für den Mittelwert gesetzt.

**trigger\_conf** Über das 8 Bit große „trigger\_conf“ Register können die fünf Triggerbedingungen, welche im System implementiert sind, eingeschaltet werden. Diese sind:

1. Trigger Bit 0: Ein ungefilterter absoluter ADC Wert überschreitet eine (gesetzte) Schwelle
2. Trigger Bit 1: Die Differenz aus einem ungefiltertem ADC Wert und einem ADC Mittelwert überschreitet eine relative (gesetzte) Schwelle
3. Trigger Bit 2: Ein gefilterter absoluter ADC Wert überschreitet eine (gesetzte) Schwelle
4. Trigger Bit 3: Die Differenz aus einem gefiltertem ADC Wert und einem ADC Mittelwert überschreitet eine relative (gesetzte) Schwelle
5. Trigger Bit 4: Software Trigger

Gefilterte ADC Daten sind die ADC Daten am Ausgang des Filters, wie vorher beschrieben. Die fünfte Triggerbedingung ist der sogenannte Software Trigger. Damit ist es möglich, über die Software ein Kommando an alle Messkanäle zu senden, welches die Messkanäle triggert. Dies wird benötigt, um die alle Messkanäle zu triggern, falls ein Triggerereignis aufgetreten ist. Der Software Trigger auch zum Testen verwendet. Ist das Software Trigger Bit nicht gesetzt und man sendet über die Software ein Kommando zum Triggern, so hat dies keine Wirkung.

Die verschiedenen Schwellen zu den unterschiedlichen Triggerbedingungen werden innerhalb des Registers „thresholds“ eingestellt. Findet ein Ereignis statt, das einen Messkanal triggern lässt, so wird auch gleichzeitig die Triggerbedingung, die zum Auslösen des Triggers geführt hat, im Register „trg\_src“ gespeichert. Auch wird sofort ein Triggersignal an alle anderen Slaves gesendet, nachdem ein Triggerereignis stattgefunden hat.

Ist das Bit 7 gesetzt, so werden die ADC Daten invertiert. Dies ist nur nötig, falls die Ströme negativ sind.

**thresholds** Innerhalb dieses 3-Byte Registers können die Schwellen für die Trigger eingestellt werden. In den ersten Zwölf Bits von 0 bis 11 kann ein absoluter Schwellenwert gesetzt werden. Dieser ist wichtig für die erste und dritte Triggerbedingung, welche im „trigger\_conf“ eingestellt werden. Aufgrund der zweiten und vierten Triggerbedingungen, die mit Bit 3 und 1 in „trigger\_conf“ eingestellt werden können, sind die letzten zwölf Bit wichtig, die einen relativen Schwellenwert für den ADC Mittelwert relativ zu den gefilterten oder ungefilterten ADC Daten einstellen.

**presamples** Innerhalb des „presamples“ Registers stellt man ein, wie viele Zeitbins im FPGA Speicher, der insgesamt 4096 Zeitbins besitzt, den Strom vor einem Triggerereignis speichern. Das „presamples“ Register besteht aus zwei Bytes von denen jedoch nur die ersten 14 Bits genutzt werden. In den Bits 0 bis 11 kann ein Wert von 0 bis 4095 eingestellt werden. Das heißt, dass der eingestellte Wert die Anzahl an Zeitbins angibt, die den Strom vor dem Triggerereignis gespeichert haben.

Die Transformatoren sind minimal dimensioniert. Programmiert man die FPGAs, so benötigt man mehr Strom. Um eine ausreichende Stromversorgung zu gewährleisten, wenn die FPGAs programmiert werden sollen, können die AD-Wandler temporär mit Bit 12 ausgeschaltet werden.

Ist Bit 13 gesetzt, so wird ein Testsignal gesendet. Das Testsignal ist ein linear steigendes ADC Signal, mit dem eine Triggerbedingung erzwungen werden kann. Dieses Bit wird also nur für Testzwecke benutzt.

**command\_status** Der „command\_status“ besteht aus einem Byte. Die Bedeutung der Bits ist unterschiedlich, falls darauf geschrieben oder davon gelesen wird.

Wird darauf geschrieben, so werden nur die letzten sieben Bits benutzt, die folgende Bedeutung haben: Mit Bit 1 werden das letzte gemessene Stromminimum und Strommaximum gelöscht. Das Bit 2 wird zum Testen der Zeitsynchronisation bei einem Triggerereignis verwendet. Ist das Bit gesetzt löst es ein Triggerereignis aus. Nur der Zeitpunkt und nicht die ADC Werte werden gespeichert. Setzt man das Bit 3, so wird der FPGA neu gestartet. Dies ist nötig, falls ein Fehler beim Starten eines FPGAs passiert. Über Bit 4 sendet die Software ein Triggersignal. Somit wird der Software Trigger ausgelöst. Eine Zeitsynchronisation mit allen Slaves kann mit Bit 5 ausgelöst werden. Einen Neustart der Zeituhr wird per Bit 6 ausgelöst. Um nach einem Triggersignal die Speicher ADC FIFO und AVR9 FIFO zu leeren, muss man das Bit 7 setzen. Jedoch sollte dies erst gesetzt werden, sobald die Daten von den FPGAs sicher gespeichert wurden, da man ansonsten Daten verliert.

Von fünf Bits im „command\_status“ Register kann gelesen werden. Bit 0 enthält die Information, ob das externe oder das interne Design geladen wurde.

Ist der Wert 1 in Bit 0 so entspricht das dem externen Design. Der FPGA lädt beim Einschalten seine Konfiguration vom internen Speicher. Falls der interne Speicher nicht geladen werden kann, so versucht der FPGA seine Konfiguration von außen, über eine Serial Peripheral Interface (SPI) Schnittstelle (Abb.10), zu laden. Ist der ADC FIFO oder AVRГ FIFO voll, so hat ein Triggerereignis stattgefunden. Während Bit 7 bzw. 5 angeben, ob der ADC FIFO bzw. AVRГ FIFO voll ist, wird durch Bit 6 bzw. 4 gekennzeichnet, dass der ADC FIFO und AVRГ FIFO leer sind.

**average** Wie der Name des Registers schon andeutet, wird hier der Mittelwert von gemessenen ADC Daten in einem zwei Byte großen Statusregister gespeichert.

**rms** Das Statusregister „rms“ besitzt eine Größe von drei Bytes. Hier werden die  $RMS^2$  Werte des gemessenen Stroms gespeichert.

**trg\_src & evnt\_cnt** Der „evnt\_cnt“ teilt sich mit dem „trg\_src“ zwei Bytes. Die ersten elf Bits sind für den „evnt\_cnt“ vorgesehen. Hier wird die Anzahl der letzten Triggerereignisse gespeichert. In den letzten fünf Bits wird die Triggerquelle gespeichert, die zum Auslösen des letzten Triggers geführt hat. Das bedeutet, dass in den Bits 11 bis 15 nach einem Trigger ein Bit automatisch gesetzt wird. Die Bedeutung der Bits 11 bis 15 ist äquivalent zu den Bits in „trigger\_conf“. Ist beispielsweise nach einem Trigger das Bit 15 gesetzt, so ist der Trigger durch einen Software Trigger ausgelöst worden.

**timer** Innerhalb des „timer“ Statusregisters, wird der Zeitpunkt gespeichert, an dem ein Triggerereignis stattgefunden hat. Der timer besteht aus zwei Komponenten. Die Schnelle besteht aus 3 Bytes und hat in einer Zeitskala von  $\mu s$ . Die langsame Komponente besteht aus 2 Bytes und besitzt eine Zeitskala von s.

**dac** Das „dac“ Register besteht aus zwei Bytes. Man kann einen Wert von 0x0000 bis 0x0FFF, das heißt einen Wert von 0 bis 4095, setzen. Dieser Wert wird am Ausgang des DAC des zu messenden Signals hinzu addiert. Wird jedoch ein Wert ab 0x1000 bis 0x1FFF gesetzt, so wird ein Wert von 0 bis 4095 in den DAC geschrieben und im flash memory gespeichert. Die Konsequenz ist, dass der Wert dauerhaft, auch nach einem Neustart des DAC, vorhanden ist. Nachdem der DAC eingeschaltet wird, wird der Wert gesetzt, welcher im flash memory vorhanden ist. Somit ist es möglich, den Messbereich von 0 V bis 3 V relativ zu verschieben.

Zudem kann man auch den nach dem letzten Neustart geschriebenen Wert aus dem dac Register auslesen. Jedoch ist nicht genügend Speicherplatz im FPGA vorhanden, um den aktuell gesetzten Wert im DAC zu lesen.

## 6 Kontrolle und Monitoring

### 6.1 Das Distributed Information Management System

ALICE und der TRD sind komplexe Systeme, zu deren Kontrolle und Monitoring das Detector Control System (DCS) geschaffen wurde, in dem die Betriebsparameter in übersichtlichen graphischen Darstellungen zusammengeführt und beeinflusst werden können.

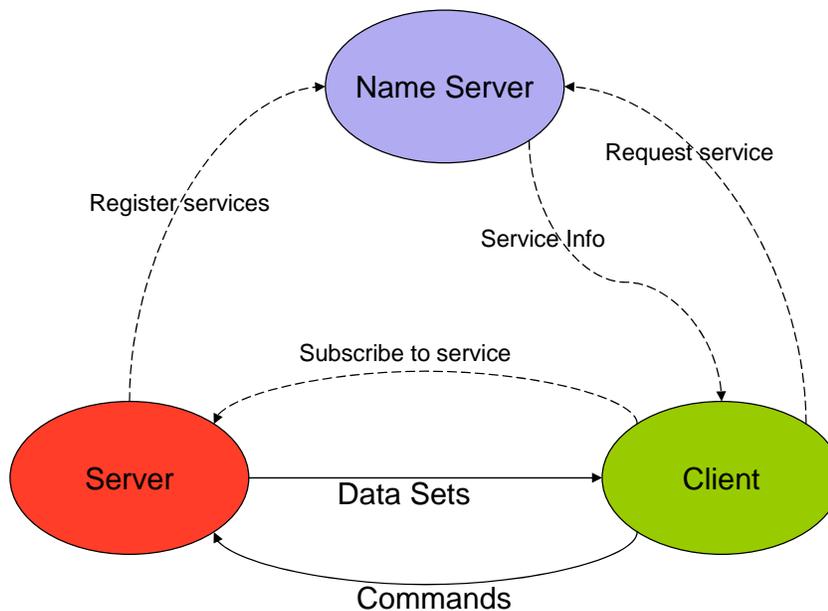


Abbildung 12: Darstellung des Server-Client Paradigmas von DIM. Die gestrichelten Linien stellen Prozesse dar, die nur einmal durchgeführt werden müssen. Der Server registriert seine Services im Name Server. Der Client stellt dem Name Server eine Anfrage auf Services und bekommt daraufhin die Service Information. Daraufhin kann der Client die bekannten Services vom Server abonnieren. Mit durchgezogenen Linien sind die Prozesse markiert, die wiederholt ablaufen: Das Senden von Kommandos an den Server und das Senden der Servicedaten vom Server an den Client. Abb. aus [13].

Die Messdaten des Systems zur schnellen Messung von Stromspitzen in der Hochspannung am TRD sollen ebenfalls im DCS zur Verfügung stehen. Zum Senden der Daten an das DCS wird hier das Distributed Information Management (DIM) verwendet[14]. DIM arbeitet mit einer Client-Server Struktur (Abb. 12). Ein Server stellt einen oder mehrere Services zur Verfügung. Ein

Service beinhaltet einen Zahlenwert einer Messung. Die Services werden an den DIM Client versendet und dann in die WinCC interne Datenbank geschrieben.

Ein DIM Server für die Mess- und Metadaten des Systems zur schnellen Messung von Stromspitzen ist im Rahmen dieser Arbeit im erstellten Programmcode implementiert worden. In den Tabellen 6, 7 und 8 sind die Namen der DIM Services zusammen mit den Namen der korrespondierenden WinCC Datenpunkte aufgeführt.

## 6.2 DIM Service

Die zentrale Aufgabe des Systems zur schnellen Messung von Stromspitzen ist, die Strommesswerte im DCS zur Verfügung zu stellen.

Dafür werden vier Services (Mittelwert, RMS<sup>2</sup>, minimaler und maximaler Strommesswert) pro Messkanal über den DIM Server verschickt, welche in Tabelle 6 aufgeführt sind.

Die Nomenklatur der DIM Services ist die Folgende: Zuerst wird verifiziert von welcher Box der DIM Service kommt. Darauf wird der Link angegeben. Dieser kann eine Zahl von Null bis Acht annehmen. Der Slave wird als nächstes mit Werten von Null bis Sieben angegeben. Als letztes folgt der Datentyp, sprich der Mittelwert, der RMS<sup>2</sup> Wert, der minimale und maximale Strommesswert wird angegeben. Beispielsweise ist der DIM Service trd-hv-sense\_1\_9\_4.AVRG der Mittelwert des Stroms von Slave 4 auf Link 9 in der ersten Box.

<b>DIM Service Namen</b>	<b>Bedeutung</b>
trd - hv - sense_ < BoxN > _ < link > _ < slave > .AVGR	Mittelwert
trd - hv - sense_ < BoxN > _ < link > _ < slave > .RMS	RMS <sup>2</sup>
trd - hv - sense_ < BoxN > _ < link > _ < slave > .LOW	Minimum
trd - hv - sense_ < BoxN > _ < link > _ < slave > .HIGH	Maximum

Tabelle 6: DIM Datenpunkte für Mittelwert, RMS<sup>2</sup>, Minimum und Maximum. < BoxN > kann den Wert 1 oder 2 annehmen, welcher angibt, ob der DIM Service von der ersten oder zweiten Box stammt. Man kann über < link > den Sektor und über < slave > den Messkanal identifizieren.

Die beiden Boxen sind in der Lage, ihren eigenen Zustand zu messen. Dazu gehören Zustände, die auf der Kontrollerkarte und der Backplane, das ist eine Schiene, in der die neun Links und die Kontrollerkarte eingesteckt sind, gemessen werden.

In Tabelle 7 sind die sechs Datenpunkte zu sehen, die den Zustand der Backplane angeben. Es ist wichtig, die Leckströme zu überprüfen, damit man kontrollieren kann, dass nicht zu viel Strom auf der Backplane fließt, der die Strommessung beeinflussen könnte. Es kann der Leckstrom von den Links, welche in zwei Gruppen aufgeteilt sind, gemessen werden. In Box 1 gehören die Sektoren 13, 14, 15, 16 und 17 zur ersten und die Sektoren 0, 1, 2 und 3 zur zweiten Gruppe. In Box 2 gehören die Sektoren 4, 5, 6, 7 und 8 zur ersten und die

Sektoren 9, 10, 11 und 12 zur zweiten Gruppe. Zudem wird die Temperatur des 5 V Spannungsreglers gemessen. Ist diese Temperatur zu hoch, so könnte der Spannungsregler, welcher für die FE Karten verwendet wird, kaputt gehen.

<b>DIM Service Namen</b>	<b>WinCC Datenpunkt</b>	<b>Bedeutung</b>	<b>typischer Wert</b>
ADC.B.0	HV_LEAK_CURR0.4	Leckstrom für die erste Gruppe	-0,015 uA
ADC.B.1	HV_LEAK_CURR5.8	Leckstrom für die zweite Gruppe	-0,007 uA
ADC.B.2	V6_UNREG	Spannung im unregulierten Gleichrichter für +6V	7,78 V
ADC.B.3	Vm6_UNREG	Spannung im unregulierten Gleichrichter für -6 V	-10.05 V
ADC.B.4	VRG_5V_TEMP	Temperatur des +5V Spannungsreglers	58 °C
ADC.B.5	VRG_5V_CURR	Strom durch den +5V Spannungsregler	0.62 A

Tabelle 7: Leckströme, Spannungen im unregulierten Gleichrichter, Temperatur und Strom eines Spannungsreglers auf der Backplane. Die erste Gruppe besteht aus den Links von 0 bis 3 und die zweite Gruppe aus den Links 4 bis 8.

In Tabelle 8 sind die Messwerte für den Zustand der Kontrollerkarte aufgeführt. Es wird der Spannungswert von einem 6 V unregulierten Gleichrichter auf der Kontrollerkarte gemessen. Der minimale Wert dieses Gleichrichters muss größer als 5,3 V sein, damit 5 V im Spannungsregler erzeugt werden können. Zudem werden die Luftfeuchtigkeit und die Temperatur auf der Kontrollerkarte gemessen. Die Luftfeuchtigkeit muss einen niedrigen Wert haben, damit sich kein Wasser auf den Bauteilen des Systems ablagern kann. Auch sollte es innerhalb der Boxen nicht zu heiß werden, weil dies den Bauteilen des Systems schaden könnte.

<b>DIM Service Namen</b>	<b>WinCC Datenpunkt</b>	<b>Bedeutung</b>	<b>typischer Wert</b>
ADC_C_0	V6_UNREG	Spannung im unregulierten Gleichrichter für +6 V	8,01 V
ADC_C_1	VRG_DCS_CURR	Strom durch den +4.5V (DCS) Spannungsregler	0,60 A
ADC_C_2	VRG_DCS_TEMP	Temperatur des +4.5V (DCS) Spannungsreglers	63,2 °C
ADC_C_3	VRG_1V2_TEMP	Temperatur des +1.2V (FPGA core) Spannungsreglers	45,3 °C
ADC_C_4	VRG_1V2_CURR	Der Strom durch den +1.2V (FPGA core) Spannungsregler	0,06 A
ADC_C_5	VRG_3V3_TEMP	Temperatur des +3.3V (FPGAs, LVDS Chips) Spannungsreglers	58,0 °C
ADC_C_6	VRG_3V3_CURR	Strom durch den +3.3V (FPGA, LVDS Chips) Spannungsregler	0,26 A
AIR_TEMP_C	AIR_TEMP_C	Lufttemperatur	31,6 °C
HUMSENS_TEMP_C	HUMSENS_TEMP_C	Temperatur auf Luftfeuchtigkeitssensor	37,5 °C
HUMSENS_HUMIDITY	HUMSENS_HUMIDITY	Luftfeuchtigkeit	20,3%

Tabelle 8: Spannung im unregulierten Gleichrichter, Temperatur und Spannungen dreier Spannungsregler, Lufttemperatur und Luftfeuchtigkeit auf der Kontrollerkarte.

### 6.3 Auslese der Messdaten

Im weiteren Verlauf wird das Strom-Auslese-Programm beschrieben, das im Rahmen dieser Arbeit entwickelt wurde.

Im Programmcode wird regelmäßig geprüft, ob einer der 144 Messkanäle getriggert wurde. Ist dies der Fall, so wird der Mikrocontroller gestoppt. Über die Kontrollerkarte werden die beiden Speicher AVR FIFO und ADC FIFO ausgelesen und auf dem Arbeitsspeicher gespeichert. Danach werden die Speicher AVR FIFO und ADC FIFO geleert, damit die Messkanäle wieder messbereit sind. Ist kein Messkanal getriggert oder sind nach einem Triggerereignis alle Messkanäle ausgelesen, so wird über die Kontrollerkarte der Mittelwert und der RMS<sup>2</sup> Wert in jedem Messkanal ausgelesen. Daraufhin prüft das Programm erneut, ob ein Messkanal getriggert ist. Das Programm befindet sich somit in einer endlosen Schleife. In dieser Arbeit wurde ein Makefile[15] erstellt und das Programm wurde kompiliert. Jedoch wurde das Programm noch nicht auf dem Raspberry Pi getestet. Die DIM Datenpunkte sind im Programm angelegt.

## 6.4 Endlicher Zustandsautomat (Finite State Machine)

Um die verschiedenen Zustände, in denen sich das System befinden kann, zu kennen ist das System in einem endlichen Zustandsautomaten abgebildet (Abb. 13). Der endliche Zustandsautomat für das System besteht aus sieben Zuständen: NO\_CONTROL, STDBY, STDBY\_ON, STDBY\_CFG, READY, TRIGGERED und ERROR (Abb. 13).

Solange die beiden Detektierungsboxen ausgeschaltet sind, befindet sich der endliche Zustandsautomat im Zustand NO\_CONTROL. Schaltet man die beiden Detektierungsboxen ein, so wechselt der Zustand zu STDBY. Noch findet keine Messung statt. Man gelangt in den nächsten Zustand STDBY\_ON, wenn man alle 144 FPGAs einschaltet. Wird die Konfiguration gesetzt, wie in Kapitel Konfiguration beschrieben, so befindet sich der endliche Automat in STDBY\_CFG. Um zuletzt in den Messzustand zu kommen muss nur noch das Bit gesetzt werden, welches dem Detektierungssystem die Erlaubnis gibt ein Ereignis zu triggern. Ist dieses Bit gesetzt, so befindet sich der Zustandsautomat im Zustand READY. Der endliche Zustandsautomat bleibt solange in diesem Zustand, bis ein Triggerereignis eintritt. Der endliche Zustandsautomat befindet sich dann im Zustand TRIGGERED. Dieser Zustand bleibt solange aktiv, bis alle Kanäle ausgelesen und alle Speicher geleert worden sind. Daraufhin wechselt der Zustand in READY über und es wird bis zu einem weiteren Ereignis gewartet. Es ist auch möglich von READY in STDBY\_CFG zu kommen. Dies erreicht man, wenn das Triggerbit wieder gelöscht wird. Nun kann eine neue Konfiguration auf das Detektierungssystem gespielt werden. Dies ist zum Beispiel nötig, wenn festgestellt wird, dass die Triggerschwellen zu tief gesetzt sind. Von den drei Zuständen STDBY\_ON, STDBY\_CFG und READY ist es möglich in den Zustand STDBY überzugehen. Dies passiert, wenn in einem der drei Zustände alle FPGAs ausgeschaltet werden.

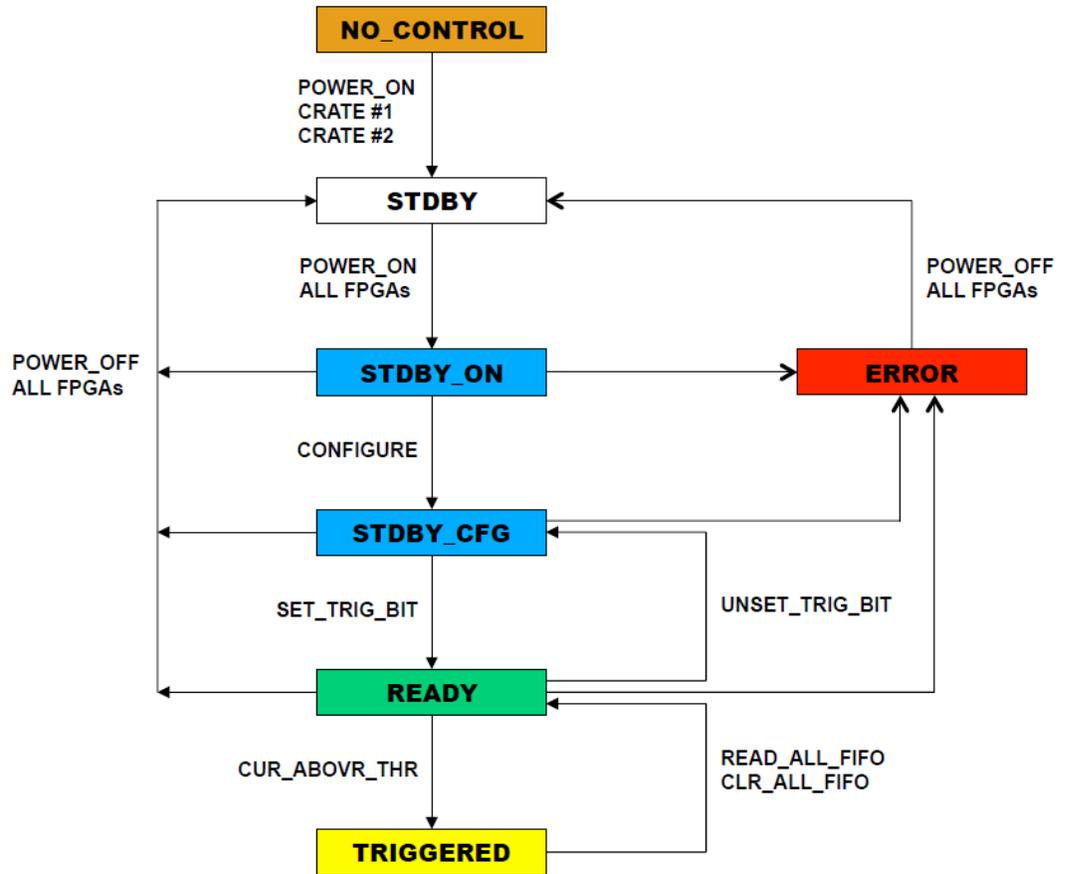


Abbildung 13: Visualisierung der verschiedenen Zustände im endlichen Automat.

Dies wird notwendig, wenn man in jedem der drei Schritte feststellt, dass nicht alle 144 Kanäle aktiv sind, was behoben werden muss, indem die FPGAs neu eingeschaltet werden. Die Spannung der FPGAs wird einmal pro Sekunde überprüft, ebenso wie die Konfiguration. Sollte sich zum Beispiel während dem Zustand READY ein Bit in der Konfiguration ändern, so wechselt der Zustandsautomat in den Zustand ERROR. Erhält ein Link während der Zustände STDBY\_ON, STDBY\_CFG oder READY nicht genügend Spannung so wechselt der Zustandsautomat ebenfalls in den Zustand ERROR. Anschließend werden alle Links abgeschaltet und der endliche Zustandsautomat geht in den Zustand STDBY über.

## 6.5 Panels im Detektorkontrollsystem

Die DCS Panels, mit denen die Boxen überwacht werden, und in denen die gemessenen Ströme geeignet dargestellt werden, sind zu sehen in Abb. 14, 15 und 16.

Die zur Messung ausgewählten Kammern sind grün markiert (Abb.14). Schön zu erkennen ist, dass zum Beispiel in Sektor 08 auf der A-Seite die äußersten vier Kammern zur Strommessung verwendet werden, da die beiden anderen Kammern nicht in Betrieb sind. Eine andere Kammerbelegung als die typische, wie in Sektor 01 auf der A-Seite, sind bei den Sektoren 11 auf der A-Seite und 17 auf der C-Seite vorzufinden. Auch hat man einen guten Überblick, über die gemessenen Ströme und ob die 144 Messkanäle getriggert sind.

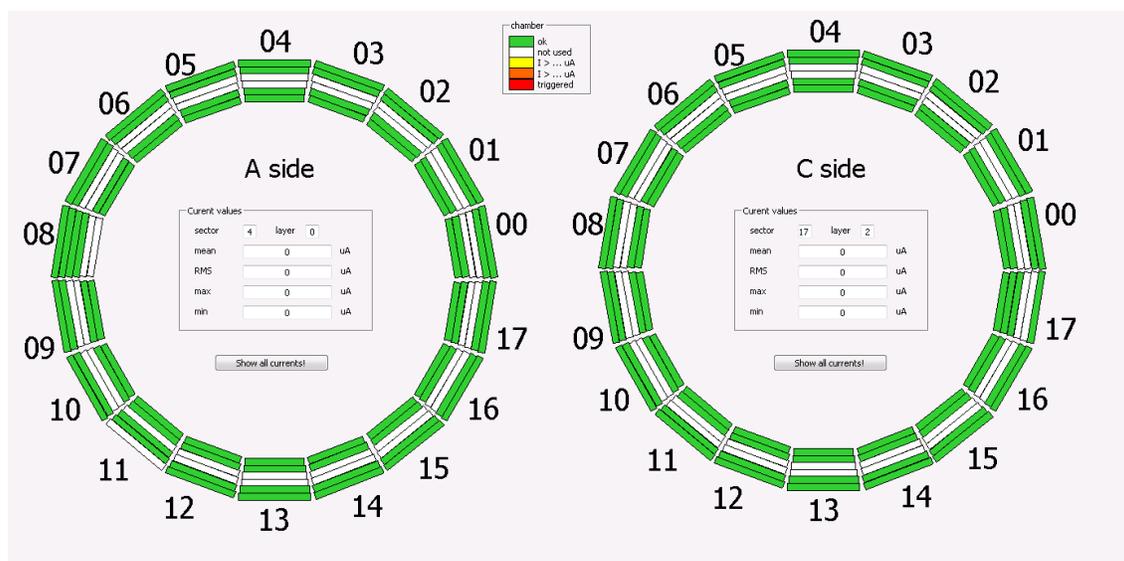


Abbildung 14: Sektoren des TRD auf der A- und der C-Seite. Farblich markiert sind die Kammern, in denen der Strom gemessen wird. Eine Farbskala gibt an, wie hoch die gemessenen Ströme in einer Kammer sind und ob ein Messkanal getriggert ist. Zudem ist in der Mitte von den beiden Kreisen der Mittelwert, der RMS Wert, das Maximum und Minimum eines Messkanals zu sehen. Als das Bild erstellt wurde, sind keine Daten gemessen worden.

Ein weiteres Panel (Abb.15) gibt einen Überblick über die Ströme, die die ISEG Hochspannungsnetzteile messen, und über den gemessenen Strommittelwert und den RMS Wert des Stroms des Systems. Mit dieser Darstellung der Daten kann man die Ströme vergleichen.

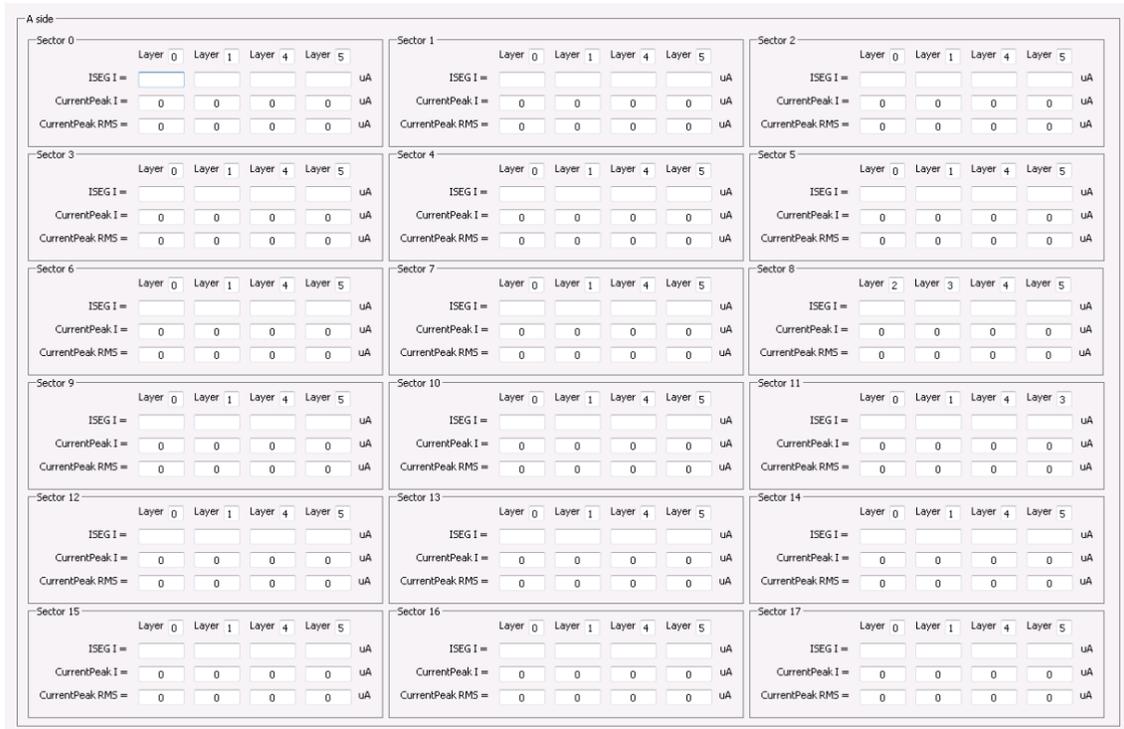


Abbildung 15: Das Panel kann die gemessenen Stromwerte von dem ISEG Hochspannungsnetzteil, die gemessenen Mittelwerte und RMS Werte eines Messkanals für die einzelnen Sektoren auf der A-Seite anzeigen. Als das Bild erstellt wurde, sind keine Daten gemessen worden.

Ein weiteres Panel (Abb.16) gibt den Zustand der beiden Boxen wieder. Somit hat man eine Kontrollmöglichkeit über den Zustand der Hardware und ist in der Lage, bei auftretenden Fehlern besser agieren zu können.

crate 1			crate 2		
HV_LEAK_CURR0_4	<input type="text" value="0"/>	A	HV_LEAK_CURR0_4	<input type="text" value="0"/>	A
HV_LEAK_CURR5_8	<input type="text" value="0"/>	A	HV_LEAK_CURR5_8	<input type="text" value="0"/>	A
V6_UNREG	<input type="text" value="0"/>	V	V6_UNREG	<input type="text" value="0"/>	V
Vm6_UNREG	<input type="text" value="0"/>	V	Vm6_UNREG	<input type="text" value="0"/>	V
VRG_5V_TEMP	<input type="text" value="0"/>	°C	VRG_5V_TEMP	<input type="text" value="0"/>	°C
VRG_5V_CURR	<input type="text" value="0"/>	A	VRG_5V_CURR	<input type="text" value="0"/>	A
-----			-----		
V6_UNREG	<input type="text" value="0"/>	V	V6_UNREG	<input type="text" value="0"/>	V
VRG_DCS_CURR	<input type="text" value="0"/>	A	VRG_DCS_CURR	<input type="text" value="0"/>	A
VRG_DCS_TEMP	<input type="text" value="0"/>	°C	VRG_DCS_TEMP	<input type="text" value="0"/>	°C
VRG_1V2_TEMP	<input type="text" value="0"/>	°C	VRG_1V2_TEMP	<input type="text" value="0"/>	°C
VRG_1V2_CURR	<input type="text" value="0"/>	A	VRG_1V2_CURR	<input type="text" value="0"/>	A
VRG_3V3_TEMP	<input type="text" value="0"/>	°C	VRG_3V3_TEMP	<input type="text" value="0"/>	°C
VRG_3V3_CURR	<input type="text" value="0"/>	A	VRG_3V3_CURR	<input type="text" value="0"/>	A
AIR_TEMP_C	<input type="text" value="0"/>	°C	AIR_TEMP_C	<input type="text" value="0"/>	°C
HUMSENS_TEMP_C	<input type="text" value="0"/>	°C	HUMSENS_TEMP_C	<input type="text" value="0"/>	°C
HUMSENS_HUMIDITY	<input type="text" value="0"/>	%	HUMSENS_HUMIDITY	<input type="text" value="0"/>	%

Abbildung 16: Die Zustände der beiden Boxen 1 und 2 sind in zwei Bereichen dargestellt. Im oberen Bereich sind Leckströme, Spannungen im unregulierten Gleichrichter, Temperatur und Strom eines Spannungsreglers auf der Backplane dargestellt. Im unteren Bereich ist die Spannung im unregulierten Gleichrichter, Temperatur und Spannungen dreier Spannungsregler, Lufttemperatur und Luftfeuchtigkeit auf der Controllerkarte dargestellt. Als das Bild erstellt wurde, sind keine Daten gemessen worden.

## 7 Fazit

Das System zur schnellen Messung von Stromspitzen in der Hochspannung am Übergangsstrahlungsdetektor von ALICE ist vollständig im CR 4 installiert und bereit, die Ströme von 144 aus 521 Kammern vom TRD zu messen. Es besteht die Möglichkeit, die Messkanäle unterschiedlich zu konfigurieren, um sich an die Gegebenheiten des noch unbekanntes Messsignals anpassen zu können.

Zudem wurde ein Programmcode geschrieben, das die gemessenen Ströme bei einem Triggerereignis auslesen kann.

Wenn gegen Ende April 2016 wieder der Strahlbetrieb am LHC aufgenommen wird, kann die Inbetriebnahme des Systems unter Strahlbedingungen starten und die ersten Daten können aufgenommen werden.

Das alles sind gute Voraussetzungen, um künftige Stromspitzen in der Hochspannung am TRD zu messen und damit die Ursache der Trips der Hochspannung verstehen zu können.

## Literaturverzeichnis

- [1] Halzen F. and Martin A., "Quarks and Leptons: An Introductory Course in Modern Particle Physics", 1984, ISBN: 04-7188-741-2.
- [2] Aamodt K. and ALICE Collaboration, "The ALICE experiment at the LHC", In: JINST 3 (2008), DOI: 10.1088/1748-0221/3/08/S08002.
- [3] ALICE Collaboration, "ALICE Technical Design Report of the Transition Radiation Detector", Technical Design Report ALICE, CERN, Geneva, 2001, ISBN: 92-9083-184-7.
- [4] ISEG Catalog, iseg Spezialelektronik GmbH, 2015, <http://www.iseg-hv.com> aufgerufen am 18.03.2016.
- [5] <http://www.lemo.com/de/redel/redel> aufgerufen am 02.03.2016.
- [6] <https://www.raspberrypi.org/> aufgerufen am 14.03.2016.
- [7] Taylor B., "Timing Distribution at the LHC", CERN, Geneva, September 2002, <http://ttc.web.cern.ch/TTC/LECC02.pdf> aufgerufen am 18.03.2016.
- [8] "Timing, Trigger and Control Systems for LHC Detectors", Status Report on the RD-12 Project, CERN/LHCC 97-29, April 1997.
- [9] <http://ttc.web.cern.ch/TTC/> aufgerufen am 11.03.2016.
- [10] <http://www.kip.uni-heidelberg.de/DCS-Board/> aufgerufen am 11.03.2016.
- [11] [https://de.wikipedia.org/wiki/Filter\\_mit\\_endlicher\\_Impulsantwort](https://de.wikipedia.org/wiki/Filter_mit_endlicher_Impulsantwort) aufgerufen am 11.03.2016.
- [12] Marganitz A., "Das binomiale digitale Filter", [http://public.beuth-hochschule.de/marganit/Binomiale\\_digitale\\_Filter.pdf](http://public.beuth-hochschule.de/marganit/Binomiale_digitale_Filter.pdf) aufgerufen am 18.03.2016.
- [13] Neher M., "Production of the power distribution boxes for the full ALICE Transition Radiation Detector and the development and integration of their control system", Diplomarbeit, Universität Heidelberg, 2008.
- [14] Gaspar C. and Donszelmann M., "DIM: A distributed information management system for the DELPHI experiment at CERN", 1993.
- [15] [http://hwstar.physi.uni-heidelberg.de/svn/IF033\\_HV\\_Current\\_Sense/](http://hwstar.physi.uni-heidelberg.de/svn/IF033_HV_Current_Sense/) aufgerufen am 18.03.2016.

## Danksagung

Im Weiteren will ich mich für die Personen bedanken, die mich auf dem Weg zu meiner Bachelorarbeit unterstützt haben.

Zuerst danke ich Prof. Dr. Johanna Stachel, dass sie mich in die KP ALICE Gruppe aufgenommen hat und es mir somit ermöglicht hat meine Bachelorarbeit zu schreiben.

Mein besonderer Dank gilt an PD Dr. Kai Schweda, für die rundum gute Betreuung und für ein offenes Ohr für meine vielen Fragen.

Auch danke ich Dr. Angelov Venelin, welcher mir bei technischen Fragen und bei der Entwicklung meines Programms immer zur Seite stand.

Außerdem danke ich Martin Fleck, welcher mir geholfen hat das Projekt zielstrebig anzugehen und immer die Geduld hatte meine Fragen zu beantworten.

Vielen Dank an Meike Danisch, für die Bereitstellung der Bilder zu den Panels.

Zuletzt möchte ich mich bei meinen Freunden und meiner Familie für die Unterstützung und Motivation während des Studiums bedanken.

## **Erklärung**

Ich versichere, dass ich diese Arbeit selbstständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, den 21. März 2016,

.....