Fakultät für Physik und Astronomie

Ruprecht-Karls-Universität Heidelberg

Diplomarbeit
im Studiengang Physik

vorgelegt von
Peter Ernst
aus Mannheim

Oktober 1997

Ladungsempfindliche Auslese und Signalpulsformung des Signals der CERES-Zeitprojektionskammer (TPC) in CMOS- und BiCMOS-Technologie

Die Diplomarbeit wurde von Peter Ernst ausgeführt am
Physikalischen Institut
unter der Betreuung von
Frau Prof. Dr. Johanna Stachel

Diese Arbeit beschreibt die Entwicklung und die Tests eines ladungsempfindlichen Vorverstärkers mit anschließender Pulsformung in CMOS- und BiCMOS-Technologie.

Dieser Auslesechip soll in der, sich in der Entwicklung befindlichen, „Zeitprojektionskammer“ (TPC) des CERES/NA45 Schwerionenexperiments am CERN/SPS in Genf verwendet werden.

Besonderes Augenmerk wurde bei der Entwicklung auf ein günstiges Rauschverhalten bei moderater Leistungsaufnahme gelegt. Dazu werden sowohl theoretische Untersuchungen als auch Meßergebnisse diskutiert.

Der entwickelte Pulsformer zeichnet sich besonders duch Flexibilität in Bezug auf die generierte Pulsbreite aus. Um den typischen Signalschwanz einer TPC unterdrücken zu können, wurde dazu sowohl eine bewährte Methode an die CERES-Bedingungen angepaßt, als auch eine flexiblere, neue Methode entwickelt, diskutiert und vermessen.

This thesis describes the development and tests of a charge sensitive preamplifier and pulse shaper with tail cancellation in CMOS- and BiCMOS-technology.

This readout chip was designed for the Time Projection Chamber (TPC) of the CERES/NA45 heavy ion experiment at the CERN/SPS. The chamber is currently under development and it is foreseen to start data taking in the fall of 1998.

Special care was taken during the development of the chip to reach a low noise level together with a moderate power consumption. Theoretical noise studies as well as measurements are discussed.

The pulse shaper was designed to be able to generate a wide range of shaping times. For the tail cancellation of the TPC signal, a proven method as well as a new and more flexible method were developed, discussed and measured.

Kapitel 1

Einleitung

Das CERES/NA45-Experiment am SPS-Beschleuniger am CERN in Genf untersucht vorrangig die Produktion von e^+e^--Paaren aus Schwerionenkollisionen.

Da die bisherigen Daten Hinweise auf „neue Physik“ geliefert haben – erwähnt sei an dieser Stelle die mögliche Wiederherstellung der chiralen Symmetrie und die damit verbundene große, theoretische Aktivität –, wird deshalb zur Zeit versucht, die Impulsauflösung des Experiments durch zusätzlichen Aufbau einer Zeitprojektionskammer (TPC) zu verbessern, um damit die Gültigkeit der verschiedenen theoretischen Modelle zu überprüfen.

Die Spuren in der TPC werden in einer Vieldraht-Proportionalkammer nachgewiesen und über Pads ausgelesen. Dieses Ladungssignal soll nach Vorverstärkung und Pulsformung in einem Analogspeicher (Switched Capacitor Array = SCA) zwischengespeichert werden, um während der Totzeit der anderen Detektoren analog-digital gewandelt und gespeichert zu werden.

Ziel dieser Arbeit

Diese Arbeit behandelt die Entwicklung der Elektronik zur Vorverstärkung des Detektorsignals und dessen Pulsformung. Dazu wurde ein Mikrochip in kostengünstiger CMOS-Technologie entwickelt, der diese beiden Aufgaben vereint.

Spezielle Techniken werden in dieser Arbeit diskutiert, um die in CMOS-Technologien nicht zur Verfügung stehenden großen Widerstände für große Zeitkonstanten zu erzeugen und diese selbst-kalibriert zu gestalten. Dabei bleiben aber viele Parameter der Elektronik, wie die generierte Pulsbreite und der Verstärkungsfaktor, durch Schalter wählbar, so daß noch nach Montage der Chips auf dem Detektor eine Feinjustierung für den optimalen Betrieb unter experimentellen Bedingungen möglich ist.

Für die Signalformung wurde sowohl eine bewährte Methode ([BBB+96]) auf die speziellen Bedingungen für die CERES-TPC angepaßt, als auch ein neues zweistufiges Schaltungskonzept entwickelt, das einen besonders flexiblen Mechanismus zur Unterdrückung des langsamen Signalanteils (engl. tail cancellation) enthält.

Besonderer Wert wurde bei der Entwicklung auf ein möglichst geringes Rauschen gelegt, und die dazu notwendigen Überlegungen sind in dieser Arbeit beschrieben. Dies alles sollte bei einer moderaten Leistungsaufnahme erreicht werden, um den Aufwand zur Temperaturstabilisierung des Detektors gering zu halten.

In Kapitel 2 wird ein kurzer Überblick über die physikalische Zielsetzung des CERES-Experiments gegeben. Es werden neben dem bisherigen, experimentellen Aufbau und den damit erzielten Resultaten, die Gründe für den Aufbau der TPC geschildert.

Kapitel 3 befaßt sich mit den theoretischen Grundlagen, die beim integrierten Aufbau eines Ladungsverstärkers und Pulsformers zu beachten sind. Der Schwerpunkt bei dieser Besprechung liegt dabei vor allem auf den Ursachen und Abhängigkeiten von elektronischem Rauschen. Darüberhinaus werden die Probleme geschildert, wie sie beim Aufbau von hochohmigen Widerständen in CMOS-Technologie auftreten.

In Kapitel 4 wird dann detailliert auf die Simulation der Schaltkreise für den Ladungsverstärker und den Pulsformer eingegangen. Insbesondere wird die optimale Wahl der Schaltkreisparameter für die CERES-TPC diskutiert.

Neben der Simulation am Computer wurden diese Überlegungen in drei Test-Chips realisiert. Die Meßergebnisse an diesen Test-Chips und deren Auswertung sind in Kapitel 5 zu finden.

Abschließend wird in Kapitel 6 eine Zusammenfassung der Ergebnisse dieser Arbeit geliefert und ein Ausblick auf den Chip gegeben, wie er höchstwahrscheinlich an der CERES-TPC eingesetzt werden wird.

Kapitel 2

Das CERES-Experiment

2.1 Die Ziele des CERES-Experiments

Die CERES/NA45-Kollaboration betreibt zur Zeit am CERN SPS in Genf ein Lepton-Paar Spektrometer bestehend aus zwei Ring-abbildenden Čerenkov-Zählern (RICH), zwei Silizium-Drift-Kammern in Targetnähe und einer Vieldrahtkammer mit Kathodenpad-Auslese hinter den beiden Čerenkov-Zählern (Abbildung 2.1).

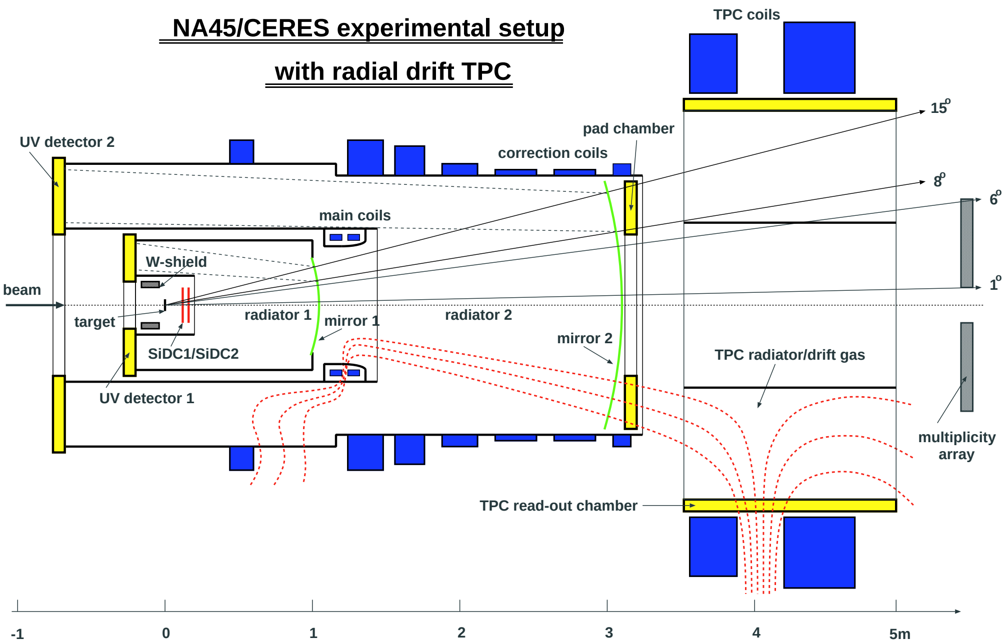


Abbildung 2.1: Geplanter Aufbau des CERES-Experiments im Jahr 1998 mit neuer TPC

In einem „Fixed Target“ Aufbau werden damit Schwerionenkollisionen untersucht. Seit der Konzeption des Experiments im Jahr 1988 ([CER88]) und dem

Beginn der Datennahme im Jahr 1991 mit den beiden Čerenkov-Zählern wurde das Experiment stufenweise um die Silizium-Drift-Kammern und die Vieldrahtkammer mit Padauslese erweitert ([CER94], [CER95]).

Ziel des CERES-Experiments ist es, e^+e^-–Paare mit Massen bis zu etwa 2 GeV/ c^2 zu untersuchen, die in protonen- und ioneninduzierten Kollisionen bei SPS-Energien im mittleren Rapiditätsbereich und einem sehr großen p_t–Bereich entstehen (p_t = Transversalimpuls). Da Leptonen nicht stark wechselwirken und ihre mittlere freie Weglänge somit groß gegenüber dem Reaktionsvolumen ($\approx$ 1 fm) ist, können sie ohne Beeinflussung durch spätere Phasen des Stoßes das Wechselwirkungsvolumen verlassen. Mit Leptonen kann also die dynamische Entwicklung der Frühphase von Kern-Kern-Kollisionen untersucht werden. Darüberhinaus werden e^+e^-–Paare während der gesamten Raum-Zeit-Entwicklung des Systems produziert: Angefangen beim frühen, heißen Zustand bis zu dem Punkt, an dem die Hadronen aufhören miteinander wechselzuwirken. Da alle Stufen der Kollision einen etwas anderen Beitrag liefern, sollte es durch sorgfältige Analyse des Spektrums und Korrelation mit anderen Parametern möglich sein, die gesamte Raum-Zeit-Geschichte der hadronischen Kollision zu entfalten.

Für diesen Zweck hat die CERES-Kollaboration das oben genannte Spektrometer entwickelt. Systematisch hat die Kollaboration Elektronenpaare aus p-Be, p-Au, S-Au und Pb-Au Kollisionen untersucht. Im Gegensatz zu p-Be und p-Au Kollisionen hat CERES bei S-Au Kollisionen bei Energien von 200 GeV/ Nukleon (ebenso Pb-Au bei 158 GeV/Nukleon) einen signifikanten Überschuß an Elektronenpaaren mit niedriger Masse beobachtet, der jenseits der bekannten hadronischen Quellen liegt (Dalitz-Zerfälle von $\pi^0, \eta, \eta', \omega$ und der Zerfall der Resonanzen ϱ, ω und ϕ), welche durch Skalierung aus p-p Kollisionen gewonnen wurden ([A+95], [Ull96]). Erste Ergebnisse der Analyse von Pb-Au Kollisionen bestätigen dieses Bild ([Voi97]) (vergleiche Abbildung 2.2).

Dieser Überschuß beginnt bei etwa der zweifachen Pion-Masse und setzt sich bis über die ϱ–Masse hinaus fort. Wenn man die S-Au Daten von CERES mit den vorläufigen Ergebnissen von HELIOS/3 ([Mas95]) kombiniert, kann man daraus Hinweise auf eine quadratische Abhängigkeit des Überschusses von der Multiplizität ableiten. Dies wird auch von der CERES Messung mit Pb-Au bestätigt, bei der bei verschiedenen Multiplizitäten gemessen werden konnte und ein Anstieg des Überschusses mit der Multiplizität beobachtet wurde, der stärker als linear ist ([CER98]). Diese charakteristischen Eigenschaften des Überschusses sprechen für einen Überschuß aufgrund von $\pi^+\pi^-$–Annihilation und anderen Reaktionen im heißen Kollisionssystem. Dies wäre der erste experimentelle Hinweis auf direkte Emission von Strahlung aus dichter, hadronischer Materie, die in einer relativistischen Ionenkollision geformt wurde.

Dieser Überschuß an Ereignissen hat, zusammen mit dem vorläufigen Ergebnis des HELIOS/3 Di-Muon-Spektrums bei niedriger Masse, große theoretische Anstrengungen ausgelöst. Der Pion-Annihilations-Kanal wurde in den meisten Berechnungen zu den bisher bekannten hadronischen Quellen hinzugefügt. Die

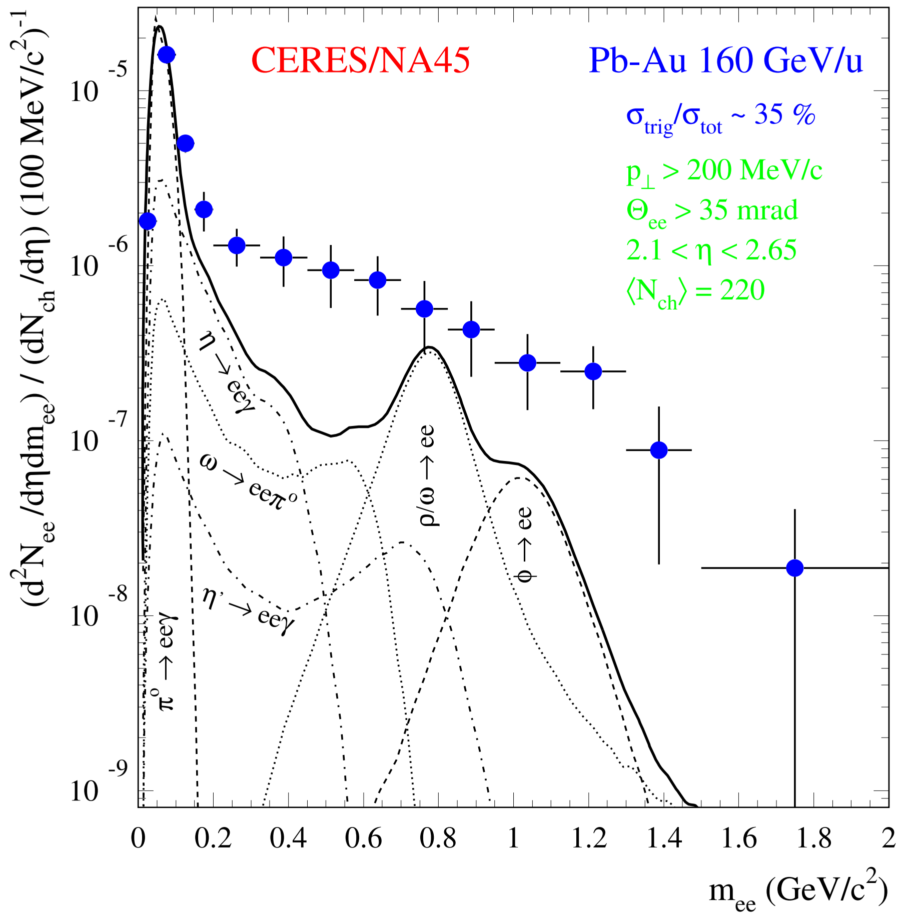


Abbildung 2.2: Massenspektrum aus den CERES Daten von 1995 ([Voi97]). Die Normalisierung wurde so gewählt, daß das Spektrum die Paardichte pro Dichte geladener Teilchen innerhalb der Rapiditätsakzeptanz von $2.1 < y < 2.65$ wiedergibt.

Kollisionsdynamik wurde dabei mit mehreren Methoden untersucht: Transportmodelle die explizit Baryonen und Mesonen propagieren, unter der Annahme, daß sich das hadronische System entweder im thermischen Gleichgewicht ([KLBS96], [KLB95]) oder nicht im Gleichgewicht ([CEK95], [KS]) befindet. Ein hydrodynamisches Modell, welches die Materie aus einem thermischen Quark-Gluon-Plasma (QGP) entstehen läßt ([S$^+$96], [SHK$^+$96]) und ein Modell, das auf einem thermalisierten, hadronischen Gas beruht ([SHK$^+$96]).

Als wichtigstes Ergebnis all dieser theoretischen Anstrengungen bleibt, daß

- alle Vorhersagen von Modellen, die keine „neue“ Physik wie „in-Medium Massenverschiebungen“ beinhalten, unabhängig von ihren unterschiedlichen Annahmen bezüglich der Kollisionsdynamik, zu sehr ähnlichen Ergebnissen führen. Das bedeutet, daß die Ergebnisse nicht sehr sensitiv auf die Details der Raum-Zeit-Entwicklung der Kollision sind.

- der beobachtete Überschuß an Leptonen nahe der ϱ/ω–Masse gut reproduziert wird, als Konsequenz der Berücksichtigung des $\pi^+\pi^-$–Annihilations-Kanals.

- alle diese Berechnungen aber nicht den Überschuß im Massenbereich $0.2 < m_{e^+e^-} < 0.5\,\mathrm{GeV/c^2}$ erklären können.

Daten in dieser Massenregion konnten jedoch quantitativ erklärt werden, indem man eine Abnahme der Mesonmassen in Betracht gezogen hat. Diese Abnahme sollte in einem heißen, dichten Feuerball als Vorläufer der chiralen Symmetriewiederherstellung zu beobachten sein ([Pis82], [BR91]). Insbesondere die Abnahme der Masse des ϱ–Mesons ist zu berücksichtigen, welches etwa eine Lebensdauer von 1 fm/c besitzt und deshalb praktisch vollständig innerhalb des Feuerballs der Kollision zerfällt. Mit diesem Ansatz konnte eine ausgezeichnete Übereinstimmung mit den CERES-Daten durch Li et al. [KLB95] erzielt werden. Die gleiche Berechnung reproduziert darüberhinaus auch den Überschuß in den HELIOS/3 Di-Muon-Daten. Ähnliches wurde auch von Cassing et al. [CEK95] formuliert.

Die CERES-Daten können also zur Zeit, trotz intensiver Suche nach alternativen Erklärungen, nur durch eine „in-Medium Massenverschiebung“ erklärt werden. Die Unsicherheiten in den Daten sind aber noch zu groß, um zweifelsfrei andere, möglicherweise konventionellere Lösungen auszuschließen. Die Unsicherheit in den Daten wird zur Zeit durch die Impulsauflösung bestimmt. Deshalb soll nun versucht werden, durch eine Erweiterung des Spektrometers, die Impulsauflösung zu verbessern und so Abhängigkeiten der e^+e^-–Ausbeute von Variablen wie der Multiplizität genauer vermessen zu können. Damit sollte es möglich sein, bestimmte Erklärungen des Überschusses auszuschließen bzw. notwendige Abhängigkeiten bei Erklärungen zu bestätigen.

2.2 Der Aufbau des CERES-Spektrometers

Das CERES-Spektrometer wurde entwickelt, um e^+e^-–Paare in Schwerionenstößen bei ultra-relativistischen Energien zu untersuchen. Es wurde in vielerlei Hinsicht optimiert, um minimal auf Hadronen und Photonen zu reagieren. Das Spektrometer deckt einen polaren Winkelbereich von $8° \leq \theta \leq 15°$ (Pseudorapidität $2.1 \leq \eta \leq 2.7$) bei voller, azimutaler Symmetrie ab und erlaubt die Untersuchung in einem Bereich der invarianten Masse von einigen $\mathrm{MeV/c^2}$ bis zu $2\,\mathrm{GeV/c^2}$. Die obere Grenze der Masse ist nur durch die zugängliche Statistik beschränkt.

Die Teilchen-Identifikation und die Spurrekonstruktion basiert auf den beiden azimutal-symmetrischen RICH-Detektoren mit einer Čerenkov-Schwelle ($\gamma_{th} \simeq 32$), die so hoch gewählt wurde, daß praktisch nur Elektronen Čerenkov-Ringe mit asymptotischen Radius erzeugen („hadron-blind-tracking“). Eine supraleitende Doppel-Spule mit entgegengesetzt laufenden Strömen zwischen den beiden Detektoren sorgt für eine azimutale Ablenkung ϕ, die sowohl für die Impulsmessung, als auch für die Bestimmung des Ladungsvorzeichens notwendig ist, wobei der polare Winkel θ in erster Näherung unverändert bleibt (Abweichungen davon in zweiter Ordung durch Feld-Effekte). Das magnetische Feld im Bereich des inneren RICH-Detektors wird duch einen asymmetrischen Stromverlauf in den Spulen auf nahezu Null kompensiert, so daß dort die Information über den Teilchenursprung erhalten bleibt. Dies erlaubt es, Photon-Konversionen als Doppel-Ringe in RICH-1 zu identifizieren, bevor sie im anschließenden Feld auseinander laufen. Eine Gruppe von Korrektur-Spulen formt das Feld in RICH-2 so, daß es immer zurück auf das „Target“ zeigt. Dies führt zu gradlinigen Flugbahnen und deshalb zu scharfen Ring-Bildern. Die Čerenkov-Photonen aus den beiden RICH-Radiatoren werden an den sphärischen Spiegeln von RICH-1 bzw. RICH-2 reflektiert und von UV-Detektoren in der jeweiligen Fokal-Ebene registriert. Durch die sphärische Geometrie der Spiegel werden parallele Strahlen auf den gleichen Punkt in der Fokal-Ebene abgebildet. Das bedeutet, daß die Čerenkov-Photonen von Teilchen mit parallelen Trajektorien auf ein und den selben Ring in der Fokal-Ebene abgebildet werden.

Die Fokal-Ebenen der beiden Spiegel, und damit die UV-Detektoren, befinden sich strahlaufwärts vom „Target“. Die UV-Detektoren sind damit außerhalb des großen Flusses an geladenen Teilchen während des Experiments. Sie sind aus mehreren Parallelplatten- und Vieldrahtebenen aufgebaut ([Bau94], [B$^+$94]). In der 15 mm langen Konversionszone wird eine Konversionswahrscheinlichkeit der Photonen von 92% erreicht. Die Photokathode ist mit TMAE-Gas gefüllt und hat ein Ionisationspotential von nur 5.4 eV. Die Verwendung einer Vieldrahtebene als letzte Verstärkungsstufe bietet den Vorteil, daß mit steigender Lawinenintensität der Verstärkungsfaktor abnimmt und somit der Detektor vor unkontrollierten Entladungen geschützt ist. Die Auslese erfolgt über 53800 (48400)[1] schachbrettartig angeordnete Metallpads, wobei ein Pad einem Winkel von 2.18 (1.82) mrad entspricht. Der Radius eines Čerenkov-Rings beträgt somit 14.5 (16.4) Pads oder 4.0 (12.5) cm.

Im Gegensatz zur reinen Winkelinformation der RICH-Detektoren liefern die beiden Silizium-Drift-Detektoren jeweils eine absolute (r, ϕ)-Information der Teilchentrajektorie bei gegebener z-Koordinate. Durch Kombination der beiden Detektoren kann die Teilchenspur rekonstruiert werden. Die beiden Silizium-Drift-Detektoren erlauben weiterhin eine sehr genaue Vertex-Rekonstruktion ohne jegliche zusätzliche Information aus RICH-1. Diese Information wird genutzt, um in RICH-1, den Mittelpunkt eines Čerenkov-Rings vorherzusagen, was die Mustererkennung in RICH-1 erheblich verbessert. Die Identifikation von nahe beieinander liegenden Elektronenpaaren, die aus Konversionen und Dalitz-Zerfällen stammen, kann mit diesen beiden Detektoren (doppelte Amplitude) durchgeführt werden und ist essentiell, um den kombinatorischen Untergrund in zentralen Stößen klein zu halten.

Um scheinbare Spuren von tatsächlichen Spuren besser unterscheiden zu können und um die Mustererkennung in RICH-2 zu unterstützen, ist hinter RICH-2

[1] Die Werte in Klammern beziehen sich jeweils auf RICH-2

noch eine Vieldrahtkammer mit Pad-Auslese installiert. Die Pad-Kammer steht $\approx 3.3\,\mathrm{m}$ hinter dem „Target“ und deckt eine Pseudorapidität im Bereich von $2.0 < \eta < 2.7$ ab, d.h. ein leicht größerer Bereich als der des übrigen Spektrometers. Die Vieldrahtkammer ist in ihrer Struktur ähnlich der Vieldraht-Verstärkungsstufe von RICH-2.

Das „Target“ ist segmentiert in acht Scheiben mit einem Durchmesser von $600\,\mu$m und einer Dicke von jeweils $25\,\mu$m. Ihr Abstand beträgt jeweils 2.8 mm, so daß im Mittel nur jeweils eine halbe Scheibe zu Photon-Konversionen innerhalb der Spektrometerakzeptanz beiträgt.

Um sensitiv auf die Zentralität der Kollisionen zu sein, besitzt das Spektrometer einen Multiplizitätstrigger. Er wird von einer azimutalsymmetrischen, segmentierten Szintillatorscheibe hinter dem Experiment generiert. Der Szintillator ist in 24 individuelle Zähler eingeteilt. Er überdeckt eine Pseudorapiditätsregion von $2.9 < \eta < 4.8$, die außerhalb der Akzeptanz des Spektrometers liegt, um nicht von den Schauern, die von der Pad-Kammer erzeugt werden, beeinflußt zu werden. Die Multiplizität innerhalb der Akzeptanz wird sehr genau von den Silizium-Drift-Detektoren ermittelt. Deren Daten können aber nicht, im Gegensatz zu den Signalen aus den Szintillatoren, zur Erzeugung eines schnellen Trigger-Signals verwendet werden.

2.3 Das CERES-Programm für 1998

Wie im Abschnitt über die Ziele des CERES-Experiments angedeutet wurde, sind noch weitere Experimente notwendig, um die Fragen, die durch die bisherigen CERES-Ergebnisse und die jüngsten theoretischen Untersuchungen aufgekommen sind, zu beantworten.

Deshalb wurde 1996 der Bau einer zusätzlichen externen TPC (Zeitprojektionskammer = engl. Time Projection Chamber) vorgeschlagen ([CER96a]).

Um wirklich qualitativ bessere Ergebnisse zu erhalten, hat die CERES-Kollaboration vorgeschlagen, die Massenauflösung des Spektrometers zu verbessern, die danach $\delta m/m = 2\%$ bei $m = 1\,\mathrm{GeV/c^2}$ betragen soll. Mit dieser Auflösung, die sich im Bereich der natürlichen Linienbreite des ω–Mesons befindet, wird es möglich sein, präzise das Verhalten der ϱ, ω und ϕ Mesonen zu spektroskopieren und daneben das Kontinuum zu vermessen. Im Einzelnen verhält es sich so, daß die Lebensdauer der ϱ, ω und ϕ Mesonen jeweils 1, 23 und 44 fm/c beträgt. Dies bedeutet, daß effektiv alle ϱ Mesonen innerhalb des Feuerballs zerfallen, während die ω und ϕ Mesonen teilweise im Feuerball und teilweise danach zerfallen.

Mit dem verbesserten Aufbau des Experiments erhofft sich die CERES-Kollaboration stärkere Hinweise auf die chirale Symmetriewiederherstellung zu bekommen, indem experimentell untersucht wird, ob der beobachtete Überschuß an Ereignissen im Kontinuum aufgrund einer Modifikation der Vektormesonen in heißer und dichter Materie auftritt. Die Beobachtung von Masenverschiebungen oder größeren Breiten der ϱ, ω und ϕ Mesonen würde dazu einen zwingenden Beweis liefern.

Da der Übergang von normaler, hadronischer Materie zum Zustand mit chiraler Symmetrie viel mehr von der Baryonendichte als von der Temperatur (oder der Pionendichte) beeinflußt wird, möchte CERES neben einer Strahlenergie von 160 GeV/Nukleon auch mit einer Strahlenergie von 40 GeV/Nukleon experimentieren. Eine Verringerung der Strahlenergie führt zu einer kleineren, maximalen Energiedichte und Temperatur. Gleichzeitig aber steigt die Baryonendichte an, was sowohl durch AGS- und SPS-Experimente als auch durch theoretische Studien vorhergesagt wird. Indem bei verschiedenen Strahlenergien experimentiert wird, erhält man zwei Punkte bei klar unterschiedlichen Werten der Temperatur und Baryonendichte. Da beide Parameter die Dilepton-Produktion signifikant beeinflussen, sollte es so möglich sein, Tests der verschiedenen theoretischen Erklärungs-Modelle durchzuführen.

2.4 Die Zeitprojektionskammer (TPC)

Die Auflösung des Öffnungswinkels der e^+e^-–Paare, die durch Messung in den Silizium-Drift-Detektoren erzielt wird, ist bereits gut genug, um das Ziel einer Massenauflösung von $\delta m/m = 2\%$ zu erreichen. Daraus folgt, daß die Massenauflösung, die derzeit vom CERES-Spektrometer erreicht wird, durch die Genauigkeit der Impulsmessung bestimmt wird. Die Impulsmessung wiederum ist begrenzt durch die relativ kleine Ablenkung im Magnetfeld nach dem RICH-1-Detektor im Vergleich zur Vielfachstreuung vor allem in dessen Spiegel. Durch Kombination der bisherigen fünf Detektoren kann eine relative Impulsgenauigkeit von $\sigma_p/p = 3.5\% \oplus 3.2\% \cdot p$ (p in GeV/c) erzielt werden ([CER98]). Um eine signifikante Verbesserung zu erreichen, soll die Impulsmessung von der Identifikation der Elektronen im CERES-Detektor getrennt werden. Die Impulsmessung soll im verbesserten CERES-Spektrometer hinter dem zweiten RICH-Detektor durch ein Magnetspulenpaar und eine TPC (Zeitprojektionskammer) erfolgen (Abbildung 2.1).

Die Erweiterung des bisherigen Experimentaufbaus umfaßt eine zylindrische TPC, ähnlich der externen TPC des STAR-Detektors bei RHIC, und ein Magnetspulenpaar mit entgegengesetzt laufenden Strömen, was dazu führt, daß das ablenkende, magnetische Feld hauptsächlich in radialer Richtung verläuft. Der gesamte neue Aufbau befindet sich im Bereich zwischen 3.5 m und 5.5 m strahlabwärts vom „Target“. Die Akzeptanz der TPC ist der polare Winkelbereich von $8^\circ < \theta < 15^\circ$ und der volle azimutale Winkelbereich. Dies bedeutet, daß der bisherige Akzeptanzbereich unverändert bleibt.

Eine TPC ist eine gasgefüllte Spurkammer, in der durch sie hindurchfliegende, geladene Teilchen eine Ionisationsspur hinterlassen. Diese Primärionisation driftet wegen eines radialen elektrischen Feldes nach außen und wird dort an einer Vieldraht-Proportionalkammer verstärkt. Dieses Signal wird durch feinsegmentierte Kathoden-Pads nach außen geführt, um ein 2-dimensionales Bild

(Zylinderoberfläche) der Ladungsverteilung zu einem Zeitpunkt t zu erhalten. Das auf den Pads erzeugte Ladungssignal wird dann von der in dieser Arbeit besprochenen „Front-End"-Elektronik weiterverstärkt und geformt, um einen möglichst großen Signal-Rausch-Abstand zu erhalten. Mehrere Messungen zu verschiedenen Zeiten liefern dann ein 3-dimensionales Bild der vor der Drift in der TPC befindlichen Ladungsverteilung (Trajektorien der geladenen Teilchen).

Die CERES-TPC wird voraussichtlich mit 80% CO_2 und 20% Ne Gas gefüllt werden, wobei der genaue Prozentsatz noch nicht feststeht. Durch eine Variation des Verhältnisses kann großer Einfluß auf die Driftzeit, die Signalhöhe und die Größe der Diffusion genommen werden. Die TPC wird so konstruiert werden, daß der Feldkäfig bis zu einer Hochspannung von bis zu 50 kV stabil arbeiten kann, wobei die tatsächliche Betriebsspannung eventuell darunter liegen wird.

Um die Massenauflösung von 2% bei 1 GeV/c^2 zu erreichen, ist es notwendig, daß bei Impulsen von 2–3 GeV/c eine Auflösung von 2% erreicht wird. Dafür sind vor allem folgenden Faktoren zu berücksichtigen:

1. Die Auflösung in azimutaler Richtung.
2. Die Ablenkung der Teilchenspur im magnetischen Feld in azimutaler Richtung.
3. Die Anzahl der Positionsmessungen in z-Richtung.
4. Die Größe der Vielfachstreuung.
5. Die Genauigkeit der Positionsmessung in radialer Richtung, die durch die Genauigkeit der Front-End-Elektronik und der Anzahl der Zeit-Samples bei der Digitalisierung bestimmt wird.

Dadurch, daß das magnetische Feld vornehmlich in radialer Richtung verläuft, erfolgt die Ablenkung geladener Teilchen vor allem in azimutaler Richtung ϕ. Eine präzise Messung dieser ϕ–Ablenkung in der TPC ergibt die gewünschte Impulsbestimmung.

Die Auflösung in ϕ–Richtung ist relevant für die Impulsmessung und hängt vor allem von drei Faktoren ab:

1. der Größe der Primärionisation (Anzahl der Primärelektronen),
2. der mit einer Pad-Auslese erzielbaren Positionsauflösung (typischerweise begrenzt auf etwa 2% der Pad-Größe),
3. und der transversalen Diffusion der Elektronenwolke; unterschiedlich je nach Driftstrecke.

Bei Berücksichtigung dieser Faktoren zeigen umfangreiche Simulationen, daß die gewünschte Massenauflösung von 2% über den gesamten Akzeptanzbereich der TPC erzielt werden kann.

2.5 Die Ausleseelektronik

Die hohe Multiplizität an produzierten, geladenen Teilchen in 158 GeV/Nukleon Pb-Pb-Kollisionen erfordert eine hohe Granularität, um die einzelnen Spuren aufzulösen. Deshalb sind insgesamt ca. 20000 Auslesekanäle an der Außenseite des TPC-Zylinders geplant, die jeweils, nach der Digitalisierung, bis zu 256 Zeit-Samples (d.h. Samples in radialer Richtung) liefern, die während der Drift-Zeit der TPC aufgenommen werden. Die Drift-Zeit wird zwischen $30\mu s$ und $70\mu s$ betragen. Dadurch erhält man für das Gas-Volumen der TPC ein 3-dimensionales Gitter von ca. 20000×256 Raumpunkten, wobei davon allerdings nicht alle innerhalb des relevanten Akzeptanzbereichs liegen ($8° < \theta < 15°$).

Die Anforderungen an die „Front-End"-Elektronik werden durch die Parameter der TPC, wie Drift-Zeit und Diffusion, bestimmt. Um die TPC in verschiedenen Operationsmodi betreiben zu können, ist es erforderlich, daß die Elektronik eine gewisse Flexibilität besitzt. Für den Ladungsverstärker bedeutet dies, daß die Entladung des Integrationskondensators möglichst variabel geschieht. Der Pulsformer sollte verschiedene „Shaping"-Zeiten anbieten und mit unterschiedlichen Eingangs-Signalformen zurechtkommen. Der Verstärkungsfaktor der nachfolgenden Komponenten sollte variabel sein, um optimal an verschiedene Verstärkungsfaktoren der Vieldrahtkammer angepaßt zu sein. Besondere Beachtung muß dem typischen „Signalschwanz" einer TPC geschenkt werden (Abbildung 2.3). Dieser Signalanteil wird durch die Drift der positiven Ionen in der TPC erzeugt. Damit es nicht zu Aufstockungseffekten durch diesen „Tail" kommt, sollte die Elektronik in der Lage sein, diesen Signalanteil, der maximal 10% des Gesamtsignals beträgt, zu unterdrücken.

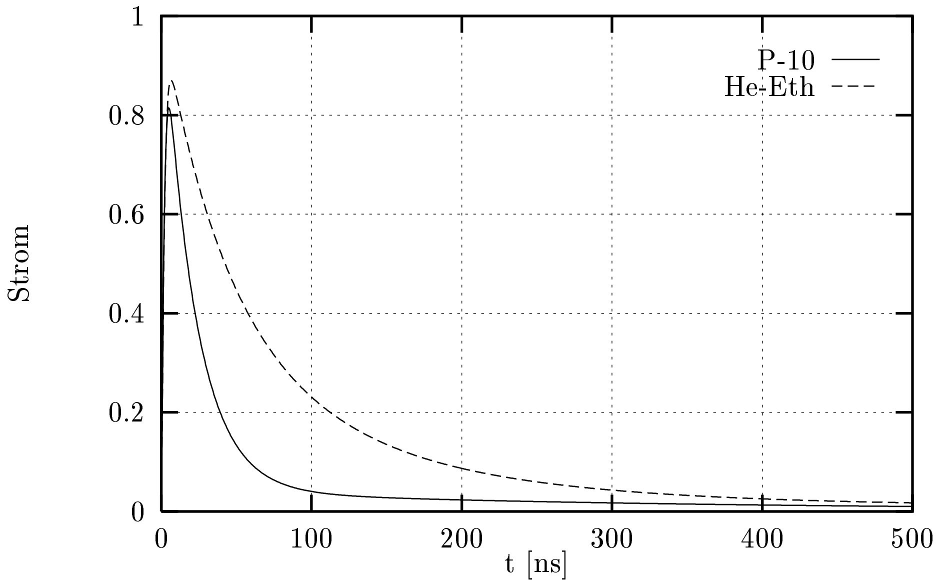


Abbildung 2.3: Typisches Ausgangssignal einer TPC bei zwei unterschiedlichen Gasen (Daten aus [BBB+96]).

Für die CERES-TPC wurde ein Auslesekonzept entwickelt ([BEGR97]), das die Totzeit des Experiments, welche durch die anderen Detektoren gegeben ist, trotz etwa 3facher Datenmenge nicht vergrößert. Dazu wird das Signal des Ladungsverstärker-Pulsformers in einem analogen Kondensatorspeicher (Switched Capacitor Array = SCA) mit einer Tiefe von bis zu 256 Samples (Kondensatoren) zwischengespeichert. Während der Totzeit von etwa 300 μs, die durch die Auslese aller anderen im Experiment eingesetzten Detektoren gegeben ist, wird die in den Kondensatoren zwischengespeicherte analoge Amplitudeninformation digitalisiert, wobei ein Analog-Digital-Wandler (ADC) insgesamt 16 Kanäle à 256 Samples ausliest.

Eine Übersicht über dieses Auslesekonzept wird in Abbildung 2.4 gegeben.

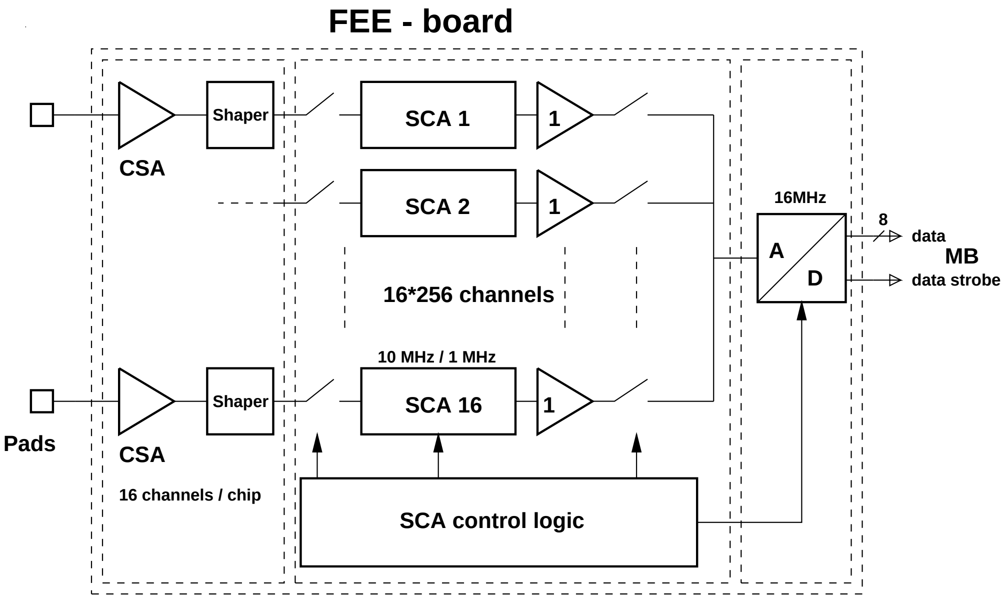


Abbildung 2.4: Schema der „Front-End“-Elektronik der CERES-TPC mit Ladungsverstärker (CSA = Charge Sensitive Amplifier), Pulsformer (Shaper), Analogspeicher (SCA) und Analog-Digital-Wandler (A/D).

Nachfolgend werden die digitalen Daten von mehreren „Front-End“-Modulen zusammengefaßt und über optische Übertragungsstrecken zu weiter entfernten Empfängermodulen geschickt. In diesen Empfängereinheiten wird eine „Online“-Datenkompression durchgeführt, damit die weitere Datenerfassung nur wesentlich kleinere Datenmenge verarbeiten muß, die dann auf Magnetbändern gespeichert werden.

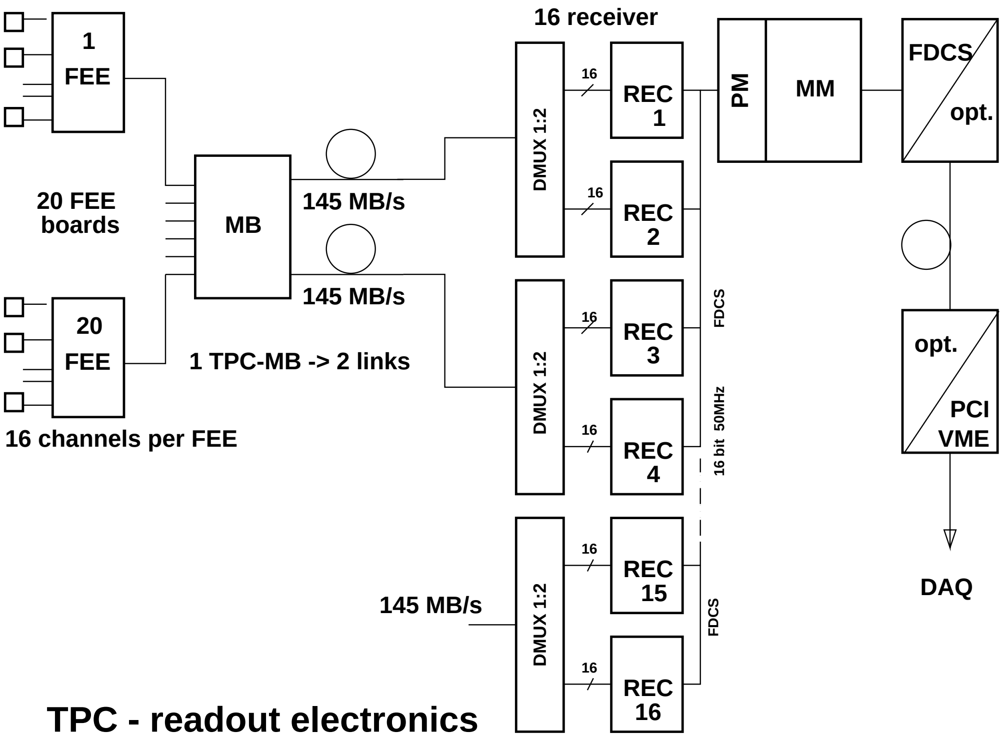


Abbildung 2.5: Schema der gesamten TPC-Auslese.

Kapitel 3

Ladungsempfindliche Vorverstärker und Signalformung in der Theorie

Die TPC-Auslese soll mit Mikrochips realisiert werden, die in CMOS- oder BiCMOS-Technologie erstellt wurden. Die CMOS-Technologie (CMOS = engl. Complementary Metal Oxide Silicon field effect transistor = dt. komplementärer Metalloxid-Feldeffekttransistor) stellt selbstsperrende Feldeffekttransistoren mit positiver und negativer Dotierung des Leitungskanals bereit. Die BiCMOS-Technologie (BiCMOS = Bipolare- und CMOS-Transistoren) erlaubt darüberhinaus eine Verwendung von bipolaren Transistoren, die durch zusätzliche Herstellungsprozeßschritte erzielt werden können. Dabei beschränkt man sich meistens auf npn-Transistoren in vertikaler Anordnung, um die Zahl der notwendigen Prozeßschritte zu begrenzen. Die Chipherstellung erfolgt durch die österreichische Firma „Austria Mikrosysteme" (AMS).

Eine besondere theoretische Betrachtung soll hier für das elektronische Rauschen geschehen, da dessen Minimierung ein besonderes Ziel bei der Entwicklung dieses Vorverstärkers ist. ([CS91], [Sei96])

3.1 CMOS-Transistoren

CMOS-Transistoren haben sich ursprünglich in der Digitaltechnik ihren Platz erobert, da sie, im Vergleich zu bipolaren Transistoren, mit sehr geringem Strom betrieben werden können, wenn sie als Schalter eingesetzt werden. Daneben benötigen sie durch ihre selbstisolierende Eigenschaft weniger Chipfläche, was zu einer kostengünstigen Herstellung führt (Strukturbild in Abbildung 3.1).

Durch ihren günstigen Preis hat die CMOS-Technologie in zunehmendem Maße auch in der Analogtechnik Einzug gehalten. Besonders hervorzuheben ist hierbei, daß in der CMOS-Technologie die Möglichkeit besteht, sowohl analoge als

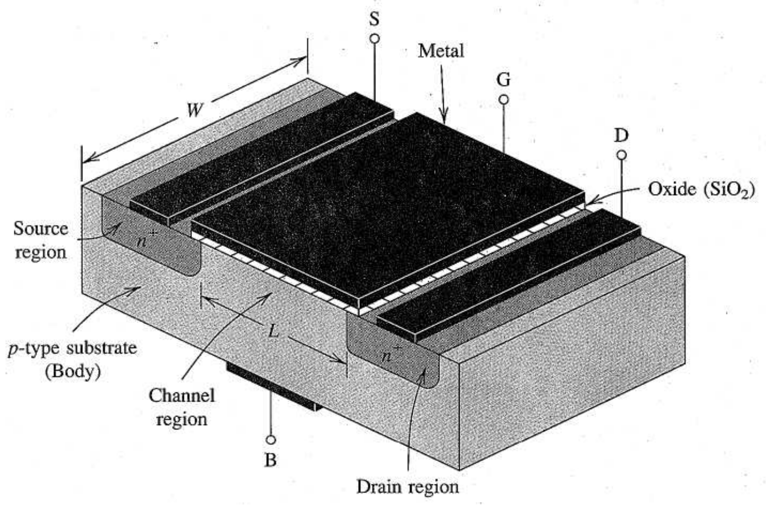


Abbildung 3.1: Struktur eines n-Kanal-MOS-Transistors ([SS91])

auch digitale Schaltungen auf einem Chip unterzubringen.

CMOS-Transistoren können in zwei Bereichen betrieben werden:

1. dem *Sättigungsbereich* $(0 \leq |V_{GS} - V_T| \leq |V_{DS}|)$
2. und dem *ungesättigten (linearen) Bereich* $(0 < |V_{DS}| \leq |V_{GS} - V_T|)$

Im *Sättigungsbereich* beträgt der Drain-Strom:

$$\begin{aligned} I_D &= \frac{\mu_0 C_{ox}}{2}\frac{W}{L}(V_{GS} - V_T)^2(1 + \lambda|V_{DS}|) \\ &\approx \frac{\mu_0 C_{ox}}{2}\frac{W}{L}(V_{GS} - V_T)^2 \end{aligned} \tag{3.1}$$

Im *ungesättigten Bereich*:

$$\begin{aligned} I_D &= \mu_0 C_{ox}\frac{W}{L}\left[(V_{GS} - V_T) - \frac{V_{DS}}{2}\right]V_{DS}(1 + \lambda|V_{DS}|) \\ &\approx \mu_0 C_{ox}\frac{W}{L}\left[(V_{GS} - V_T) - \frac{V_{DS}}{2}\right]V_{DS} \\ &\approx \mu_0 C_{ox}\frac{W}{L}(V_{GS} - V_T)V_{DS} \end{aligned} \tag{3.2}$$

Dabei bedeuten:

μ_0	Mobilität der Ladungsträger
C_{ox}	Gatekapazität pro Fläche
W	effektive Kanalbreite
L	effektive Kanallänge
λ	Kanallängen-Modulationsparameter ($\lesssim 0.02$)
V_T	Schwellen-(Threshold-)Spannung
V_{GS}	Gate-Source-Spannung
V_{DS}	Drain-Source-Spannung

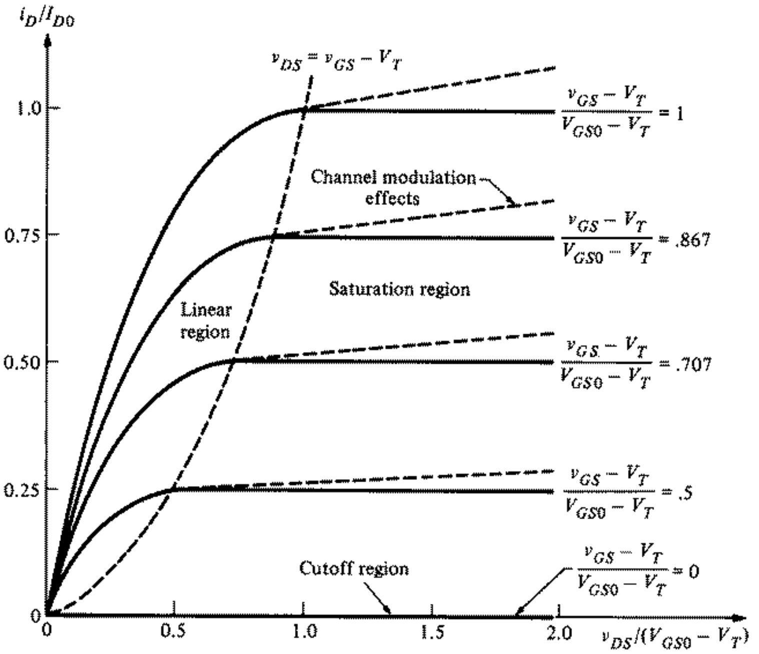


Abbildung 3.2: Ausgangskennlinienfeld eines n-Kanal-MOS-Transistors ([AH87])

Der Sättigungsbereich ist besonders für Verstärkeranwendungen geeignet, da hier der Drain-Strom I_D eine quadratische Abhängigkeit von der Gate-Source-Spannung V_{GS} zeigt.

Die Steilheit g_m beträgt dort:

$$g_m = \frac{dI_{DS}}{dV_{GS}} = \sqrt{2\mu_{\text{eff}} C_{ox} \frac{W}{L} I_{DS}} \tag{3.3}$$

d.h. sie kann durch Variation des Verhältnisses von Gate-Breite zu Gate-Länge und Variation des Drain-Stromes eingestellt werden.

Der ungesättigte Bereich findet Anwendung beim Einsatz eines MOS-Transistors als Widerstand. Hier ist von Vorteil, daß bei nicht zu hoher Drain-Source-Spannung V_{DS} der Drain-Strom I_D weitgehend proportional zur Drain-Source-Spannung V_{DS} ist, was einem linearen Widerstand entspricht. Die Größe des Widerstandes kann sowohl durch das Gate-Potential V_{GS}, als auch durch die Dimensionierung des Transistors (W und L) festgelegt werden.

Im Vergleich zu bipolaren Transistoren haben MOS-Transistoren eine sehr hohe Eingangsimpedanz. Dies favorisiert den CMOS Einsatz vor allem dann, wenn der Transistor an einen hohen ohmschen Widerstand angeschlossen werden soll.

Zusammenfassend noch einmal die wichtigsten Eigenschaften der CMOS-Transistoren:

- hohe Integrationsdichte (Selbstisolation), dadurch niedrigere Fertigungskosten/Funktion
- sehr kleiner Leistungsverbrauch
- sehr hohe Eingangsimpedanz

3.2 Bipolare Transistoren

Bipolare Transistoren zeichnen sich vor allem durch größere Steilheit und Spannungsverstärkung aus. Außerdem haben sie eine höhere Grenzfrequenz als CMOS-Transistoren.

In integrierten Schaltungen verfügen gleiche, benachbarte, bipolare Transistoren über eine hervorragende Übereinstimmung in ihren Parametern, so daß sich besonders in Differenzverstärkern der Gebrauch von bipolaren Transistoren anbietet.

Die Struktur eines bipolaren Transistors ist aber komplizierter als die eines CMOS-Transistors, so daß sich dies in höheren Produktionskosten bemerkbar macht. Außerdem ist ihre Eingangsimpedanz geringer als die von MOS-Transistoren.

Besonders lohnenswert ist ihr Einsatz in einer Leistungsstufe. Durch die höhere Steilheit der bipolaren Transistoren im Vergleich zu MOS-Transistoren sind sie in der Lage, eine Ausgangsleistung an eine ohmisch-kapazitive Last bei wesentlich geringerer Verlustleistung zu liefern.

Zusammenfassend noch einmal die wichtigsten Eigenschaften der bipolaren Transistoren:

- hohe Steilheit und Spannungsverstärkung je Stufe
- hohe Grenzfrequenz

- hohe Ausgangstreiberfähigkeit
- gute Parameterstabilität und eng tolerierte Parameter

3.3 Ladungsverstärker

Ladungsverstärker lassen sich am effektivsten durch eine Schaltung wie in Abbildung 3.3 realisieren:

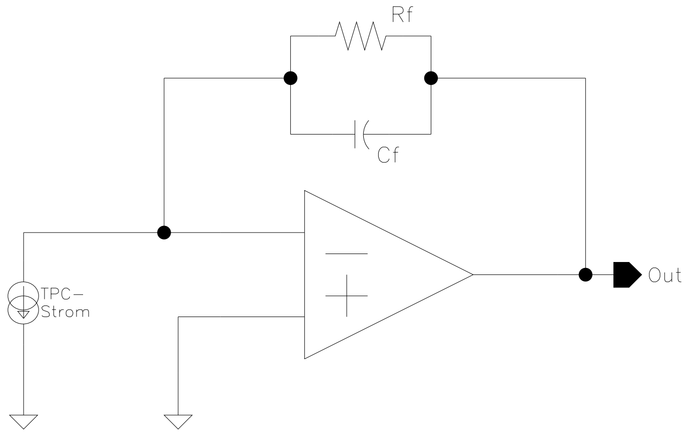


Abbildung 3.3: Schaltung eines Ladungsverstärkers

Die Aufgabe des Operationsverstärkers (OPV) hierbei ist es, die ankommende Ladung auf den Kondensator C_f im Rückkoppelzweig des Operationsverstärkers aufzuintegrieren. Die Entladung dieses Kondensators kann entweder kontinuierlich, über einen großen Widerstand (R_f), oder gepulst, durch einen Schalter im Rückkoppelzweig, geschehen. Das Einfügen des Kondensators in den Rückkoppelzweig und nicht parallel zum Eingang bewirkt, daß er am Eingang um den Verstärkungsfaktor des OPV größer erscheint. Dadurch ist die störende Wirkung anderer unerwünschter Parallelkapazitäten am Eingang stark verringert und die Integrationskapazität ist nun sehr genau bekannt.

Der Operationsverstärker selbst wird durch eine gefaltete Kaskodenschaltung realisiert (Abbildung 3.4).

Die Kaskode (M_1, M_2) bewirkt eine Reduktion der Eingangskapazität des OPV (Miller-Effekt). Durch die Faltung ist es möglich, Source des Eingangstransistors (M_1) direkt mit Erde zu verbinden. Dies führt zu einer konstant hohen Source-Bulk-Spannung, die sowohl das Übertragen von Rauschen des Substrats verhindert als auch den „Cross-Talk“ zwischen verschiedenen Kanälen auf einem Chip. Ein weiterer Vorteil der Faltung ist es, daß nun die Spannung am Drain des Eingangstransistors (weitgehend) konstant bleibt. Dies eliminiert den Einfluß der Bulk-Drain-Spannung V_{BD} auf den Drain-Strom I_D, der ansonsten berücksichtigt werden müßte.

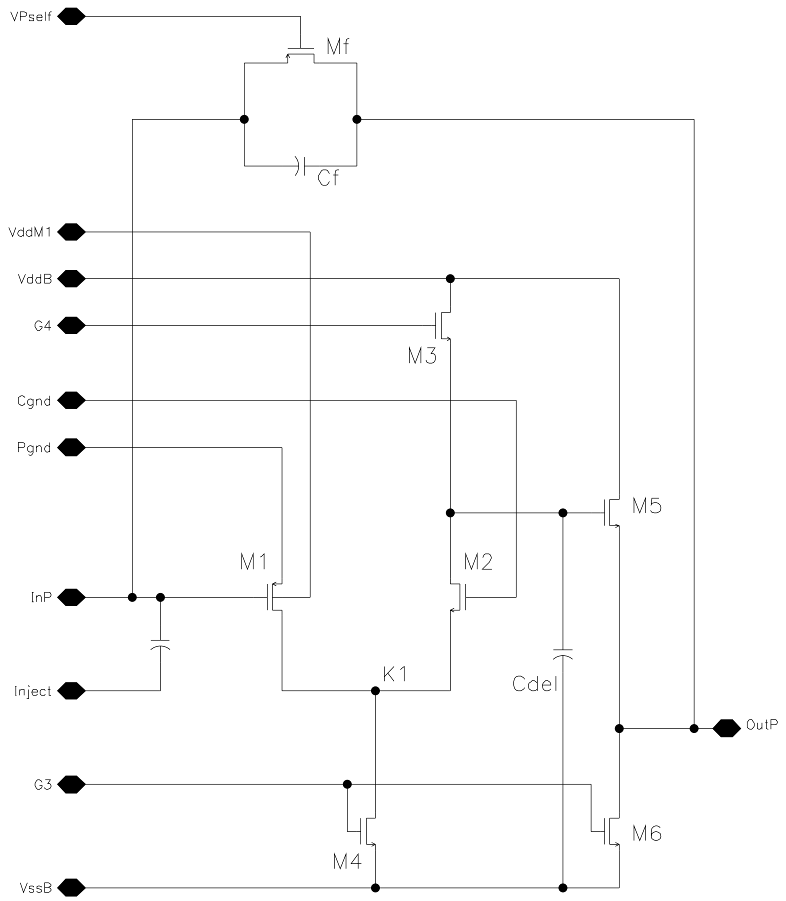


Abbildung 3.4: Gefaltete Kaskodenschaltung mit Ausgangstreiber und Rückkopplung für einen Ladungsverstärker.

Dies führt dazu, daß praktisch nur der Eingangstransistor und seine Stromquelle (M_4) als Rauschquellen in Betracht gezogen werden müssen.

Im Ausgangstreiber (M_5, M_6) kann M_5 durch einen bipolaren Transistor ersetzt werden, um die Verlustleistung dieser Stufe zu verringern.

3.4 Das Rauschen in Ladungsverstärkern

Damit das Rauschen im Ladungsverstärker minimiert werden kann, muß man zuerst etwas über die Ursachen des Rauschens erfahren ([CS91]). Dazu sollen hier die theoretischen Zusammenhänge und die daraus folgende mögliche Optimierung der Parameter geschildert werden.

3.4.1 Rauschen von CMOS-Transistoren

Das Rauschen in CMOS-Transistoren kennt vier Hauptursachen:

1. Thermisches Rauschen
2. 1/f-Rauschen
3. „Poly-Gate"-Rauschen
4. Substrat-Rauschen

Thermisches Rauschen: Das thermische Rauschen hat seine Ursache in thermischen Fluktuationen der Minoritätsladungsträger im Leitungskanal zwischen Drain und Source. Entsprechend dem Nyquist Theorem wird die Größe der spektralen Rauschstromdichte durch folgende Formel beschrieben:

$$i_d^2 = 4kTg_0 \quad ,$$

wobei k die Boltzmannkonstante, T die absolute Temperatur und g_0 die Leitfähigkeit des Kanals bei $V_{DS} = 0\,V$ (ungesättigt) ist.

Berücksichtigt man die Variation der Threshold-Spannung und der Ladungsträgerdichte im Kanal im gesättigten Bereich, ergibt sich:

$$i_d^2 \propto kTg_m \quad ,$$

wobei g_m die Steilheit $\left(\frac{dI_D}{dV_{GS}}\right)$ des Transistors bezeichnet.

1/f-Rauschen: Das 1/f-Rauschen hat seinen Namen seiner Proportionalität zur $(\text{Frequenz})^{-1}$ zu verdanken. Die Ursachen des 1/f-Rauschens sind noch nicht geklärt. Theorien dazu gehen meist entweder von einer Fluktuation der Ladungsträgermobilität oder einer Fluktuation in der Anzahl der beweglichen Ladungsträger im Leitungskanal aus.

Für praktische Zwecke wird deshalb eine semi-empirische Formel verwendet. Die äquivalente, spektrale Eingangsrauschspannung lautet:

$$v_f^2(f) = \frac{K_F}{C_{ox}^2 W L f} \quad ,$$

wobei K_F eine herstellungsprozeßspezifische Konstante, C_{ox} die Gate-Kapazität pro Fläche, W und L Breite und Länge des Transistor-Gates und f die Signalfrequenz sind.

„Poly-Gate“-Rauschen: Diese Rauschquelle hat ihre Ursache im ohmschen Widerstand des Polysiliziums. Die fundamentalen Ursachen sind also thermische Fluktuationen. Diese Rauschquelle kann aber immer durch entsprechendes Layout des Transistors so weit verringert werden, daß sie dann vernachlässigt werden kann. Ihre Abhängigkeit wird beschrieben durch:

$$i_d^2 \propto kT \frac{R_g}{n^2} g_m^2 \quad ,$$

wobei R_g den totalen Gate-Widerstand und n die Anzahl der „Finger“ in einem sogenannten „Waffel-Layout“ bedeutet. Die Anzahl der „Finger“ muß im Layout also nur groß genug gewählt werden, um dieses Rauschen dann vernachlässigen zu können (mehr dazu in Abschnitt 4.1.4).

Substrat-Rauschen: Dies hat ebenfalls seine Ursache in einem ohmschen Widerstand. Dieses Mal ist es der Widerstand zwischen dem Punkt unter dem Leitungskanal und dem Substrat-Kontakt. Die Größe des Rauschens ist proportional zu:

$$i_{dB}^2 \propto \frac{kT}{W} \frac{g_m^2}{V_{BS}} \quad ,$$

d.h. eine große Bulk-Source-Spannung V_{BS} verringert diesen Beitrag.

3.4.2 Rauschen von bipolaren Transistoren

Dadurch daß das Leitungsprinzip in bipolaren Transistoren verschieden von dem in CMOS-Transistoren ist (Ladungsträger Diffusion im Bulk, statt Drift im Leitungskanal des CMOS), beobachtet man auch andere Mechanismen des Rauschens. Beobachtet werden:

1. Schrot-Rauschen
2. 1/f-Rauschen
3. Rauschen durch den Basis-Widerstand

Schrot-Rauschen: Ursächlich für das Schrotrauschen ist, daß der Strom in diskreten Einheiten von einer Elementarladung transportiert wird, und deshalb nicht vollständig kontinuierlich. Dies führt dazu, daß jedesmal, wenn ein Ladungsträger den Kollektor erreicht, der Strom dort für kurze Zeit stark ansteigt, um dann wieder abzufallen. Zeitlich gemittelt ergibt dies dann den gemessenen Strom. Da dieses Einprasseln auf den Kollektor zufällig geschieht, ist dies eine unkorrelierte Störung des Signals (sprich Rauschen). Für den Rauschbeitrag zum Kollektorstrom gilt:

$$i_C^2 = 2qI_C \quad ,$$

wobei q die Elementarladung und I_C der Kollektorstrom ist.

Den gleichen Effekt beobachtet man auch beim Basisstrom ($i_B^2 = 2qI_B$).

1/f-Rauschen Das 1/f-Rauschen ist in bipolaren Transistoren weit niedriger als in CMOS-Transistoren, so daß es hier noch weniger zufriedenstellende Modelle für deren Ursache gibt. Näherungsweise gilt folgende Formel:

$$i_f^2(f) = \frac{K_F I_B^{A_F}}{f} \quad ,$$

wobei I_B der Basisstrom und K_F und A_F wieder Technologieparameter sind. Der Einfluß des 1/f-Rauschens auf das Gesamtrauschen kann bei bipolaren Transistoren häufig vernachlässigt werden.

Basis-Widerstand: Der Basis-Widerstand führt, vergleichbar zu CMOS-Transistoren („Poly-Gate"-Widerstand), zu einer Rauschquelle, die durch verbessertes Layout (mehrere Basis-Anschlüsse) weitgehend unterdrückt werden kann.

3.4.3 Die „Equivalent Noise Charge"

Bei Ladungsverstärkern ist es üblich, das Rauschen in ENC = „Equivalent Noise Charge" (äquivalente Rausch-Ladung) anzugeben, um diese dann direkt mit der vom Detektor erzeugten Ladung vergleichen zu können. Die ENC berechnet sich aus dem Verhältnis von mittlerer, quadratischer Rauschspannung am Ausgang des Pulsformers zur Amplitude, die durch die Ladung von einem Elektron hervorgerufen wird, d.h. die mittlere Rauschspannung am Ausgang v_{noise} wird in eine Ladung am Eingang umgerechnet, die eine solche Spannung am Ausgang erzeugen würde. Dies bedeutet, daß die ENC sowohl von den Parametern des Ladungsverstärkers, als auch von der optimalen Anpassung des Pulsformers abhängt.

$$\text{ENC} = \frac{1}{q} \frac{\sqrt{v_{\text{noise}}^2}}{\text{Gain [V/C]}}$$

Anschließend nun eine Besprechung der einzelnen Beiträge zur ENC bei einem Design in CMOS-Technologie. Um die totale ENC zu erhalten, muß man die unabhängigen Beiträge dann quadratisch addieren.

3.4.3.1 ENC aufgrund thermischen Rauschens des Eingangstransistors

Durch Vergleich der totalen, integrierten Rauschspannung am Ausgang des Pulsformers mit der Amplitude, die dort durch eine Elementarladung hervorgerufen wird, erhält man ([CS91]):

$$\mathrm{ENC}_{serial}^2 = \frac{8}{3}kT\frac{1}{g_m}\frac{C_t^2\,B\left(\frac{3}{2}, n-\frac{1}{2}\right)n}{4\pi\tau_s}\left(\frac{n!^2e^{2n}}{n^{2n}}\right)$$

Dabei bedeuten:

- g_m Steilheit $\left(\frac{dI_D}{dV_{GS}}\right)$
- C_t Summe der Kapazitäten, die zum Eingangsknoten gehören
- $B()$ Beta-Funktion
- n Anzahl der Integrationen in der Pulsformung
- q Elementarladung
- τ_s Anstiegszeit des Pulsformers („shaping time“)

Daraus folgt, daß man sowohl die Steilheit g_m, die abhängig ist vom $\frac{W}{L}$-Verhältnis (siehe Abschnitt 3.1), als auch die Anstiegszeit des Pulsformers τ_s möglichst groß wählen möchte, um das thermische Rauschen zu minimieren. Das Rauschen ist aber auch direkt proportional zur Kapazität am Verstärkereingang ($C_t = C_{\mathrm{Detektor}} + C_{\mathrm{(G)ate}}$), d.h. die Gate-Kapazität soll möglichst gering sein ($C_G = C_{ox}WL$).

Diese Abhängigkeit führt dazu, daß man für den Eingangstransistor die Gatelänge möglichst minimal wählt und es für die Gatebreite dann einen optimalen Wert gibt (Faustformel: Gatekapazität $\approx \frac{1}{3}\cdot$ Detektorkapazität).

Generell kann durch eine Vergrößerung des Drain-Stromes I_D das Rauschen verringert werden ($g_m \propto \sqrt{I_D}$), was aber durch die Wurzelabhängigkeit nur bis zu einem gewissen Grad sinnvoll ist.

3.4.3.2 ENC aufgrund 1/f-Rauschens des Eingangstransistors

Nach dem gleichen Verfahren kann man aus der Ausgangsrauschspannung auch die ENC aufgrund des 1/f-Effekts berechnen ([CS91]):

$$\mathrm{ENC}_f^2 = \frac{K_F}{C_{ox}^2WL}\frac{C_t^2}{q^2 2n}\left(\frac{n!^2e^{2n}}{n^{2n}}\right)$$

Dabei ist K_F eine gemessene, herstellungsprozeßabhängige Konstante.

Das 1/f-Rauschen ist unabhängig von der Anstiegszeit des Pulsformers τ_s und der Steilheit g_m. Auch hier gibt es optimale Eingangstransistorparameter bei gegebener Detektorkapazität (Faustformel: Gatekapazität $\approx$ Detektorkapazität).

3.4.3.3 ENC aufgrund des Rückkoppelwiderstandes

Falls der Kondensator im Rückkoppelzweig des Ladungsverstärkers durch einen Widerstand und nicht durch einen Schalter entladen wird, erzeugt dieser Strom (parallel zum OPV) ebenfalls einen Beitrag zum Gesamtrauschen. Die ENC beträgt dann ([CS91]):

$$\mathrm{ENC}_p^2 = \frac{4kT}{R_F}\tau_s \frac{B\left(\frac{1}{2}, n+\frac{1}{2}\right)}{4\pi\, q\, n}\left(\frac{n!^2 e^{2n}}{n^{2n}}\right)$$

$$\text{Dabei bedeuten:} \left\{ \begin{array}{ll} R_F & \text{Rückkoppelwiderstand} \\ B() & \text{Beta-Funktion} \\ n & \text{Anzahl der Integrationen in der Pulsformung} \\ q & \text{Elementarladung} \\ \tau_s & \text{Anstiegszeit des Pulsformers („shaping time“)} \end{array} \right.$$

Daraus folgt, daß der Rückkoppelwiderstand so groß wie möglich gewählt werden sollte. Eingeschränkt wird dies durch die Anforderung an die Zeit, in der der Integrationskondensator wieder entladen sein soll.

Durch die unterschiedlichen Abhängigkeiten dieses parallelen und des thermischen (seriellen) Rauschens von τ_s wird es auch für diesen Parameter ein Optimum geben. Da aber i.Allg. die Abhängigkeit des thermischen Rauschens von τ_s steiler ist, als die des parallelen Rauschens, sind meist große τ_s–Werte wünschenswert.

Wird statt eines Widerstandes ein gepulster Schalter zur Entladung des Kondensators verwendet, entfällt dieser Beitrag zum Gesamtrauschen.

3.4.3.4 Beiträge anderer Transistoren

Wenn die Steilheit g_m des Eingangstransistors groß ist, so können die Beiträge der anderen Transistoren zur ENC vernachlässigt werden, da die um den Spannungsverstärkungsfaktor des Eingangstransistors am Eingang geringer erscheinen. Nur die Kapazitäten der Stromquellen des Eingangstransistors werden bei der Berechnung von C_t für die ENC berücksichtigt.

3.5 Elektronische Filter zur Signalformung

Nach der Umwandlung des Ladungssignals in ein Spannungssignal durch den Ladungsverstärker ist man daran interessiert, dem Signal einen möglichst großen Signal-Rausch-Abstand zu geben. Dies geschieht mittels elektronischer Filterung/Signalformung. Die Vergrößerung des Signal-Rausch-Abstandes folgt aus der Tatsache, daß ein Filter nicht alle spektralen Komponenten des Rauschens passieren läßt, sondern sich auf den für die Signalübertragung relevanten Bereiche beschränkt.

3.5.1 Semi-Gauß'sche Pulsformer

Das beste Verhältnis aus Implementationsaufwand und Signal-Rausch-Abstand erhält man zur Zeit durch sogenannte „Semi-Gauß'sche Pulsformer". Dieser Filter formt eine Signalstufe in einen gaußförmigen Anstieg des Signals und einem Abfall, der etwas langsamer, also nicht ganz gaußförmig ist, um. Die Amplitude des Pulses ist proportional zur Höhe der Stufe, d.h. proportional zur Ladung, die vom Detektor emittiert wurde.

Diese Pulsform läßt sich durch Differentiation und anschließender Integration des Signals durch RC-Glieder erreichen. Durch mehrere, aufeinanderfolgende Integrationen läßt sich die Qualität des Pulses verbessern, was einen größeren Signal-Rausch-Abstand zur Folge hat.

3.5.2 Die Pol-Nullstellen-Kompensation (engl. pole-zero cancellation)

Die Filterung eines Signals wird mathematisch durch eine Faltung beschrieben. In der Elektronik ist es üblich, die Signal-Übertragungsfunktion des Filters, die sogenannte Transferfunktion, im Laplace-Raum darzustellen. In Laplace-Darstellung wird eine Faltung, wie in der Fourier-Darstellung, zu einer simplen Multiplikation.

Ein exponentiell abfallendes Signal im Zeit-Raum ($e^{-\frac{t}{\tau}}$) wird im Laplace-Raum zu ($\frac{\tau}{1+s\tau}$). Ein solches Signal entsteht u.a. bei der kontinuierlichen Entladung des Integrationskondensators des Ladungsverstärkers an dessen Ausgang.

$$e^{-\frac{t}{\tau}} \longleftrightarrow \frac{\tau}{1+s\tau} \qquad \text{Zeit-Raum} \leftrightarrow \text{Laplace-Raum}$$

Der Filter in Abbildung 3.5 hat nun eine Transferfunktion von

$$f_1(s) = \frac{1+s\tau}{k+s\tau} \qquad \tau = R_1 C_1 \text{ und } k = \frac{R_1 + R_2}{R_2}$$

Wenn man nun ein exponentiell abfallendes Signal mit Lebensdauer τ (z.B. $\tau = R_f C_f$ aus dem Ladungsverstärker) mit diesem Filter faltet, so wird die Zeitkonstante τ durch die kürzere Zeitkonstante $\left(\frac{1}{k}\tau\right)$ ersetzt. Man ist also in der Lage, unerwünschte, lange Zeitkonstanten durch kürzere zu ersetzen. Dieses Verfahren wird Pol-Nullstellen-Kompensation (engl. pole-zero cancellation) genannt.

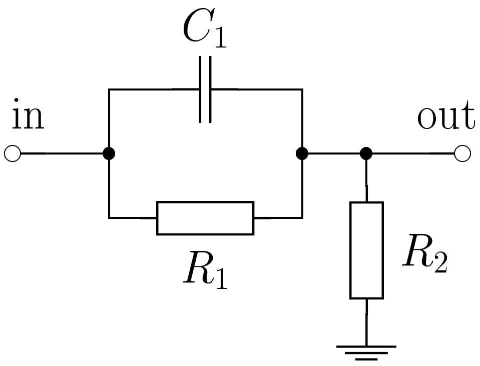


Abbildung 3.5: Das einfachste Pol-Nullstellen-Netzwerk

3.6 Selbstkalibrierende Systeme

Große Widerstände werden in monolithischer Bauweise häufig durch MOS-Transistoren realisiert, da diese bedeutend weniger Platz in Anspruch nehmen als reale Polysiliziumwiderstände.

Einer der Nachteile bei diesem Verfahren ist die begrenzte Linearität von MOS-Transistoren auch im ungesättigten Arbeitsbereich. Wenn der Spannungsabfall V_{DS} nicht zu groß ist (deutlich unter 1 V), kann man MOS-Transistoren aber als linear in 1. Ordnung bezeichnen.

Ein viel größerer Nachteil ist, daß die Größe des Widerstandes außerordentlich stark von der Stabilität von sowohl der Gate-Source-Spannung V_{GS} als auch von der Schwellen-(Threshold-)Spannung V_T abhängt.

$$R \approx \frac{1}{\sqrt{\mu C_{ox} \frac{W}{L} (V_{GS} - V_T)}} \qquad \text{ungesättigter (linearer) Bereich}$$

Die Gate-Source-Spannung V_{GS} wird i.Allg. dazu benutzt, um den Widerstandswert abzugleichen. Der Fehler, den man dabei in Kauf nehmen muß, hängt von den Spannungsschwankungen der Versorgungsquelle ab. Noch weniger beeinflußbar sind die Schwankungen in der Schwellenspannung V_T, die bis zu ± 150 mV betragen können. Der relative Fehler des Widerstandes berechnet sich aus

$$\left|\frac{dR}{R}\right| = \mu C_{ox} \frac{W}{L} R \cdot |dV_{tot}|$$

Für typische Werte erhält man dann

$$\left|\frac{dR}{R}\right| \approx 88\left(\frac{W}{L}\right) \quad \text{mit} \begin{cases} dV_{tot} & \approx & 250\,\mathrm{mV} \\ R & = & 10\,\mathrm{M\Omega} \\ \mu & = & 162\,\frac{\mathrm{cm}^2}{\mathrm{Vs}} & (0.8\,\mu m\ \text{AMS-Prozeß}) \\ C_{ox} & = & 2.16\,\frac{\mathrm{fF}}{\mu\mathrm{m}^2} & (0.8\,\mu\mathrm{m}\ \text{AMS-Prozeß}) \end{cases}$$

Dies bedeutet, daß man, um nur eine Genauigkeit von 20% zu erhalten, ein besonders extremes Verhältnis von Kanalbreite zu Kanallänge implementieren muß. Damit führt man aber auch eine große, parasitäre Kapazität ein, die die Linearität und das Rauschverhalten negativ beeinflußt.

Bei selbstkalibrierenden Systemen wird nun das Gate-Potential am Widerstandstransistor nicht von außen aufgeprägt, sondern von einem Schaltkreis auf dem Chip erzeugt. Bei geschickter Schaltung kann nun durch einfache Wahl der W/L-Verhältnisse die Größe des Widerstandes festgelegt werden. Die Variationen der Schwellenspannung kürzt sich heraus unter der Annahme, daß gleiche, benachbarte Transistoren das gleiche Verhalten zeigen und wenn das Gate-Potential an die Schwellenspannung eines zweiten, baugleichen Transistors gekoppelt wird.

Weiter wird berücksichtigt, daß bei V_{GS} das Source-Potential nicht nur durch diesen Transistor bestimmt wird, sondern auch durch die anderen Anschlüsse am Source-Knoten. In einem selbstkalibrierenden System wird das Gate-Potential den möglichen Variationen des Source-Bulk-Potentials durch Produktions- und Layout-Toleranzen nachgeführt, so daß V_{GS} konstant bleibt (eine detaillierte Besprechung ist in Abschnitt 4.1.8 zu finden; Schaltungsdetails in Anhang A.3).

Kapitel 4

Die Entwicklung des Ladungsverstärkers und des Signalformers für die TPC

In diesem Kapitel wird die Entstehung des Designs für den Ladungsverstärker und den Pulsformer für die CERES-TPC aufgezeigt.

Dabei soll einmal die Funktionsweise der einzelnen Komponenten erklärt werden. Vor allem aber soll erläutert werden, welche Überlegungen und Simulationen mit „SpectreS“ das Design bestimmt haben, d.h. wie die Parameter der einzelnen Komponenten gewählt wurden. „SpectreS“ ist ein in die Chip-Entwicklungsumgebung von „Cadence“ integrierter Simulator, der ähnlich dem bekannteren SPICE sowohl analoge als auch gemischt analog-digitale Schaltkreise anhand von Differentialgleichungen simuliert ([spe94]).

4.1 Der Ladungsverstärker

4.1.1 Ein Überblick

Der optimale Ladungsverstärker für die CERES-TPC sollte ein Kompromiß aus Minimierung des elektrischen Rauschens und Minimierung der aufzuwendenden elektrischen Leistung für den erforderlichen Verstärkungsfaktor sein, da einerseits wegen der hohen Kapazität der Auslesepads ein hohes Rauschniveau erwartet wird und andererseits durch die Vielzahl der Auslesekanäle ein geringer Stromverbrauch sich äußerst günstig auf den zu betreibenden Aufwand zur Kühlung der TPC auswirkt. Prinzipiell ist eine Kühlung notwendig, da der Detektor auf einer konstanten Temperatur gehalten werden muß.

Für die Produktion des Ladungsverstärkers steht sowohl ein CMOS- als auch ein BiCMOS-Prozeß zur Verfügung. Vorteile durch bipolare Transistoren werden bei diesem Design aber nur in der Ausgangstreiberstufe erwartet, wo diese einen geringeren Stromverbrauch aufweisen. Die erste Test-Version ist deshalb in einem reinen CMOS-Prozeß erstellt worden. Erst in einem weiteren Test-Chip, der auch den Pulsformer enthält, ist die BiCMOS-Technologie verwendet worden und der Ausgangstreiber des Pulsformers enthält bipolare Transistoren. Speziell für den Signaleingang wird ein CMOS-Transistor verwendet werden, da diese bei hoher Eingangskapazität ein besseres Rauschverhalten zeigen. Bei bipolaren Transistoren ist vor allem das Schrot-Rauschen bei langen „Shaping"-Zeiten so hoch, daß deren Einsatz trotz niedrigerem Arbeitsstrom nicht sinnvoll ist.

In Abschnitt 3.4 wurde erläutert, daß das Rauschen mit der Detektorkapazität ansteigt. Deshalb muß vor allem der Eingangstransistor sorgfältig gewählt werden, um am Anfang der Signalkette möglichst nah an den theoretisch möglichen Wert heranzukommen.

Die Rückkopplung des Ladungsverstärkers wird bestimmt durch den gewünschten Verstärkungsfaktor und durch die gewünschte Art der Entladung des Integrationskondensators, d.h. ob dessen Entladung kontinuierlich über einen Widerstand erfolgen oder ein gepulster Reset-Schalter implementiert werden soll. In diesem Design sollen beide Optionen untersucht werden.

4.1.2 Die Schaltung

Für das Schaltungskonzept wird das bewährte Prinzip der „Folded Cascode" („gefaltete Kaskodenschaltung") mit kapazitiver Rückkopplung verwendet (Abbildung 3.4).

Die Vorteile einer solchen Schaltung wurden schon in Abschnitt 3.3 diskutiert. Im folgenden sollen nun die Detail-Parameter besprochen werden, die so gewählt wurden, daß sie für die TPC-Auslese ein optimales Ergebnis liefern.

4.1.3 Die Wahl des Eingangstransistors

Um das elektrische Rauschen für den Ladungsverstärker möglichst gering zu halten, ist es notwendig, den Eingangstransistor des Operationsverstärkers an die Detektorkapazität anzupassen, da erwartet wird, daß dessen Rauschbeiträge das Gesamtrauschen des Ladungsverstärkers dominieren.

In den Abbildungen 4.1 und 4.2 ist deshalb das Rauschen des Ladungsverstärkers gegen die Breite des Eingangstransistors bei verschiedenen Drain-Source-Strömen des Eingangstransistors aufgetragen.

Dabei wurden alle drei Rauschquellen aus Abschnitt 3.4.3 berücksichtigt (thermisches Rauschen und 1/f-Rauschen des Eingangstransistors, paralleles Rauschen durch den Widerstand in der Rückkopplung). Die Kanallänge wurde dabei auf das durch den Herstellungsprozeß bestimmte Minimum gesetzt ($0.8\,\mu$m). Für den Wert des Widerstandes in der Rückkopplung wurde ein Wert von $10\,\mathrm{M}\Omega$ angenommen, für die Detektorkapazität (Kapazität der Auslesepads)

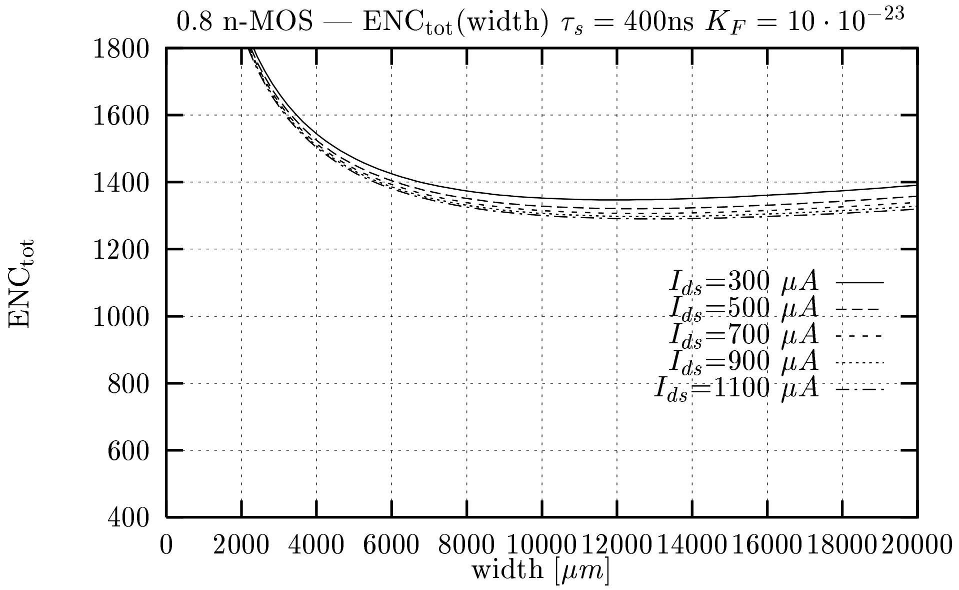


Abbildung 4.1: Die „Equivalent-Noise-Charge“ bei verschiedenen Drain-Source-Strömen für einen **n-MOS**-Transistor als Funktion der Breite des Eingangstransistors

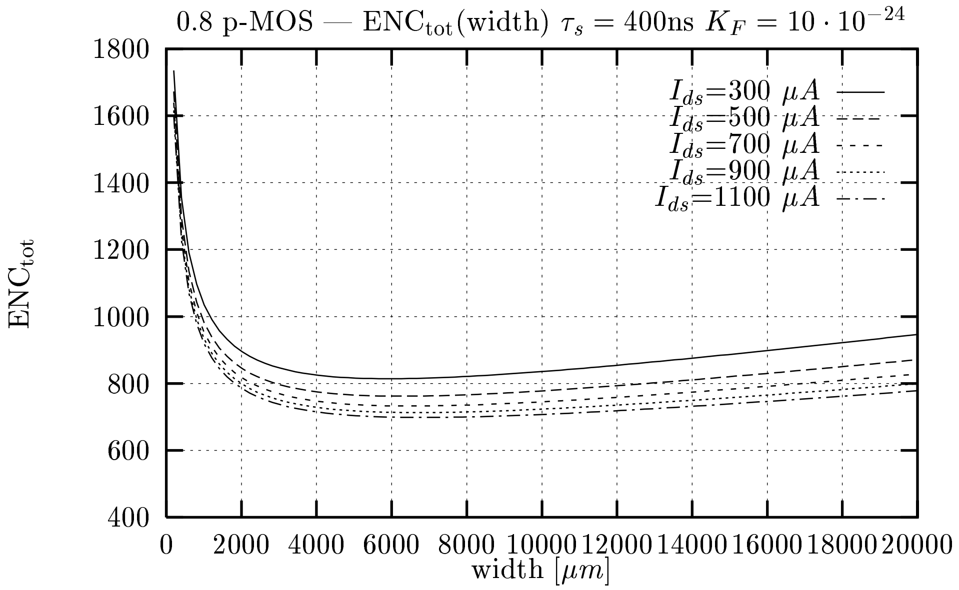


Abbildung 4.2: Die „Equivalent-Noise-Charge“ bei verschiedenen Drain-Source-Strömen für einen **p-MOS**-Transistor als Funktion der Breite des Eingangstransistors

einschließlich parasitärer Kapazitäten 22 pF (20 pF Detektor + 2 pF parasitäre Kapazitäten). Diese Berechnung wurde sowohl für einen n-dotierten MOSFET als auch für einen MOSFET mit p-Dotierung durchgeführt.

Wie aus den Abbildungen ersichtlich, beobachtet man einen großen Unterschied zwischen diesen beiden Dotierungen. Entscheidend dafür ist das 1/f-Rauschen (vergleiche Abbildungen 4.3 und 4.4).

Verantwortlich für den Unterschied ist der K_F-Wert. Der K_F-Wert ist eine Konstante, die durch den Fabrikationsprozeß bestimmt wird und zu der das 1/f-Rauschen proportional ist (Abschnitt 3.4.3.2). Sie wird üblicherweise durch Messung bestimmt. N-Kanal MOSFETs haben in der Regel einen um das 10fache höheren K_F-Wert als vergleichbare p-MOS-Transistoren.

Zu diesem Zeitpunkt liegen leider keine K_F-Daten über den Herstellungsprozeß (AMS 0.8 μm) vor, mit dem dieser Ladungsverstärker gebaut werden soll. Deshalb werden Meßwerte für den „AMS 1.2 μm"-Prozeß herangezogen ([GORH96]) und angenommen, daß sich durch die kleineren Längendimensionen das Rauschen um bis zu einem Faktor 10 vergrößert haben könnte.

Wenn man nun die K_F-Daten für den „AMS 1.2 μm"-Prozeß stufenweise um bis zu einem Faktor 10 erhöht, sieht man, daß bei der n-Dotierung der 1/f-Effekt das Rauschen dominiert (vergl. Abbildung 4.3), und eine Vergrößerung der K_F-Werte bewirkt eine wesentliche Erhöhung des Gesamtrauschens (Abbildung 4.5). Demgegenüber bewirkt das thermische Rauschen den größten Beitrag zum Gesamtrauschen bei der p-Dotierung (vergl. Abbildung 4.4) und Änderungen des 1/f-Rauschens haben kaum Einfluß auf das Gesamtrauschen (Abbildung 4.6).

Selbst wenn der K_F-Wert an der unteren Grenze liegt, ist bei der n-Dotierung das 1/f-Rauschen dominierend. Daß das thermische Rauschen geringer ist als bei der p-Dotierung, spielt dann keine Rolle mehr.

Da zu diesem Zeitpunkt die Kapazität der Auslesepads der CERES-TPC noch nicht feststand, wurden alle Berechnungen sowohl für 12 pF als auch für 20 pF reine Detektorkapazität durchgeführt. Auf dem ersten Test-Chip wurden deshalb zwei unterschiedliche Versionen des Ladungsverstärkers implementiert. Die erste Version ist für eine Detektorkapazität von 12 pF optimiert ($\frac{W}{L} = \frac{6000}{0.8}$), die zweite für eine Detektorkapazität von 20 pF ($\frac{W}{L} = \frac{8400}{0.8}$).

4.1.4 Die Implementation des Eingangstransistors

Wenn ein solch extremes Breiten- zu Längen-Verhältnis benötigt wird, müssen besondere Layout-Techniken verwendet werden:

1. Damit das „Poly-Gate"-Rauschen wirklich vernachlässigt werden kann, muß sichergestellt werden, daß das elektrische Potential möglichst gleich entlang des gesamten Gates ist. Dies erreicht man dadurch, daß das Gate immer an beiden Seiten des Transistors mit Metall kontaktiert wird.

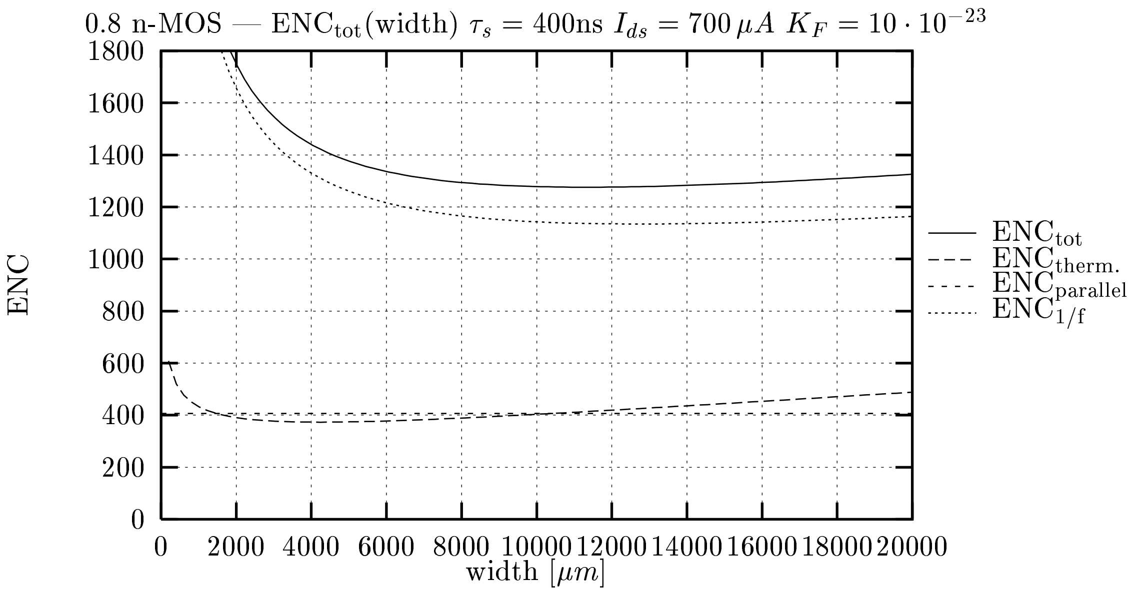


Abbildung 4.3: Die einzelnen Anteile der totalen „Equivalent-Noise-Charge“ für einen **n-MOS**-Transistor als Funktion der Breite des Eingangstransistors

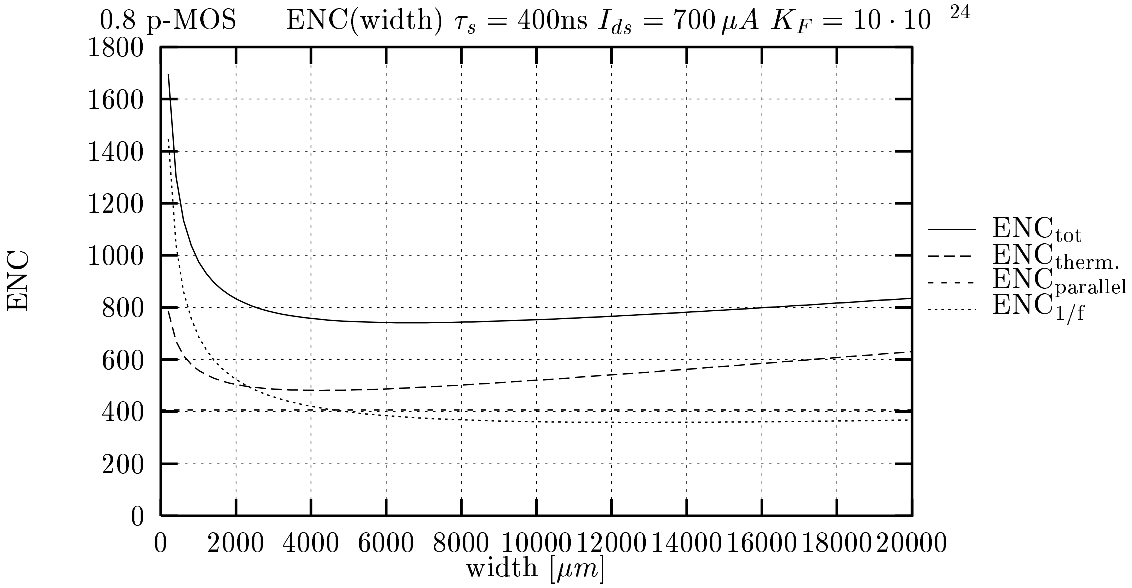


Abbildung 4.4: Die einzelnen Anteile der totalen „Equivalent-Noise-Charge“ für einen **p-MOS**-Transistor als Funktion der Breite des Eingangstransistors

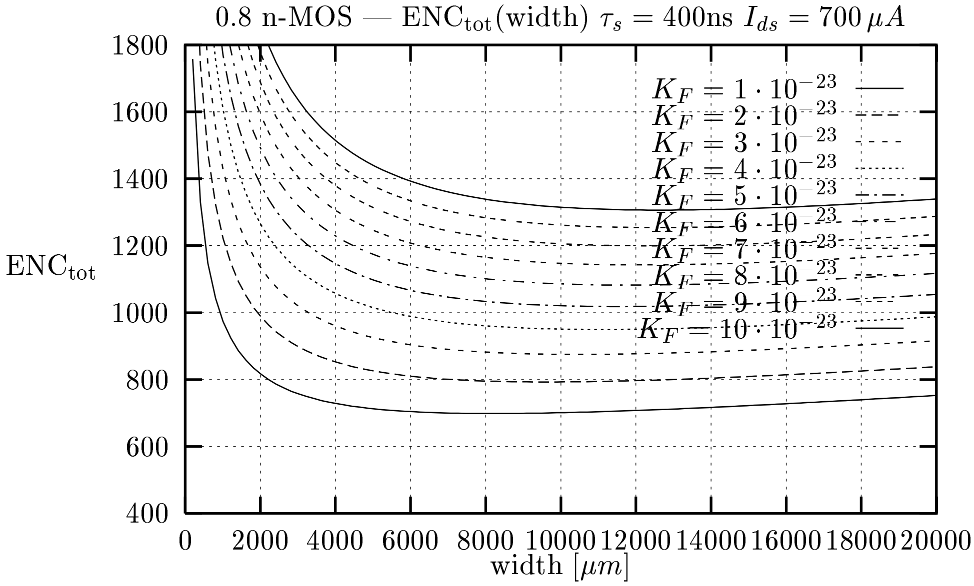


Abbildung 4.5: Die summierte „Equivalent-Noise-Charge“ bei verschiedenen K_F-Werten für einen **n-MOS**-Transistor als Funktion der Breite des Eingangstransistors

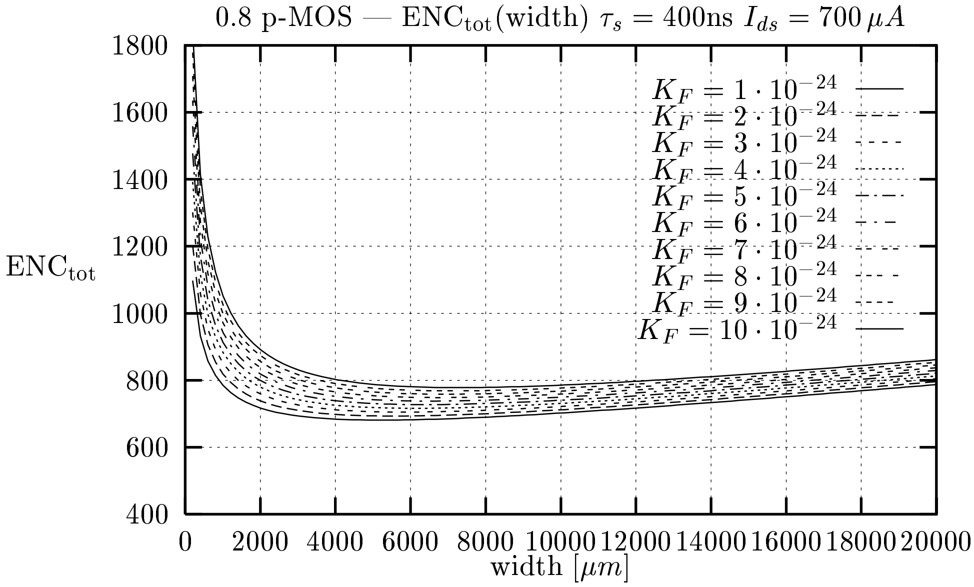


Abbildung 4.6: Die summierte „Equivalent-Noise-Charge“ bei verschiedenen K_F-Werten für einen **p-MOS**-Transistor als Funktion der Breite des Eingangstransistors

Durch den niedrigeren Widerstand des Metalls im Vergleich zu dem des Polysililiziums kann man dann den Spannungsabfall zwischen den beiden Enden vernachlässigen.

2. Die Design-Regeln des Chip-Herstellers (Austria Microsysteme AMS) verlangen, daß das Substrat in regelmäßigen Abständen mit Diffusionskontakten versehen wird. Deshalb ist es notwendig, diesen Transistor in mehrere Blöcke aufzuteilen.

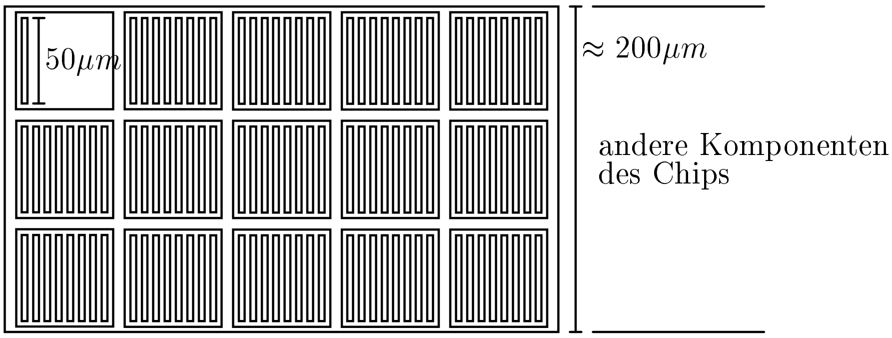


Abbildung 4.7: Die Geometrie des Eingangstransistors bei $\frac{W}{L} = \frac{6000}{0.8}$

Aus diesem Grund wurde folgende Struktur gewählt (Abbildung 4.7):

- Acht „Finger" einer sogenannten „Waffel-Struktur" mit einer Gate-Länge von je 50 μm bilden einen Block ($\frac{W}{L} = \frac{8\times 50}{0.8} = \frac{400}{0.8}$),
- die Breite eines Signal-Kanals, insgesamt 8 oder 16 Kanäle je Chip, wurde auf ca. 200 μm festgelegt,
- d.h. es können drei Block-Reihen im Layout angeordnet werden (200 μm $\approx$ $3 \cdot 50\,\mu$m + Abschirmung + Zuleitungen; $\frac{W}{L} = \frac{3\times 400}{0.8} = \frac{1200}{0.8}$),
- für 6000 μm werden dann fünf Spalten benötigt, für 8400 μm sieben Spalten.

Damit ist die Breite eines Kanals auf dem Chip festgelegt, da alle weiteren Komponenten so im Layout angeordnet werden, daß sie diese Abmessungen nicht überschreiten.

4.1.5 Der Ausgangstreiber

Den Ausgang des Ladungsverstärkers bildet eine zweistufige Sourcefolger-Baugruppe (vergl. Abbildung im Anhang A.1).

Diese sollte in der Lage sein, sowohl ein Ausgangspad für den ersten Testchip zu treiben, als auch eine große Kapazität, die im Gesamtdesign den Ladungsverstärker vom Pulsformer trennt.

Diese Kapazität wandelt einmal das Spannungssignal am Ausgang des Ladungsverstärkers in ein Stromsignal für den Pulsformer um (Eingang auf „virtual ground"). Andererseits wirkt sie zusammen mit dem Eingangswiderstand des Pulsformers und einem weiteren Transistor als Pol-Nullstellen-Netzwerk (siehe Abschnitt 4.2.2).

Beide Stufen bestehen aus Sourcefolgern. Die Rückkopplung erfolgt bereits nach der ersten Stufe. Diese legt somit vor allem ein Potential fest, das durch die Rückkopplung den Arbeitspunkt des Eingangstransistors bestimmt.

Die zweite Stufe ist die eingentliche Leistungsstufe. Mit zwei mal zwei p-MOS Transistoren beträgt die Leistungsaufnahme beider Stufen zusammen ca. 2.8 mW.

4.1.6 Die Stabilität des Operationsverstärkers

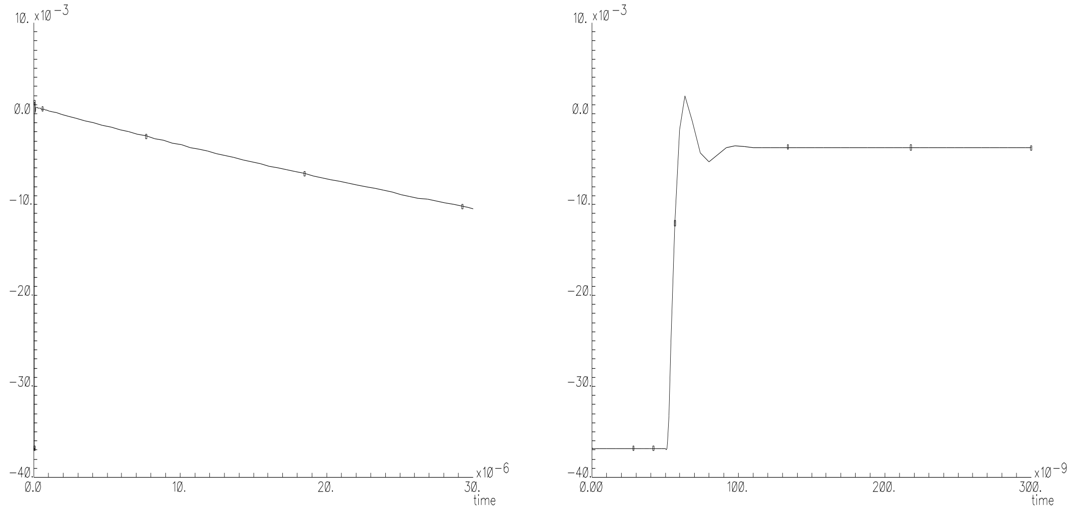
Wenn am Eingang des Operationsverstärkers ein Signal eintrifft, wird dieses bei der „Folded Cascode" in ein Stromsignal am Knoten K1 umgewandelt, welches wiederum ein Spannungssignal am Gate von M5 erzeugt (vergleiche Abbildung 3.4). Damit dieses Signal unverfälscht den Ausgang erreicht, muß sichergestellt werden, daß der Knoten K1 schneller ist als das Gate von M5.

Die Geschwindigkeit des Knoten K1 wird durch die ihm zugeordneten Kapazitäten bestimmt, d.h. Gate-Source- und Gate-Drain-Kapazität des Kaskodentransistors M2 (C_{GS_2}, C_{GD_2}), Drain-Bulk- und Gate-Drain-Kapazität des Eingangstransistors M1 und des Stromgenerators M4 (C_{DB_1}, C_{GD_1}, C_{DB_4}, C_{GD_4}). In diesem Fall dominieren die Kapazitäten von M1 durch die Forderung nach niedrigem Rauschen und der hohen Detektorkapazität, so daß die beiden anderen Transistoren leicht so gestaltet werden können, so daß sie nur vernachlässigbar zur Kapazität am Knoten K1 beitragen.

Falls das Gate von M5 schneller ist als Knoten K1, kann es durch die Rückkopplung zu Oszillationen kommen. In Abbildung 4.8(a) ist als „SpectreS" Simulation die Antwort des Ladungsverstärkers auf einen Delta-Puls zu sehen. Eine Vergrößerung des Maximums in Abbildung 4.8(b) zeigt, daß dort kleine Oszillationen zu beobachten sind. Wenn man nun aber ein realistischeres Eingangssignal mit einer endlichen Abfallszeit annimmt, wie dies in Abbildung 4.9 zu sehen ist, so verschwindet die Oszillation und der Ladungsverstärker arbeitet stabil.

Design-Ziel ist somit, die zu Knoten K1 zugehörigen Kapazitäten so klein wie möglich zu gestalten, ohne selbstverständlich die Bedingungen, die durch eine Forderung nach niedrigem Rauschen entstehen, zu verletzen. Demgegenüber soll die Gate-Source-Kapazität von M5 eher größer sein, was zu einer Verlangsamung dieses Knotens führt. Wie sich in der Simulation mit „SpectreS" herausstellt, ist dies für den Ladungsverstärker einfach möglich.

Wie die Simulation in Abbildung 4.10 zeigt, ist die Variation am Ausgang des Ladungsverstärkers nur unwesentlich von der Temperatur abhängig. In der Abbildung ist das Ergebnis einer Simulation zu sehen, in der die Temperatur von



(a) Total-Ansicht (b) Vergrößerung

Abbildung 4.8: Antwort des Ladungsverstärkers auf einen Delta-Eingangspuls $V = V(t)$ (in [mV]). Das linke Bild zeigt den Bereich von $0 \leq t \leq 30\,\mu$s. Das rechte Bild eine Vergrößerung des Ausschnitts $0 \leq t \leq 300\,$ns.

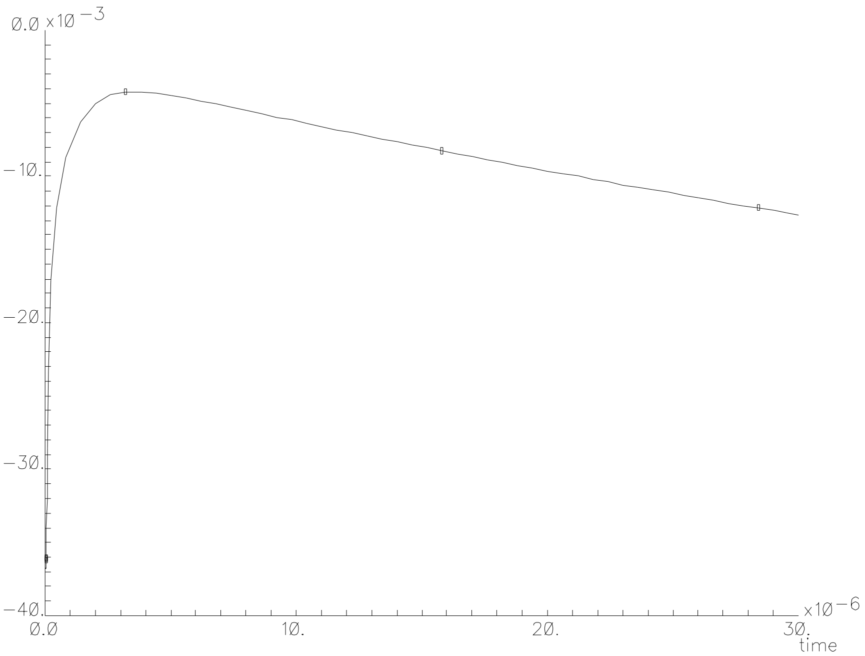


Abbildung 4.9: Antwort des Ladungsverstärkers auf einen Puls mit exponentiellem Abfall $V = V(t)$ (Spannung in $[mV]$, Zeit in $[\mu s]$).

25°C auf 65°C erhöht wurde. Dabei steigt das Potential am Gate des Rückkoppeltransistors (siehe auch Abschnitt 4.1.7) von -2.02 V auf -1.88 V, was zur einer Änderung der Abfallszeit führt. Ansonsten ändern sich zwar innerhalb des Operationsverstärkers einige Ruhepotentiale und Ruheströme, aber deren Variationen sind so gering, daß das Verhalten des Ladungsverstärkers bei Eintreffen eines Signals unverändert bleibt.

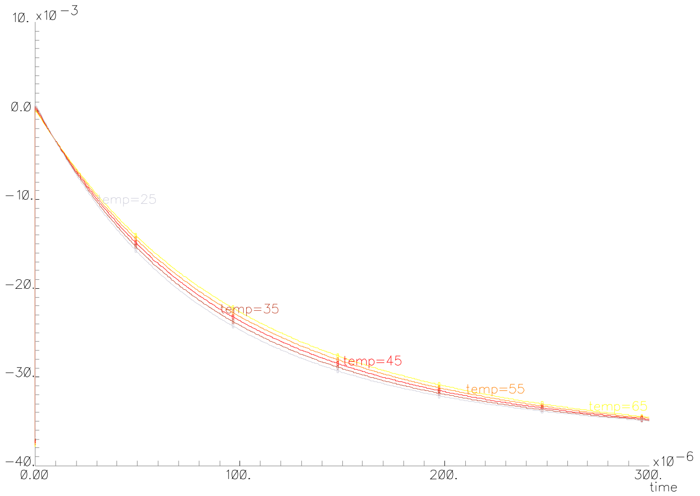


Abbildung 4.10: Antwort des Ladungsverstärkers ($V = V(t)$) bei Variation der Umgebungstemperatur (in °C) (Spannung in $[mV]$, Zeit in $[\mu s]$).

4.1.7 Die Rückkopplung

Im Rückkoppelzweig befindet sich der Integrationskondensator in Serie. Seine Kapazität C bestimmt direkt die Größe der Spannungsstufe ΔV am Ausgang, bei Deposition der Ladung Q am Eingang des Ladungsverstärkers, nach

$$\Delta V = \frac{1}{C} \cdot Q \quad .$$

Der Ladungsverstärker kann sicher eine Spannung von 1 V erzeugen, so daß bei einem Maximalsignal von 100 fC die Kapazität des Kondensators auf 100 fC dimensioniert werden könnte ($C = \frac{Q}{\Delta V} = 100\,\mathrm{fC}$), wenn nur ein einziges Signal bis zum vollständigen „Reset“ des Ladungsverstärkers käme.

Die tatsächliche Größe wird durch die Art der Kondensatorentladung und dem mittleren Abstand zwischen zwei aufeinander folgenden Signalen (etwa $5 - 10\,\mu s$) bestimmt. Weiterhin muß berücksichtigt werden, daß der Pulsformer eine weitere Verstärkung bewirkt und deshalb der Verstärkungsfaktor des Ladungsverstärkers verringert werden muß, da ansonsten der Pulsformer in Sättigung gerät.

In der Schaltung für die CERES-TPC soll die Entladung des Kondensators durch einen parallel dazu geschalteten, großen Widerstand geschehen.

Alternativ dazu gibt es auch die Möglichkeit, den Kondensator durch einen Schalter zu entladen, der von einer Reset-Clock gesteuert wird. Zwar hat man dann keinen Beitrag zum Rauschen durch das thermische Rauschen des Widerstandes („paralleles Rauschen"), muß aber damit rechnen, daß das digitale Clock-Signal den Ladungsverstärker stört. Außerdem darf der Verstärkungsfaktor des Ladungsverstärkers nur klein sein, da der „Reset" erst nach dem kompletten Ereignis kommt und bis dahin der Ladungsverstärker nicht in Sättigung geraten sein darf. Wird statt eines Schalters allerdings ein sehr großer Widerstand gewählt, so trägt das parallele Rauschen kaum zum Gesamtrauschen bei und der Verstärkungsfaktor kann größer gewählt werden, da die Entladung sofort nach Eintreffen des ersten Signals beginnt. Ein großer Widerstand ist möglich, ohne die Abfallszeit auf unbrauchbar große Werte zu bringen, da die Integrationskapazität sehr klein ist ($\tau_{\mathrm{decay}} = CR_f$).

Dieser Widerstand wird durch einen MOS Transistor realisiert. Dies hat sowohl Vor- als auch Nachteile. Der größte Nachteil scheint zuerst die begrenzte Linearität dieses Widerstandes zu sein. Dies führt zu einem nicht-exponentiellen Abfall des Signals nach der Spannungsstufe, da der Widerstand zusammen mit dem Integrationskondensator ein RC-Glied bildet, und $R_f = R_f(\Delta V)$. Ein definierter Einfluß auf die Signalform scheint bei dieser Widerstandsvariation nicht möglich. Wie die Simulation in Abbildung 4.11 zeigt, fällt der Widerstand bei großen Signalen stark ab; die Ladungsverstärkung bleibt aber konstant. In Abschnitt 4.2.2 („Adaptive Pol-Nullstellen-Kompensation") wird später gezeigt, wie sich dieses Problem lösen läßt.

Der nicht-konstante Widerstand ist gleichzeitig aber auch ein Vorteil. Bei großem Spannungsabfall entlang des Transistors fällt die Größe des Widerstandes. Das bedeutet, daß, wenn der Ladungsverstärker durch ein übergroßes Eingangssignal (z.B. δ-Elektron) in Sättigung geraten ist, seine Rückführung in den Ausgangszustand schneller geschieht, da der Integrationskondensator bei geringerem Widerstand schneller entladen wird und dieser Kanal nicht für das gesamte, zu messende Ereignis tot ist.

Eine weitere Option bei der Verwendung eines Transistors ist, daß dessen Gate auch extern gesteuert werden kann. Damit kann entweder die Größe des Widerstandes von außen verändert oder der Transistor als Schalter betrieben werden. Deshalb wird der Gate-Anschluß auch an ein externes Pad angeschlossen, obwohl das Gate-Potential im Regelbetrieb durch ein auf dem Chip implementiertes Bias-System bestimmt wird (mehr dazu im Abschnitt 4.1.8 „Selbst-Adaptive Kalibration").

4.1.8 Selbst-Adaptive Kalibration

In Abschnitt 3.6 wurde geschildert, welche Probleme es gibt, wenn versucht wird, den Widerstand des Transistors in der Ladungsverstärker-Rückkopplung

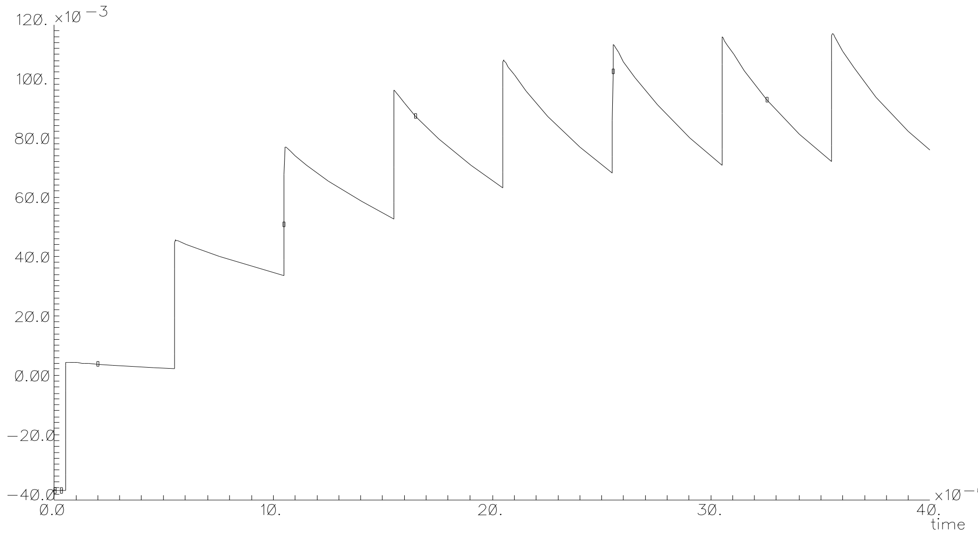


Abbildung 4.11: Die Variation des Rückkoppelwiderstandes bei vielen, aufeinanderfolgenden Signalen ($V = V(t)$; Spannung in $[mV]$, Zeit in $[\mu s]$).

extern zu steuern. Deshalb wurde zur Generierung des Gate-Potentials ein selbst-adaptiver Schaltkreis verwendet ([GORH], [GORH96]).

In Abbildung 4.12 sind neben der „Vorverstärker-Kaskode“ und deren „Rückkopplung“ eine „Bias-Kaskode“ und ein „Spannungsteiler“ zu sehen.

Das Ziel der selbst-adaptiven Kalibration ist es, den Widerstand des Transistors in der Rückkopplung möglichst unabhängig von den Herstellungsprozeß-Variationen – vor allem Veränderungen der Schwellen-Spannung (Threshold-Spannung) – zu gestalten. Außerdem sollen Abhängigkeiten von Schwankungen in der Spannungsversorgung minimiert werden.

Die Konstanz des Widerstandes ist eng verknüpft mit der Konstanz der Potentiale am Transistor $\mathrm{M_f}$:

$$\mathrm{R_f} = \frac{1}{\mu_{\mathrm{eff}} C_{\mathrm{ox}} \left.\frac{\mathrm{W}}{\mathrm{L}}\right|_{\mathrm{M_f}} \left.(\mathrm{V_{GS}} - \mathrm{V_T})\right|_{\mathrm{M_f}}}$$

Gleichzeitig gilt aber:

$$\mathrm{V_{GS}} - \mathrm{V_T} \approx \mathrm{V_{GS}} - \mathrm{V_T} - \mathrm{V_{DS}} = \mathrm{V_{GD}} - \mathrm{V_T} \qquad \text{für}\, \mathrm{V_{DS}} \ll \mathrm{V_{GS}} - \mathrm{V_T}$$

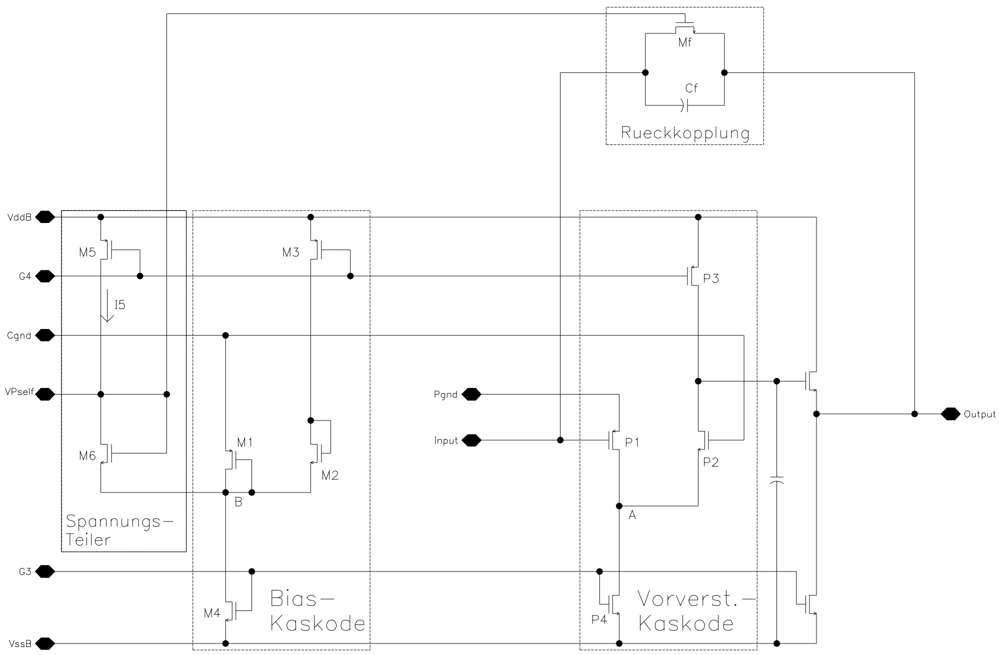


Abbildung 4.12: Schaltkreis für die selbst-adaptive-Kalibration

$$\Rightarrow \mathrm{R_f} \approx \frac{1}{\mu_{\mathrm{eff}} C_{\mathrm{ox}} \left.\frac{\mathrm{W}}{\mathrm{L}}\right|_{\mathrm{M_f}} \left.(\mathrm{V_{GD}} - \mathrm{V_T})\right|_{\mathrm{M_f}}} \tag{4.1}$$

Das heißt, der Widerstand hängt direkt von der Schwankung der $\mathrm{M_f}$–Potentiale $\mathrm{V_G}$, $\mathrm{V_D}$ und $\mathrm{V_T}$ ab.

$\mathrm{V_{D,\,M_f}}$ hängt vor allem von der Schwellenspannung des p-MOS $\mathrm{P_1}$ ab, und deren Fluktuationen sind unabhängig von der Schwellenspannung des n-MOS $\mathrm{M_f}$ ($\mathrm{V_{T,\,M_f}}$). Deshalb soll $\mathrm{V_{G,\,M_f}}$ so mit $\mathrm{V_{T,\,M_f}}$ und $\mathrm{V_{T,\,P_1}}$ korreliert werden, daß deren unterschiedliche Fluktuationen kompensiert werden.

Aus diesem Grund wird eine *Bias-Kaskode* aufgebaut, deren Transistordimensionen gleich denen der *Vorverstärker-Kaskode* sind. Unter der Bedingung, daß der Strom durch den *Spannungs-Teiler* klein gegen den Strom durch $\mathrm{M_4}$ ist gilt:

$$\mathrm{I_{P_1}} = \mathrm{I_{M_1}} \quad \Rightarrow \quad \mathrm{V_{GS,\,P_1}} = \mathrm{V_{GS,\,M_1}}$$

$$\Rightarrow \underbrace{\mathrm{V_{G,\,P_1}}}_{\mathrm{V_{D,\,M_f}}} = \underbrace{\mathrm{V_{G,\,M_1}}}_{\mathrm{V_{S,\,M_6}}} \quad \Rightarrow \quad \mathrm{V_{D,\,M_f}} = \mathrm{V_{S,\,M_6}} \tag{4.2}$$

Das Layout des n-MOS Transistor $\mathrm{M_6}$ wird nun als n-fache Kopie des Transistors $\mathrm{M_f}$ gestaltet:

$$\left.\frac{\mathrm{W}}{\mathrm{L}}\right|_{\mathrm{M}_6} = n \cdot \left.\frac{\mathrm{W}}{\mathrm{L}}\right|_{\mathrm{M_f}}$$

Da M_6 ein n-MOS Transistor mit dem strukturell gleichen Layout wie $\mathrm{M_f}$ ist, erfährt dieser die gleichen Kanallängen- und Bulk-Effekte wie $\mathrm{M_f}$, und es gilt $\mathrm{V_{T,\,M_6}} = \mathrm{V_{T,\,M_f}}$. Für den im Unterschied zu $\mathrm{M_f}$, im Sättigungsbereich betriebenen Transistor M_6 gilt also:

$$\begin{aligned} \mathrm{V_{GS,\,M_6}} - \mathrm{V_{T,\,M_6}} &= \sqrt{\frac{2I_5}{\mu_{\mathrm{eff}} C_{\mathrm{ox}}\, n \left.\frac{\mathrm{W}}{\mathrm{L}}\right|_{\mathrm{M_f}}}} \qquad \text{(vgl. Formel 3.1)} \\ &\overset{(4.2)}{=} \mathrm{V_{GD,\,M_f}} - \mathrm{V_{T,\,M_f}} \end{aligned}$$

Eingesetzt in (4.1) erhält man schließlich:

$$\mathrm{R_f} = \sqrt{\frac{n}{2\mu_{\mathrm{eff}} C_{\mathrm{ox}}\, I_5 \left.\frac{\mathrm{W}}{\mathrm{L}}\right|_{\mathrm{M_f}}}} \tag{4.3}$$

Daraus folgt, daß für ein großes $\mathrm{R_f}$ der Transistor $\mathrm{M_f}$ mit einem vernünftigen $\frac{W}{L}$–Verhältnis gestaltet werden kann und nur oft genug (n-Mal) als M_6 im Bias-Schaltkreis kopiert werden muß.

Die Größe des Widerstandes ist in 1. Ordnung unabhängig von der Schwankung der Potentiale an $\mathrm{M_f}$, und nur von der Schwankung des Stroms I_5 abhängig. Diesen Strom bis auf 10% genau einzustellen, stellt kein besonderes Problem dar.

4.2 Der Signalformer

4.2.1 Allgemeine Eigenschaften des Signalformers

Die Hauptaufgabe des Signalformers ist es, den Signal-Rausch-Abstand zu vergrößern. Außerdem soll er durch Filterung dafür sorgen, daß der maximal 10prozentige, langsame Anteil des TPC-Signals unterdrückt wird. Dadurch wird kaum Amplitude verloren, aber die Totzeit der Elektronik deutlich verringert bzw. Aufstockungs-Effekte verhindert.

Zur Vergrößerung des Signal-Rausch-Abstandes wird die Spannungsstufe des Ladungsverstärkers durch den Signalformer in einen unipolaren Semi-Gauß'-schen Signalpuls umgewandelt.

Wie aus der theoretischen Betrachtung in Abschnitt 3.4.3 ersichtlich, ist eine große Pulsbreite in Hinblick auf das thermische Rauschen wünschenswert. Andererseits sollen natürlich auch noch rasch aufeinander folgende Pulse (Spuren in der TPC, die nahe beieinander liegen) einzeln aufgelöst werden. Weiterhin wird ein Minimum für die benötigte Pulsbreite durch die Tatsache gegeben, daß das Signal anschließend digitalisiert wird und mindestens drei Samples pro Puls zur Verfügung stehen müssen, um das Signal vollständig rekonstruieren zu können. Für die CERES-TPC sind hierfür maximal 256 Samples pro Kanal für ein Ereignis vorgesehen. Die Samplingrate wird durch die Driftgeschwindigkeit der TPC bestimmt. Da diese noch während des Experiments veränderbar sein soll, ist es notwendig, daß der Pulsformer variable Pulsbreiten generieren kann.

4.2.2 Adaptive Pol-Nullstellen Kompensation (engl. adaptive pole-zero cancellation)

Wenn im Rückkoppelzweig des Ladungsverstärkers der Transistor als Widerstand betrieben wird, so bilden er und der Kondensator einen Pol (RC-Glied), der die Pulsform verändert ($\tau_p = \tau_{\text{decay}} = RC$).

Wie im Abschnitt 3.5.2 besprochen wurde, ist es möglich, durch ein Netzwerk aus RC-Gliedern die Zeitkonstanten im Signal zu verändern.

Dies bereitet aber Probleme, wenn der Widerstand nicht konstant ist (vergleiche Abschnitt 4.1.7). Dieses Problem kann gelöst werden ([GORH], [GORH96]), wenn sich die Nullstellen-Zeitkonstante τ_0 im Gleichtakt mit der Pol-Zeitkonstanten τ_p ändert. Dies wird dadurch erreicht, daß das RC-Glied der Nullstellen-Zeitkonstanten τ_0 ebenso, wie in der Ladungsverstärker-Rückkopplung, einen p-MOS Transistor enthält (bei positiven Eingangssignalen n-dotierte Transistoren), und deren Source-Anschlüsse miteinander verbunden werden (Abbildung 4.13). Ebenso werden die beiden Gates miteinander verbunden. Dadurch ist die Gate-Source-Spannung bei beiden Transistoren gleich ($V_{GS}^{\text{pole}} = V_{GS}^{\text{zero}}$). Wird nun die Drain-Source-Spannung im Rückkoppelzweig des Ladungsverstärkers V_{DS}^{pole} größer, so verringert sich der Widerstand und damit das Gate-Potential. Dadurch ändert sich auch der Widerstand des Transistors in der Nullstellen-Zeitkonstanten τ_0 (da $V_{GS}^{\text{pole}} = V_{GS}^{\text{zero}}$) und der Pol, der durch das RC-Glied im Rückkoppelzweig des Ladungsverstärkers eingefügt worden ist, wird dadurch zuverlässig in einem großen, dynamischen Bereich unterdrückt.

4.2.3 Rauscharmes Widerstandskonzept (engl. cold resistor technique)

Im Netzwerk der Pol-Nullstellen-Kompensation wird ein Widerstand parallel zum Signal benötigt. Bei den großen Zeitkonstanten, mit denen es man hier zu tun hat, bedeutet das automatisch auch, daß der Widerstand sehr groß sein muß und eine weitere Rauschquelle bildet. Mit einem rauscharmen Widerstandskonzept soll versucht werden, diese Rauschquelle zu eliminieren.

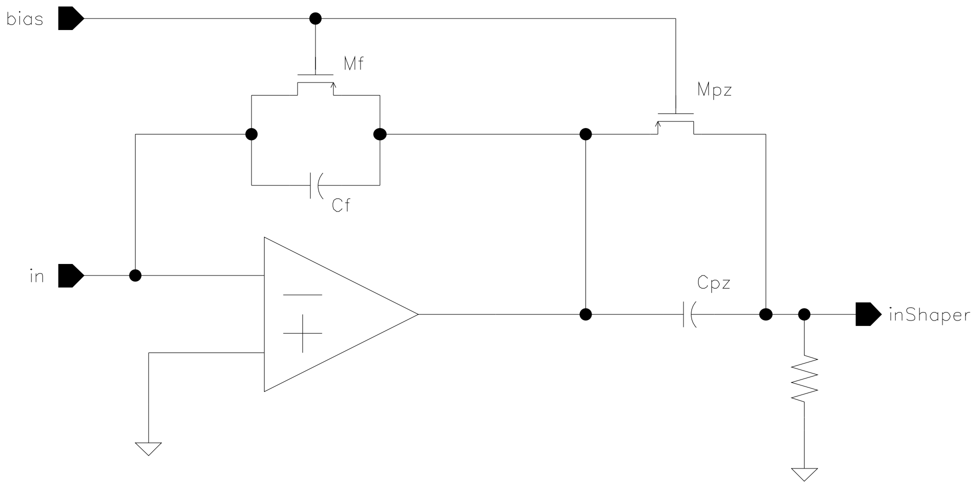


Abbildung 4.13: Adaptive Pol-Nullstellen-Kompensation. Dadurch, daß jeweils Gate und Source der Transistoren *Mf* und *Mpz* miteinander verbunden sind, variieren die Zeitkonstanten im Rückkoppelzweig und im Pol-Nullstellen-Netzwerk im Gleichtakt und der Pol in der Rückkopplung des Ladungsverstärkers kann zuverlässig unterdrückt werden.

In der „Cold-Resistor"-Technik übernimmt die Eingangsimpedanz des Operationsverstärkers (OPV) des Pulsformers die Aufgabe des Parallelwiderstandes.

Die Eingangsimpedanz lautet:

$$Z_{in} \approx \left(\frac{C_0}{C_s}\right)\left(\frac{1}{g_m}\right)$$

Dabei bedeuten:
- g_m Die Steilheit des Eingangstransistors im Operationsverstärker $\left(\frac{dI_D}{dV_{GS}}\right)$
- C_0 Die Kapazität am dominierenden Pol des OPV
- C_s Die Kapazität in der OPV-Rückkopplung

D.h. durch Variation von C_0 kann die Eingangsimpedanz verändert werden.

Dies ist von Vorteil, da durch ein großes C_0/C_s-Verhältnis ein großer Widerstand erzielt werden kann, ohne einen großen ohmschen Widerstand mit entsprechendem Rauschbeitrag einzufügen.

Um den Parallelwiderstand zu ändern, was zur Änderung der „Shaping"-Zeit notwendig ist, wird nun einfach die Eingangsimpedanz durch Dazuschalten von Kondensatoren an den dominierenden Pol des OPV variiert. Der Rauschbeitrag des OPV wird durch die zusätzliche Kapazität praktisch nicht beeinflußt.

4.2.4 1-stufige Signalformung

Um dem Signal eine Semi-Gauß'sche Pulsform zu geben, sollen zwei Lösungswege erprobt werden: eine 1-stufige Signalformung mit *einem* Operationsverstärker und eine 2-stufige Signalformung mit *zwei* Operationsverstärkern.

Bei der 1-stufigen Signalformung bildet *ein* Operationsverstärker den Kern des Pulsformers, in dessen Rückkoppelzweig sich ein Netzwerk aus Widerständen und Kondensatoren befindet. Die Widerstände wurden sowohl durch Polysilizium-Widerstände als auch durch Transistoren realisiert. Zu sehen ist dieses Netzwerk in Abbildung 4.14. Dabei handelt es sich um eine Erweiterung der klassischen T-Brücke um den Widerstand R_t.

Aufgabe dieses Filters ist es zusammen mit dem vorhergehenden Pol-Nullstellen-Netzwerk, durch Differentiation und Integration der Spannungsstufe eine Semi-Gauß'sche Form zu geben, sowie den langsamen Anteil im TPC-Signal herauszufiltern (engl. tail cancellation).

Dafür wird ein Filter benötigt, der einmal die Differentiation und Integration mit der gleichen Zeitkonstante τ_s durchführt und außerdem Signale mit einer typischen Abfallszeit τ_t unterdrückt.

Die Zeitkonstante τ_s entspricht der Anstiegszeit des Semi-Gauß'schen Pulses (engl. shaping time). Diese sollte regelbar sein, um einen optimalen Kompromiß aus Rauschen und Granularität bei der Kalibration des Detektors zu finden. Die Differentiation wird durch das Pol-Nullstellen-Netzwerk ausgeführt, während die T-Brücke in der OPV-Rückkopplung des Pulsformers die Integration durchführt. Um τ_s möglichst konstant zu halten, wurde auf die Möglichkeit einer kontinuierlichen Variation der „Shaping"-Zeit verzichtet, und es wurden an dieser Stelle Polysilizium-Widerstände statt Transistoren verwendet. Die Konstanz ist wichtig, damit nach der Digitalisierung das ursprüngliche Signal zuverlässig rekonstruiert werden kann. Die „Shaping"-Zeit τ_s ist deshalb stufenweise wählbar, indem durch digitale Schalter weitere Polysilizium-Widerstände und Polysilizium-Kondensatoren in der T-Brücke für die Integration und Polysilizium-Kondensatoren am dominierenden Pol des OPV, welche dessen Eingangsimpedanz gemäß Abschnitt 4.2.3 verändern und somit ebenso die Differentiationszeitkonstante, hinzugeschaltet werden können. (Details der Beschaltung in Anhang A.1)

Bei der „Tail-Cancellation" scheint ein digitaler Ansatz nicht sinnvoll, da das tatsächliche Signalverhalten der TPC erst nach deren Fertigstellung bestimmt werden kann. Deshalb kann die Zeitkonstante τ_t, die gleich der Zeitkonstanten des langsamen Anteils im TPC-Signal sein sollte ($I_{\mathrm{TPC}}(t) \approx Ae^{-t/\tau_{\mathrm{fast}}} + Be^{-t/\tau_{\mathrm{slow}}};\quad \tau_{\mathrm{slow}} \approx \tau_t$), kontinuierlich über das Gate-Potential eines Transistors gesteuert werden, der, im linearen Bereich betrieben, als Widerstand fungiert. Aus diesem Grund werden die Widerstände R_s, die für τ_s verantwortlich sind, durch Polysilizium-Widerstände, und der Widerstand R_t, der die „Tail-Cancellation" beeinflußt, durch einen Transistor realisiert werden. In Abbildung 4.15 ist das Ergebnis einer Simulation einer solchen Schaltung zu sehen.

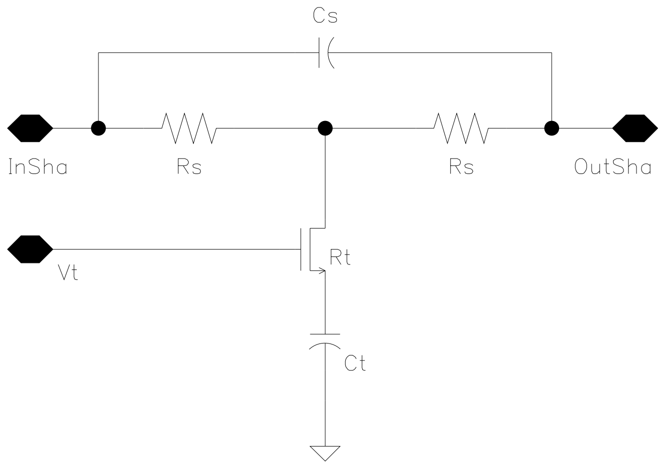


Abbildung 4.14: T-Brücke für den 1-stufigen Signalformer. Dieses Netzwerk soll in der Rückkopplung des Operationsverstärkers des Pulsformers eingesetzt werden und sowohl die Pulsform festlegen, als auch eine unerwünschte Zeitkonstante unterdrücken.

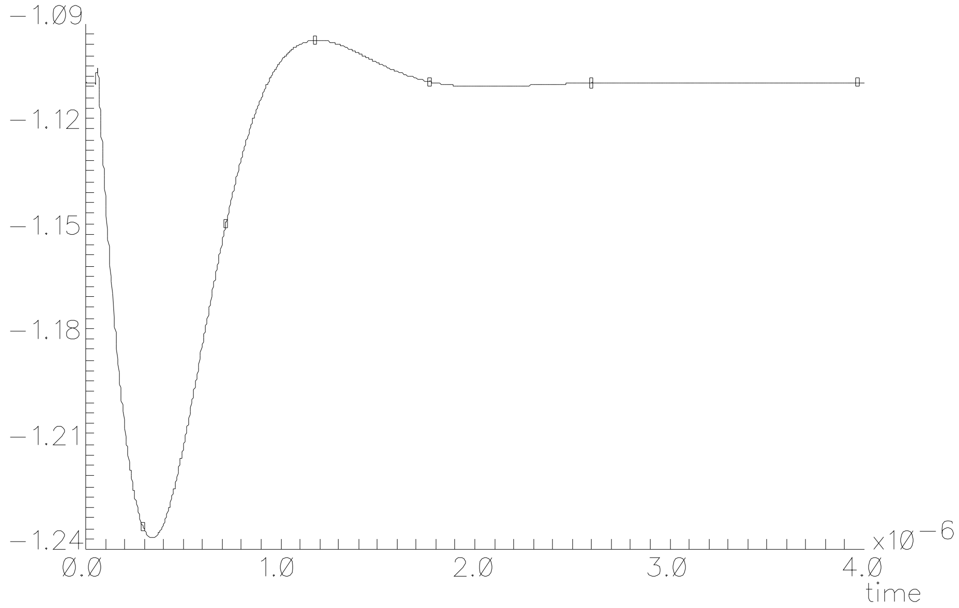


Abbildung 4.15: Antwort des 1-stufigen Pulsformers auf einen Delta-Puls in der Simulation. Die Größe des Überschwingers ist variabel und sorgt beim langsamen TPC-Signal für eine rasche Rückkehr des Pulsformers zum Ausgangspotential. ($V = V(t)$; Spannung in $[V]$, Zeit in $[\mu s]$)

Der Operationsverstärker wird wie im Ladungsverstärker aus einer Kaskodenschaltung mit anschließendem Source-Folger (Emitter-Folger in BiCMOS-Technologie) als Ausgangstreiber bestehen (siehe Anhang A.1).

Gegenüber der Kaskodenschaltung im Ladungsverstärker wurden die Steilheit des Eingangstransistors und der Strom, der durch die Kaskoden-Schaltung fließt, verringert, da dadurch sowohl Chipfläche als auch die Leistungsaufnahme reduziert werden können. Besondere Maßnahmen zur Reduzierung des Rauschens dieses Operationsverstärkers wurden nicht getroffen, da zu erwarten ist, daß das Gesamtrauschen durch den Ladungsverstärker deutlich dominiert wird (siehe [CS91]).

In CMOS-Technologie besteht der Ausgangstreiber aus einem Sourcefolger. Mit zwei p-MOS Transistoren beträgt die Leistungsaufnahme dieser Stufe ca. $7600\,\mu W$. Dieser große Strom ist hier notwendig, da bei großen „Shaping"-Zeiten auch große Kondensatoren geladen werden müssen.

Wird der Ausgangstreiber in BiCMOS-Technologie durch einen Emitterfolger realisiert, so kann die Leistungsaufnahme auf $570\,\mu W$ reduziert werden (Werte aus der Simulation). Hier zeigt sich deutlich die Überlegenheit der bipolaren Transistoren, beim Treiben von Lasten.

4.2.5 2-stufige Signalformung

Bei der 2-stufigen Signalformung wurden die eigentliche Pulsformung und die „Tail-Cancellation" in getrennte Netzwerke mit jeweils eigenem Operationsverstärker aufgeteilt. Der Grund für diese Entscheidung war, daß in der Simulation die im vorherigen Abschnitt besprochene T-Brücke die „Tail-Cancellation" bei großen Zeitkonstanten ($\gtrsim 1\,\mu s$) nur unvollständig durchführte.

Im 2-stufigen Design folgt dem im vorherigen Abschnitt besprochenen Pulsformer ein weiteres Pol-Nullstellen-Netzwerk und ein weiterer OPV mit RC-Rückkopplung (Abbildung 4.16).

Die Aufgabe dieses zweiten Pol-Nullstellen-Netzwerkes ist es, den langsamen Anteil im TPC-Signal (ein Pol) durch eine Nullstelle zu unterdrücken. Wird das Potential am Gate von Transistor $\mathrm{M_{tail}}$ extern gesteuert, so sieht man in der Simulation, daß hier eine Nullstelle in einem großen Zeitkonstantenbereich eingefügt und somit optimal an das TPC-Signal angepaßt werden kann (Abbildung 4.17).

Ohne externe Steuerung des Potentials von $\mathrm{M_{tail}}$, wird es vom Bias-Netzwerk des Chips so eingestellt, daß es einen „Tail" mit einer Zeitkonstanten von $\simeq 1.5\mu s$ unterdrückt.

In Abbildung 4.18 ist die Simulation der Antwort des 2-stufigen Pulsformers auf ein Eingangssignal mit einem 10prozentigen „Tail" von $1.5\mu s$ zu sehen. Durch die eingefügte Nullstelle des „Tail-Cancellation"-Netzwerks enthält das Ausgangssignal diese Zeitkonstante nicht mehr.

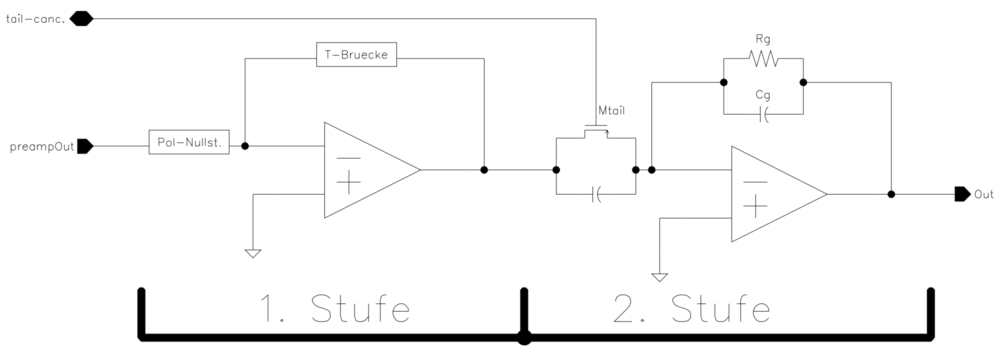


Abbildung 4.16: Übersichtsschaltbild des 2-stufigen Pulsformers. Die 1. Stufe differenziert (Pol-Nullstellen-Netzwerk) und integriert (T-Brücke) das Ladungsverstärker-Signal (preampOut) und erzeugt einen Semi-Gauß'schen Puls. Danach wird ein Pol aus dem Detektorsignal durch eine variable Nullstelle (M_{tail}) herausgefiltert. Die weitere Integrationsstufe sorgt für eine nochmalige Verstärkung und Qualitätsverbesserung (weiterer Pol) des Semi-Gauß'schen Pulses.

Der neue Pol dieses Pol-Nullstellen-Netzwerks harmoniert optimal mit der Zeitkonstanten in der neuen OPV-Rückkopplung, was die Qualität des Semi-Gauß' schen Pulses noch einmal deutlich verbessert.

Der Verstärkungsfaktor dieser zweiten Signalformungsstufe kann durch Variation der Kapazität C_g in der Rückkopplung verändert werden unter Beibehaltung des Produkts R_gC_g (charakteristische Zeitkonstante), was eine gewisse Freiheit in der Gasverstärkung der TPC erlaubt.

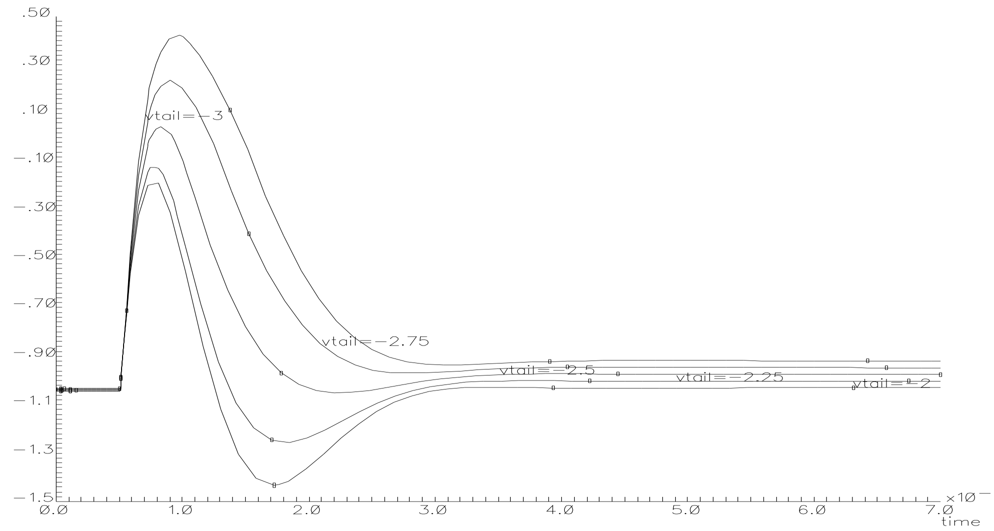


Abbildung 4.17: Simulation der „Tail-Cancellation" ($V = V(t)$; Spannung in $[V]$, Zeit in $[\mu s]$). Dieses Bild zeigt, wie durch Variation des Gate-Potentials (V_{tail}) von $\mathrm{M_{tail}}$ um 1 V die eingefügte Nullstelle in einem großen Bereich verändert werden kann (unterste Kurve $V_{\mathrm{tail}} = -2\,V$, obeste Kurve $V_{\mathrm{tail}} = -3\,V$). Das Signal am Ladungsverstärker-Eingang entsprach einem Delta-Ladungspuls.

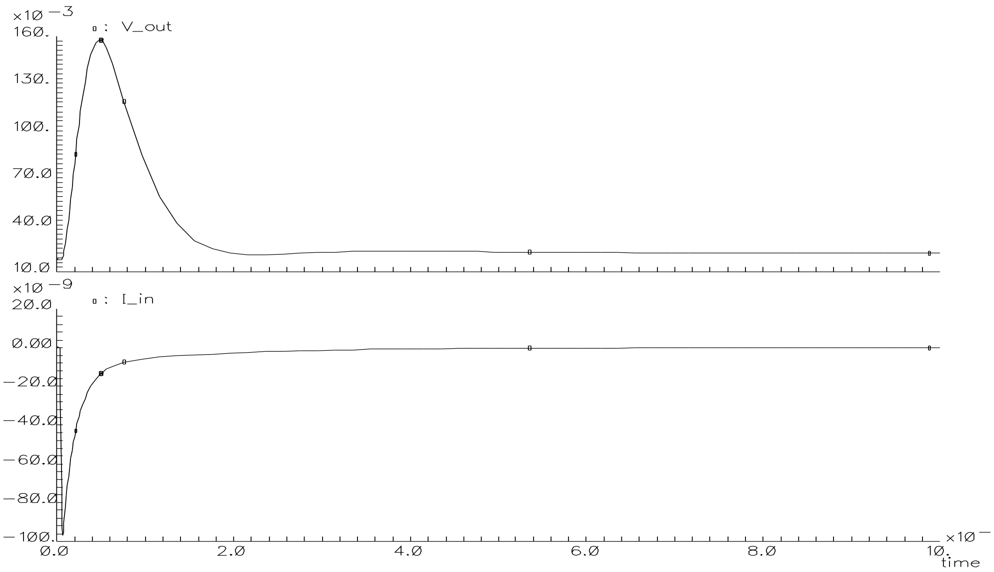


Abbildung 4.18: Antwort des „Tail-Cancellation"-Netzwerks auf ein Eingangssignal mit „Tail" (Spannung in $[mV]$, Strom in $[nA]$, Zeit in $[\mu s]$). Die untere Kurve zeigt den Eingangsstrom auf den Ladungsverstärker ($I(t) = I_0 \cdot e^{-\frac{t}{150\,\mathrm{ns}}} + \frac{1}{10} I_0 \cdot e^{-\frac{t}{1.5\,\mu\mathrm{s}}}$), die obere Kurve die Antwort des 2-stufigen Pulsformers.

Kapitel 5

Testergebnisse

Um die Ergebnisse der Simulation, die mit „SpectreS“ durchgeführt wurden zu überprüfen, wurden insgesamt drei Test-Chip-Reihen produziert, wobei jeder Chip jeweils acht Kanäle besitzt:

I. Ladungsverstärker in CMOS-Technologie:

   1) 4 Kanäle optimiert auf 12 pF Detektorkapazität mit unterschiedlichen Schutzstrukturen am Eingang inklusive eines „Tot-Kanals“, zur Untersuchung der internen Spannungen des Operationsverstärkers
   2) 4 Kanäle optimiert auf 20 pF Detektorkapazität mit ebenfalls unterschiedlichen Schutzstrukturen und „Tot-Kanal“

II. Ladungsverstärker und Pulsformer in CMOS-Technologie:

   1) 2 Kanäle nur mit Ladungsverstärker (optimiert auf 12 pF) mit unterschiedlichem Rückkoppelwiderstand
   2) 1 Kanal Ladungsverstärker-Pulsformer mit „Tail-Cancellation“ (1-stufiges Design)
   3) 1 Kanal Ladungsverstärker-Pulsformer *ohne* „Tail-Cancellation“ (2-stufiges Design)
   4) 1 Kanal Ladungsverstärker-Pulsformer *mit* „Tail-Cancellation“ (2-stufiges Design)
   5) 1 Kanal Ladungsverstärker-Pulsformer mit *digitaler* „Tail-Cancellation“ (2-stufiges Design)
   6) 1 Kanal Ladungsverstärker-Pulsformer *mit* „Tail-Cancellation“ (2-stufiges Design) ohne Digital-Schalter
   7) 1 „Tot-Kanal“ des 2-stufigen Designs zur genaueren Überprüfung der internen Spannungsknoten

III. Ladungsverstärker und Pulsformer in BiCMOS-Technologie:

   Kanalaufteilung wie in CMOS-Technologie (II.)
   (noch nicht getestet)

5.1 Der Ladungsverstärker in CMOS-Technologie

Die Chips der ersten Test-Reihe bestehen aus zwei leicht unterschiedlichen Versionen des Ladungsverstärkers. Die eine Version ist auf eine Detektorkapazität von 12 pF optimiert und hat einen Eingangstransistor mit einem Längen-zu-Breiten-Verhältnis von 6000:0.8. Die zweite Version ist optimiert auf eine Detektorkapazität von 20 pF und hat einen Eingangstransistor mit einem Längen-zu-Breiten-Verhältnis von 8400:0.8. Außerdem unterscheiden sich beide Versionen in ihrem Rückkoppelwiderstand, der durch zwei selbstkalibrierende Schaltkreise auf dem Chip festgelegt wird, d.h. sie unterscheiden sich sowohl in der Rückkehrzeit zur Ausgangslage als auch im Beitrag des parallelen Rauschens.

Für die Messung wurde der Chip durch ein Aluminium-Gehäuse vor äußeren elektromagnetischen Störungen geschützt. Die Kabelverbindungen zur Spannungsversorgung und zum Oszilloskop waren möglichst kurz und entweder abgeschirmt oder Koaxialleiter.

Bei ersten Meßversuchen wurden Test-Platine und Spannungsversorgung durch ein nicht abgeschirmtes Erdungskabel miteinander verbunden, was dazu führte, daß in den Meßsignalen vor allem Heidelberger UKW-Sender nachgewiesen werden konnten. Durch eine verbesserte Abschirmung konnte aber der äußere Einfluß so weit zurückgedrängt werden, daß eine Messung des Ladungsverstärkers durchgeführt werden konnte.

5.1.1 Pulsen des Injektionskondensators am Eingang

Neben dem eigentlichen Eingang des Ladungsverstärkers wurde auf dem Chip für jeden Kanal zusätzlich ein Injektionskondensator implementiert, der einen einfach zu generierenden Spannungspuls in ein Ladungssignal umwandelt.

Für die ersten Messungen wurde nur dieser Injektionskondensator angeschlossen und das Pad, das mit dem Gate des Eingangstransistors direkt verbunden ist, nicht auf die Testplatine „gebondet“ (nicht mit der Testplatine verdrahtet). Die somit gleichen Kanäle 1–3 waren die auf 12 pF optimierten; die Kanäle 4–6 waren auf 20 pF optimiert.

Dadurch konnte ein einfacher Rechteck-Spannungsgenerator als Pulsgenerator verwendet werden. Die Frequenz wurde auf ca. 3 Hz eingestellt, was bedeutet, daß sich der Ladungsverstärker bei jedem Puls wieder im Ausgangszustand befunden hat.

5.1.2 Der Verstärkungsfaktor

Als erstes wurde überprüft, ob die Polysilizium-Kondensatoren, deren Größe mit Hilfe des Computersimulators bestimmt wurden, die Realität wiedergeben. Designt wurde ein Verhältnis von $\frac{C_{inj}}{C_f} = \frac{0.44\,\mathrm{pF}}{1\,\mathrm{pF}}$.

Das Spannungssignal am Eingang (U_{in}) injiziert über den Injektionskondensator (C_{inj}) eine Ladung q_{in} in den Ladungsverstärker. Diese Ladung wird in ein Spannungssignal am Ausgang des Ladungsverstärkers umgewandelt, dessen Höhe (U_{out}) durch die Größe des Kondensators in der Rückkopplung des Ladungsverstärkers (C_f) bestimmt wird.

$$q_{in} = C_{inj}U_{in} = C_f U_{out} \Rightarrow \frac{U_{out}}{U_{in}} = \frac{C_{inj}}{C_f} = \begin{cases} 44\% & \text{simuliert} \\ 71\% & \text{gemessen} \end{cases}$$

Diese Diskrepanz ist äußerst unerfreulich, da so nicht klar ist, welche der beiden Kapazitäten vom Design-Wert abweicht. Beim Layout der beiden Kondensatoren wurde kein besonderer Wert auf ein bestimmtes Verhältnis der beiden Kapazitäten gelegt. Allein der Versuch, die vorhandene Chipfläche optimal auszunutzen, um die Kosten gering zu halten, hat an dieser Stelle das Layout bestimmt. Dies hat dazu geführt, daß der Rückkoppelkondensator nahezu quadratisch ist und der Injektionskondensator lang und sehr schmal. Man kann vermuten, daß durch das schmale Layout des Injektionskondensators dieser anfälliger für Randeffekte ist, und es so zu drastischen Abweichungen von den simulierten Werten kommen kann, wohingegen dies beim quadratischen Layout unwahrscheinlicher ist.

In Abbildung 5.1 ist die Oszilloskop-Anzeige für einen Eingangspuls von 6 mV zu sehen (Kurve 1).

Kurve 3 zeigt die Antwort des Ladungsverstärkers. Die Höhe der Spannungsstufe beträgt 4.28 mV. Daraus ergibt sich das schon erwähnte Spannungsverhältnis von 71%. Kurve 2 zeigt den Ausgang eines externen Pulsformers, der an den Ausgang des Ladungsverstärkers angeschlossen wurde.

5.1.3 Die Linearität des Ladungsverstärkers

Die Linearität des Ladungsverstärkers wurde gemessen, indem der von einem Pulsgenerator erzeugte Spannungspuls durch einen diskreten Widerstandsteiler nacheinander auf die Injektionseingänge der Ladungsverstärker-Kanäle 1–3 gegeben (12 pF Version) und dann die Größe der Spannungstufe am Oszilloskop abgelesen wurde ($V_{out} = V_{out}(V_{in})$). In Abbildung 5.2 wurde dann die äquivalente Eingangsladung gegen die gemessene Höhe der Spannungsstufe aufgetragen.

Die äquivalente Eingangsladung wurde aus dem Eingangsspannungspuls berechnet unter der Annahme, daß die Kapazität im Rückkoppelzweig dem Wert in der Simulation entspricht und sich nur die Injektionskapazität geändert hat (siehe dazu die Bemerkung in Abschnitt 5.1.2), das heißt einem Wert von 710 fF entspricht ($q_{in} = 710\,\mathrm{fF} \cdot V_{in}$).

Wie aus der Grafik ersichtlich ist, zeigt der Ladungsverstärker im untersuchten Bereich eine gute Linearität. Sie beträgt im Bereich bis 350 fC etwa 2%.

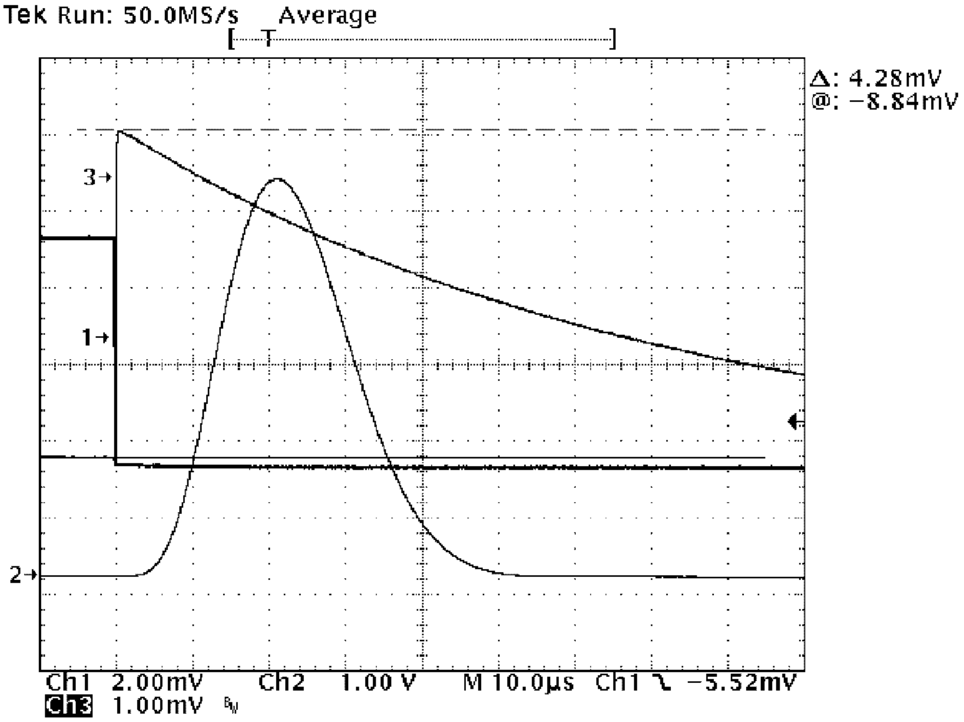


Abbildung 5.1: Typischer Input und Output des Ladungsverstärkers

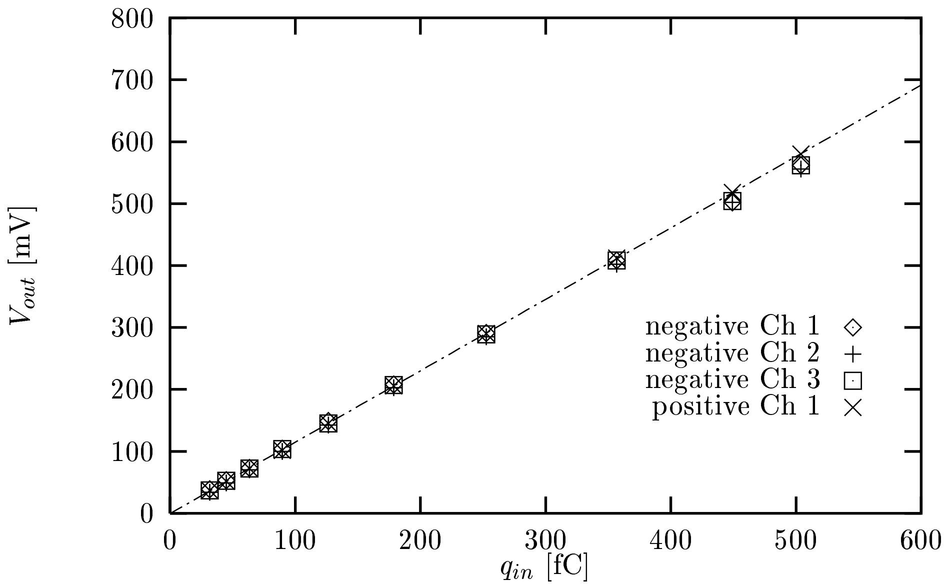


Abbildung 5.2: Linearität des Ladungsverstärkers (12 pF Version) mit negativem und positivem Eingangssignal

Neben den Messungen mit negativer Eingangsladung wurde auch eine Messung mit positiver Ladung durchgeführt. Der Widerstand in der Rückkopplung ist bei einem solchen Betrieb dieses Ladungsverstärkers sehr groß, da sich dabei Drain und Source des Transistors vertauschen und das Gate-Potential den falschen Wert hat. Aber auch bei diesem Betrieb zeigt der Ladungsverstärker eine gute Linearität, die sogar etwas besser erscheint, da die Entladung des Kondensators, schon während der Integration, geringer ist.

5.1.4 Das Rauschen (ENC) des Ladungsverstärkers

Das Rauschen des Ladungsverstärkers wurde gemessen wie im Abschnitt 3.4.3 geschildert, d.h. es wurde ein externer Pulsformer mit variabler „Shaping“-Zeit an den Ausgang des Ladungsverstärkers angeschlossen und bei einer gegebenen „Shaping“-Zeit sowohl der Verstärkungsfaktor des Gesamtsystems als auch die quadratische Rauschspannung (RMS) bestimmt.

Der Verstärkungsfaktor ist der Quotient aus Größe der Spannungsamplitude des externen Pulsformers zur Menge der deponierten Ladung am Eingang des Ladungsverstärkers, die wie im Abschnitt zuvor berechnet wurde (in $\frac{mV}{fC}$).

Die Wurzel aus der quadratischen Rauschspannung konnte direkt am Oszilloskop abgelesen werden. Sie wurde bei gegebener „Shaping“-Zeit und ohne Eingangssignal abgelesen.

In Abbildung 5.3 wurde statt der „Shaping“-Zeit die gemessene Anstiegszeit (τ_{peak}) aufgetragen.

Die „Equivalent Noise Charge“ (ENC) berechnet sich dann:

$$\mathrm{ENC} = \frac{V_{\mathrm{RMS}}}{\mathrm{Gain}} \cdot \frac{1}{q_e} \qquad ; \qquad q_e = \text{Elementarladung}$$

Bei der Kurve im selbst-kalibrierten Betrieb („self-biased“) ist schön der erwartete lineare Anstieg des Rauschens mit der „Shaping“-Zeit zu sehen, der durch das parallele Rauschen verursacht wird ($\mathrm{ENC}_{\mathrm{parallel}} \propto \sqrt{\frac{\tau_s}{R_f}}$). Bei sehr kleinen „Shaping“-Zeiten ist das thermische Rauschen des Eingangstransistors dominierend ($\mathrm{ENC}_{\mathrm{serial}} \propto \sqrt{\frac{1}{\tau_s}}$). Wie die Kurve zeigt, waren die Bemühungen, das erwartete thermische Rauschen zu minimieren sehr erfolgreich, da bei mehr als $3\mu s$ Anstiegszeit dessen Beitrag gegenüber dem parallelen Rauschen vernachlässigt werden kann. Allerdings werden für den Einsatz in der TPC geringere Anstiegszeiten verlangt, die mit dem entwickelten Pulsformer erreicht werden können, nicht aber mit dem für diese Messung zur Verfügung stehenden externen Pulsformer.

Um eine Abschätzung für das 1/f-Rauschen zu bekommen, wurden sowohl die 12 pF-Version als auch die 20 pF-Version zusätzlich mit einem künstlich sehr großen Rückkoppelwiderstand gemessen. Dazu wurde das Gate des Rückkoppel-Transistors extern auf ein höheres Potential gesetzt („pinched“, -1.6 V statt

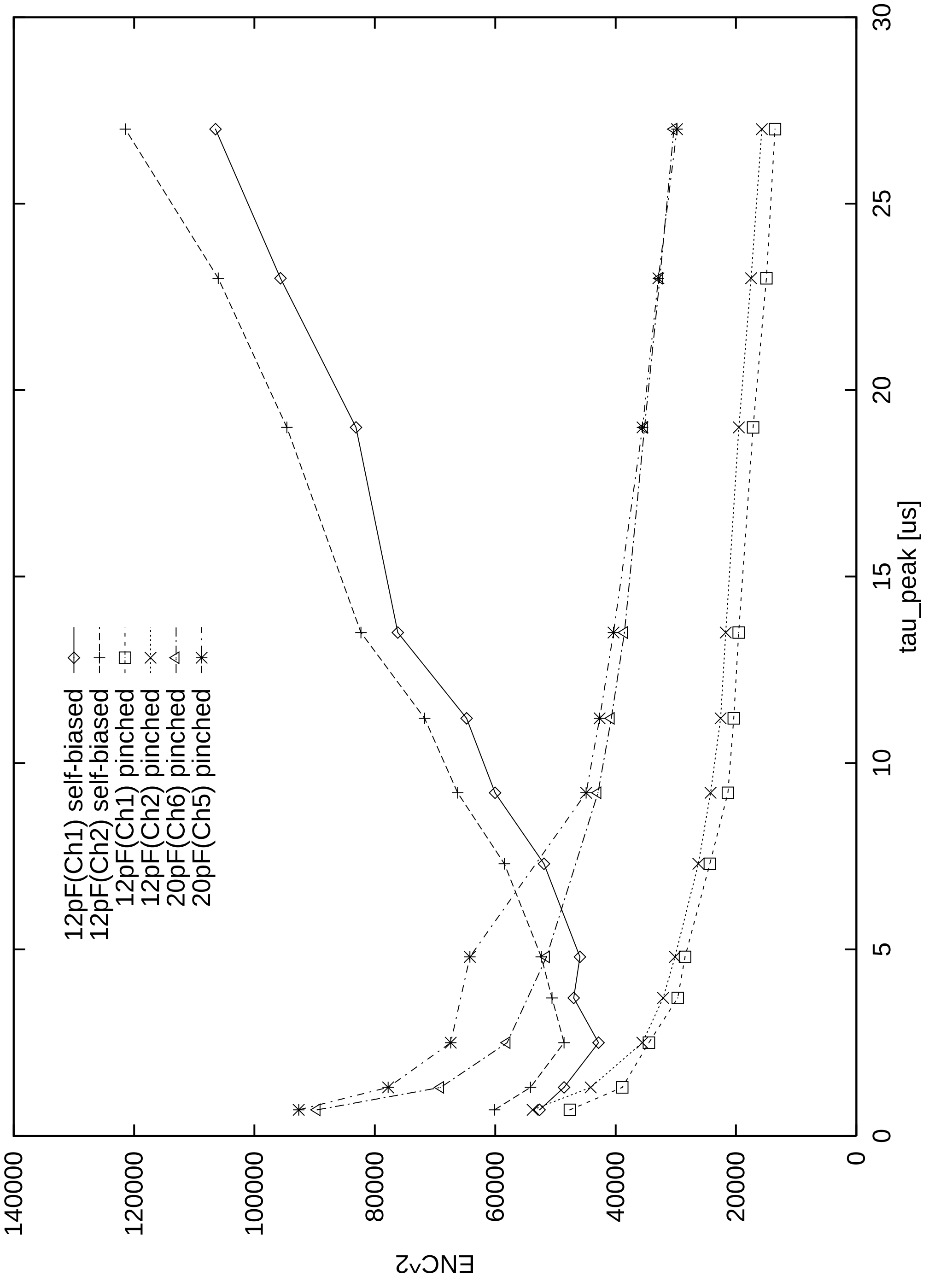


Abbildung 5.3: Das Rauschen des Ladungsverstärkers (ENC) bei unterschiedlichen „Shaping"-Zeiten. Tatsächlich wurde das Quadrat des Rauschens aufgetragen, um die Proportionalitäten ($\mathrm{ENC}^2_{\mathrm{parallel}} \propto \tau_s$; $\mathrm{ENC}^2_{\mathrm{seriell}} \propto \frac{1}{\tau_s}$) deutlicher zu machen. Statt der „Shaping"-Zeit wurde die meßbare Anstiegszeit aufgetragen, die aber direkt proportional zur „Shaping"-Zeit ist.

-2.0 V selbst-kalibriert). Das parallele Rauschen spielt dann keine Rolle mehr, und man kann beobachten, wie das Rauschen, entsprechend der Erwartung für das thermische Rauschen, mit $\sqrt{\frac{1}{\tau_{\text{peak}}}}$ abfällt. Das 1/f-Rauschen ist unabhängig von τ_{peak} und liegt bei etwa 100 bzw. 150 Elektronen. Das thermische Rauschen liegt bei $\tau_{\text{peak}} = 27\mu s$ bei etwa 120 bzw. 180 Elektronen.

Die 20 pF-Version konnte nicht im selbst-kalibrierten Zustand gemessen werden, da hier der Rückkoppelwiderstand kleiner designt wurde und der externe Pulsformer mit diesem daraus folgenden schnelleren Signalabfall nicht zurechtkam.

5.1.5 Die Entladung des Integrationskondensators

Ein positiver Nebeneffekt bei der Verwendung eines MOS-Transistors statt eines reellen Widerstandes zur Entladung des Integrationskondensators ist, daß bei sehr großen Eingangssignalen die Abfallszeit sinkt, d.h. der Vorverstärker schneller wieder in seinen Ausgangszustand zurückkehrt (vergleiche Abschnitt 4.1 ~`

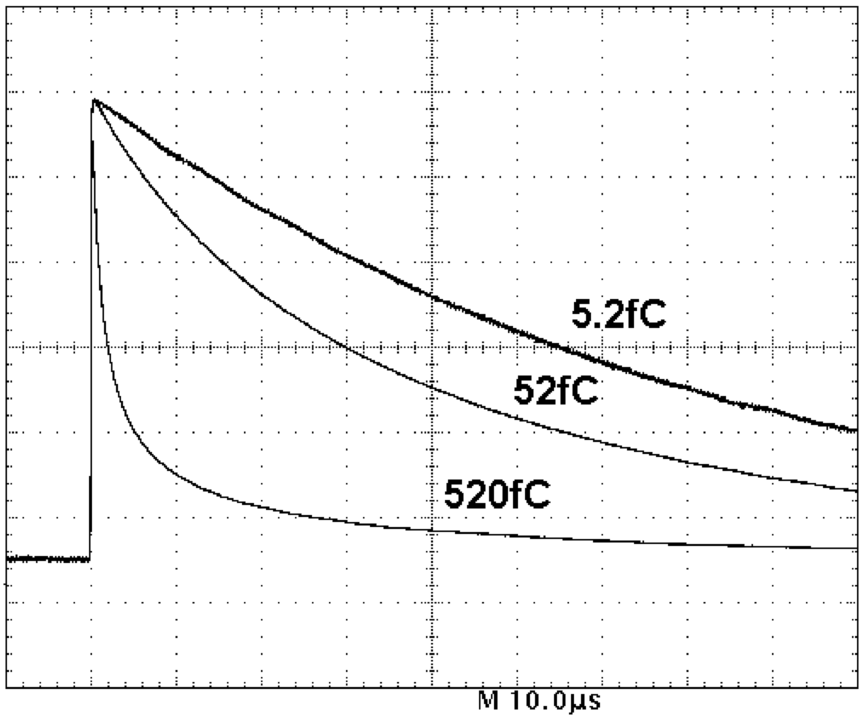


Abbildung 5.4: Auf gleiche Amplitude skalierte Entladung des Vorverstärkers bei verschiedenen Eingangsladungen

In Abbildung 5.4 ist die Antwort des Ladungsverstärkers auf unterschiedlich große Eingangssignale zu sehen. Die Kurven wurden dabei auf gleiche Amplitude skaliert, so daß ein Vergleich der Entladungszeiten leicht möglich ist. Wie man sieht, erfolgt die Entladung bei großen Eingangssignalen schneller als bei kleineren Eingangssignalen. Dies ist wie besprochen eine Folge der Nichtlinearität des Rückkoppeltransistors im Ladungsverstärker. Inwieweit diese Variation der Zeitkonstante Einfluß auf das pulsgeformte Signal hat, bzw. inwieweit dieser Einfluß unterdrückt werden kann, ist in Abschnitt 5.2.6 („Überprüfung der adaptiven Pol-Nullstellen-Kompensation“) beschrieben.

5.2 Der Ladungsverstärker und Pulsformer in CMOS-Technologie

Bei der Produktion der zweiten Test-Chip-Reihe zeichnete sich ab, daß die Kapazität der TPC im Bereich von 12 pF liegen wird, so daß für die zweite Reihe diese Ladungsverstärker-Version verwendet wurde.

Die Erfahrungen in Bezug auf Abschirmung des Meßaufbaus, die in der ersten Test-Chip-Reihe gesammelt wurden, haben geholfen, die Messungen an diesem Chip rasch durchzuführen.

Erste Tests ergaben, daß die digitalen Schalter keinen meßbaren negativen Einfluß auf den Betrieb des Pulsformers haben, so daß im folgenden auf die Pulsformer-Version ohne Digital-Schalter mit einer festen „Shaping“-Zeit nicht weiter eingegangen wird.

5.2.1 Ladungsverstärker-Pulsformer *ohne* „Tail-Cancellation“ (nur Stufe 1 im 2-stufigen Design)

Da das 2-stufige Design die am vielversprechendsten Ergebnisse erwarten läßt, wurden die Messungen damit begonnen. Um die einzelnen Funktionselemente des Pulsformers besser untersuchen zu können, wurde von dem 2-stufigen Design auch eine Version submittiert, die nur die erste Stufe enthält.

Diese Version des Pulsformers hat insgesamt sechs digitale Schalter, mit denen man an verschiedenen Stellen Kondensatoren und Widerstände zum Schaltkreis hinzufügen kann, um unterschiedliche „Shaping“-Zeiten zu erzielen.

Da aber nicht alle der $2^6 = 64$ Kombinationen sinnvoll sind, war das erste Ziel, wenige „gute“ Kombinationen zu finden, die möglichst den gesamten zugänglichen Bereich an „Shaping“-Zeiten abdecken.

Eine „gute“ Kombination zeichnet sich vor allem durch einen möglichst symmetrischen Ausgangspuls aus. In Tabelle 5.1 sind die besten Schalterkombinationen zusammen mit der entsprechenden Anstiegszeit des Pulses (peaking time) aufgetragen.

In Abbildung 5.5 ist der Ausgangspuls bei einigen dieser Schalterstellungen zu sehen. Das Eingangssignal entsprach dabei einem Delta-Ladungspuls von 78 fC.

Swd_1	Swd_2	Swd_3	Swc	Swq	Swr	τ_{peak}
0	0	0	0	0	1	150 ns
0	0	0	0	1	0	210 ns
1	0	0	0	0	0	300 ns
1	1	1	1	0	1	340 ns
1	1	1	1	1	0	465 ns

Tabelle 5.1: „Gute“ Schalterkombinationen für den Betrieb des Pulsformers. Die Lage der einzelnen Schalter ist im Schaltplan in Anhang A.1 zu sehen.

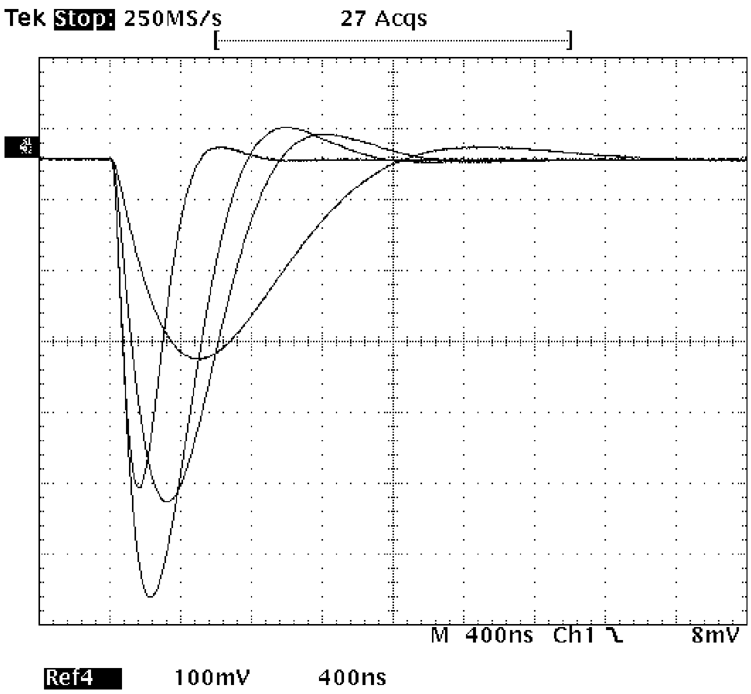


Abbildung 5.5: Verschiedene „Shaping“-Zeiten des Pulsformers bei ausgewählten Digital-Schalter-Stellungen

Für die Rekonstruktion des Signals nach der Digitalisierung ist wichtig zu wissen, ob die Anstiegszeit des Pulsformers von der Größe des Eingangssignals abhängt. Dazu wurden in Abbildung 5.6 diese beiden Größen gegeneinander bei verschiedenen Schalterkombinationen aufgetragen. Aus dieser Grafik kann man entnehmen, daß bei einem Eingangssignal im Bereich 50 fC $< q_{in} <$ 100 fC die „Shaping"-Zeit langsam ansteigt, was durch Aufladungseffekte der bei der Pulsformung beteiligten Kondensatoren erklärt werden kann. Unterhalb von 50 fC, dem dynamischen Bereich der CERES-TPC, zeigt der Pulsformer ein gutes, konstantes Verhalten.

Neben der Konstanz der „Shaping"-Zeit ist natürlich auch die Linearität ein wichtiges Kriterium. In Abbildung 5.7 wurde deswegen die Größe des Ausgangsspannungspulses gegen die injizierte Ladung am Eingang des Ladungsverstärkers aufgetragen. Hier kann man beobachten, daß die Linearität vor allem durch die Größe des Ausgangsspannungspulses limitiert ist. Wenn die Pulshöhe 1 V übersteigt, erreicht der Pulsformer an internen Spannungsknoten, die mit dem Puls mitschwingen, die Grenze, welche durch die Spannungsversorgung vorgegeben wird ($V_{DD} = +2\,V$; $V_{SS} = -3\,V$). Im Operationsverstärker existiert dann nicht mehr das Potentialgefälle, das nötig wäre, um eine lineare Antwort auf das Eingangssignal zu liefern.

5.2.2 Ladungsverstärker-Pulsformer *mit* „Tail-Cancellation" (2-stufiges Design)

Wie in Abschnitt 4.2.5 beschrieben, enthält diese Version neben dem Ladungsverstärker-Pulsformer noch einen OPV mit Pol-Nullstellen-Kompensations-Netzwerk. Dieser „Tail-Cancellation"-Schaltkreis enthält zusätzlich eine analoge und eine digitale Steuerleitung.

Die digitale Steuerleitung dient dazu, die Verstärkungsleistung dieses dritten OPV in zwei Stufen zu regulieren, ohne die Pulsform zu beeinflussen (Abbildung 5.8). Dies erlaubt es, zusammen mit der Gasverstärkung der TPC und dem Abgleich des im Signalfluß folgenden Analog-Digital-Konverters (ADC) das Zusammenspiel von Auflösung, Rauschen und Stabilität des Detektors zu optimieren. Die folgenden Tests wurden bei der größeren Verstärkung durchgeführt.

Der analoge Schalter dient zur Regulierung des Pol-Nullstellen-Kompensations-Netzwerks. Diese Steuerleitung legt das Potential am Gate des Transistors fest, welcher als Widerstand im Pol-Nullstellen-Kompensations-Netzwerk die einzufügenden Nullstelle mitbestimmt, ohne die Größe des Pols zu beeinflussen. Dies bedeutet, daß mit dieser Steuerleitung ein Pol im Detektorsignal (exponentieller Abfall mit großer Zeitkonstante) durch die veränderbare Nullstelle zuverlässig unterdrückt werden kann, ohne die gewünschte Signalform am Ausgang nachhaltig zu beeinflussen.

In Abbildung 5.9 ist die Antwort dieser Schaltkreis-Version bei unterschiedlichen Potentialen an der analogen Steuerleitung bei einem Delta-Eingangspuls

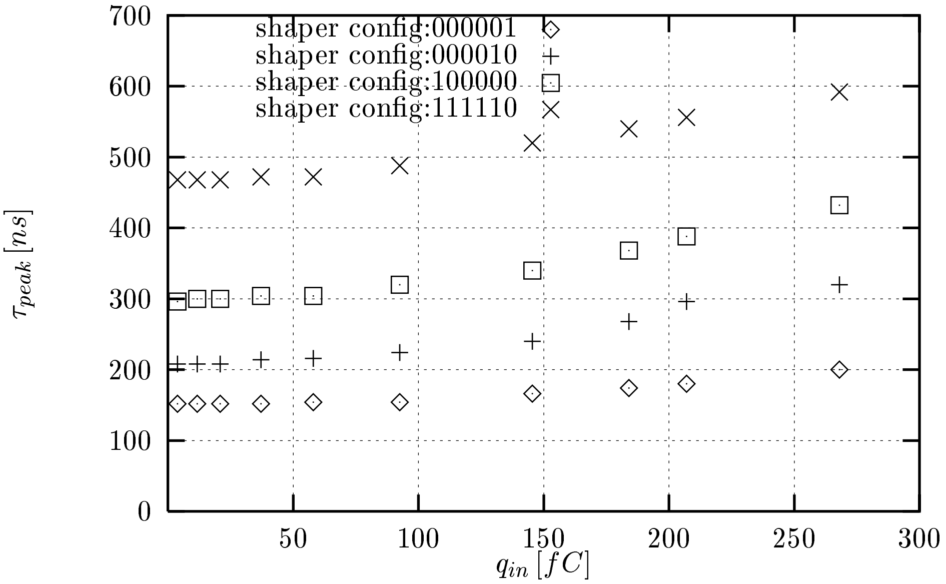


Abbildung 5.6: Anstiegszeit des Pulsformers (nur Stufe 1 im 2-stufigen Design) in Abhängigkeit der Größe des Eingangssignal bei verschiedenen Betriebskonfigurationen.

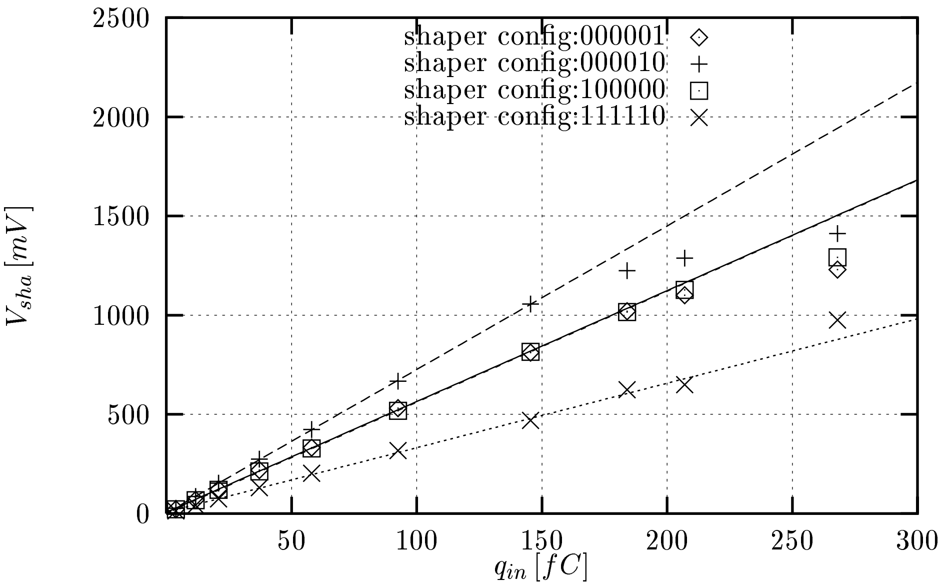


Abbildung 5.7: Linearität des Pulsformers (nur Stufe 1 im 2-stufigen Design) bei verschiedenen Schalterkonfigurationen. Wie man sieht, ist der dazugehörige Operationsverstärker in der Lage, linear eine Ausgangsspannung bis zu ca. 1 V zu erzeugen; darüberhinaus verliert der Pulsformer durch fehlende Treibermöglichkeiten in dieser Stufe an Linearität.

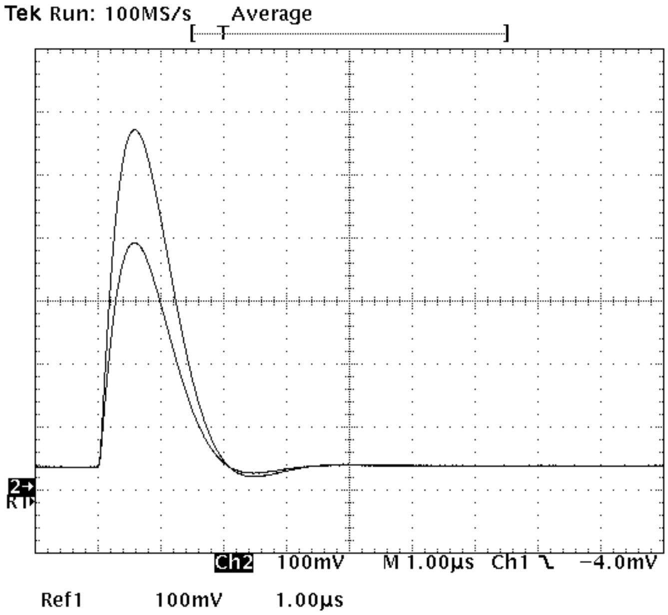


Abbildung 5.8: Das Signal am Ausgang des „Tail-Cancellation"-Netzwerks bei den beiden Stellungen des zusätzlichen Digital-Schalters (q_{in} = 26.5fC). Damit kann der Verstärkungsfaktor am dritten OPV in zwei Stufen gewählt werden.

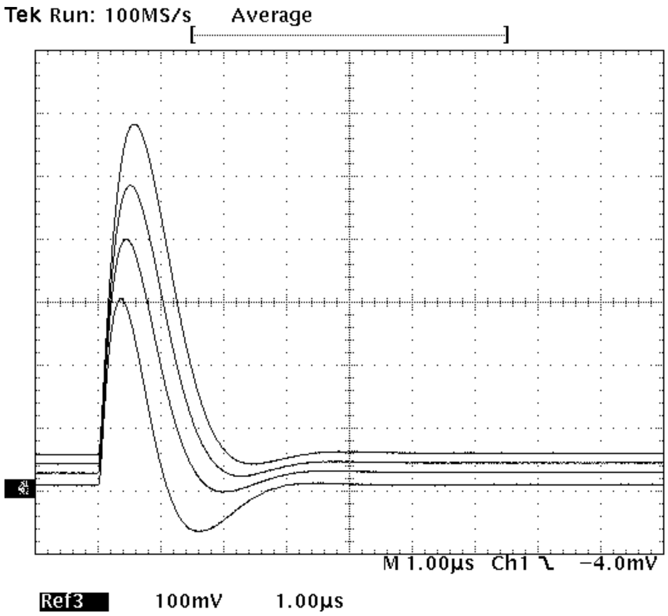


Abbildung 5.9: Variation der Nullstelle durch das „Tail-Cancellation"-Netzwerk (q_{in} = 26.5fC; $V_{\text{tail}} = -2.4, -2.6, -2.8, -3.0\,V$ von unten nach oben)

zu sehen. Die variable Nullstelle im Signal macht sich hier durch einen Unterschwinger bemerkbar, weil der Delta-Puls am Eingang keinen Pol enthielt. Die Größe dieses Unterschwingers ist aber sehr gut einstellbar, was für einen optimalen Betrieb am Detektor wichtig ist (vergl. auch mit den Simulationsergebnissen in den Abbildungen 4.17 und 4.18). Dadurch ist dieser Schaltkreis in der Lage, auch dann optimal zu funktionieren, wenn die Größe des „Tails" sich von der theoretischen Erwartung unterscheidet. In Abbildung 5.10 wurde nun statt eines Delta-Pulses ein Signal am Ladungsverstärker induziert, wie es erwartungsgemäß auch von der CERES-TPC produziert werden wird. Von Interesse war dabei vor allem, ob es durch Feinjustierung möglich ist, den „Tail" des Signals zu unterdrücken, d.h. ob das Ausgangs-Signal deutlich vor dem Eingangs-Signal wieder in die Ruhelage zurückgekehrt ist.

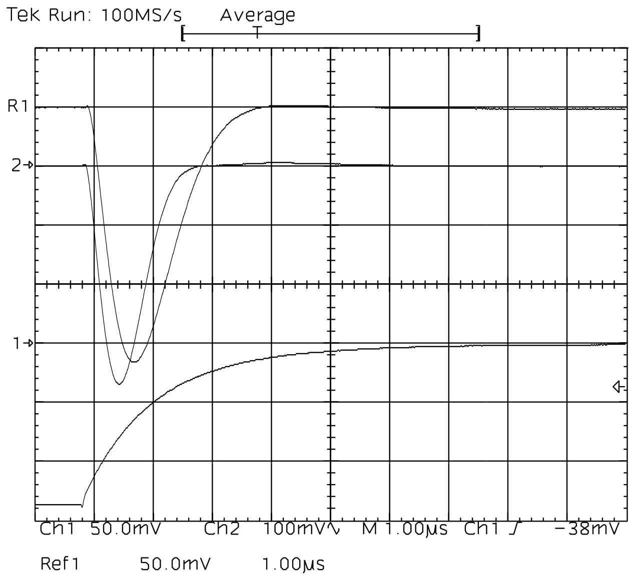


Abbildung 5.10: Dieses Bild zeigt den direkten Vergleich zwischen der Pulsformer-Antwort bei einem Delta-Eingangspuls (Kurve 2) und der Antwort bei einem Eingangspuls, wie er von der CERES-TPC voraussichtlich erzeugt werden wird (Kurve R1). Kurve 1 zeigt den zeitlichen Verlauf der integrierten Ladungsmenge, wie sie in den Ladungsverstärker injiziert worden ist.

Durch die Verteilung der zu integrierenden Ladungsmenge auf einen größeren Zeitraum vergrößert sich auch die Anstiegszeit des Pulsformers. Die Pulsform bleibt aber symmetrisch und ist schon deutlich vor dem Ende der Ladungsdeposition auf dem Ladungsverstärker wieder auf sein Ruhepotential zurückgekehrt. Das „Tail-Cancellation"-Netzwerk ist also in der Lage, den langsamen „Tail" des Eingangssignals herauszufiltern, ohne negativen Einfluß auf die Pulsform zu nehmen.

Ebenso wie für die Version ohne „Tail-Cancellation"-Netzwerk wurde auch die Stabilität der „Shaping"-Zeit (Abbildung 5.11) als auch die Linearität des kompletten Netzwerks (Abbildung 5.12) untersucht.

Das Potential an der analogen Steuerleitung V_{tail} wurde so gewählt, daß das Ausgangssignal keinen Unterschwinger enthielt. Wie die beiden o.g. Abbildungen zeigen, ist das Ergebnis dieser Untersuchung überaus erfreulich: In dem für die CERES-TPC interessanten Bereich ($q_{in} \leq 35\,\mathrm{fC}$) ist die Anstiegszeit der Ladungsverstärker-Pulsformer-Kette praktisch konstant, und die Größe der Ausgangsamplitude verhält sich linear zur induzierten Eingangs-Ladung (etwa 2% für $q_{in} \leq 35\,\mathrm{fC}$).

5.2.3 Ladungsverstärker-Pulsformer mit *digitaler* „Tail-Cancellation“ (2-stufiges Design)

Neben der „analogen“ Methode den unerwünschten Signalschwanz zu unterdrücken, wurde auch eine „digitale“ Methode getestet. Digital bedeutet in diesem Fall, daß statt eines MOS-Transistors ein Netzwerk aus Polysilizium-Widerständen eingesetzt wurde, um die Nullstelle im Pol-Nullstellen-Kompensations-Netzwerk zu erzeugen. In diesem Netzwerk können durch digitale Schalter mehrere Widerstände hinzugeschaltet werden, so daß sich die Zeitkonstante zu größeren Zeiten hin verschiebt. Der Vorteil dieser Art der Nullstellen-Einstellung ist das lineare Verhalten der Polysiliziumwiderstände im Gegensatz zu MOS-Transistoren.

In Abbildung 5.13 ist die gemessene Antwort dieses Netzwerks auf einen Delta-Ladungspuls zu sehen. Die oberste Kurve zeigt die Antwort, wenn alle Widerstände durch Schalter überbrückt werden. In diesem Fall wird keine „Tail-Cancellation“ durchgeführt.

In den Kurven darunter wurde immer jeweils ein weiterer Widerstand hinzugeschaltet. Wie man sieht, konnte durch diese Methode das Ziel eines konstanteren Verstärkungsfaktors erreicht werden. Die Variation in der Verstärkung ist geringer als bei der analogen „Tail-Cancellation“ (Abbildung 5.9). Leider ist aber die Form des Ladungssignals, wie es von der CERES-TPC geliefert werden wird, nicht sehr genau bekannt. Deshalb ist nach Inbetriebnahme der TPC eine Feineinstellung notwendig, die bei dieser digitalen Lösung nicht genau genug vorgenommen werden kann. Die Unterteilung in verschiedene Zeitkonstanten ist zu grob. Eine feinere Unterteilung würde aber sehr viel Chipfläche verschlingen. Schon bei dieser Version hat die digitale „Tail-Cancellation“ einen deutlich größeren Platzbedarf als die analoge Version.

5.2.4 1-stufiger Ladungsverstärker-Pulsformer

Neben der 2-stufigen Pulsformer-Version wurde auch die 1-stufige Lösung submittiert. Das Einstellen der „Tail-Cancellation“ geschieht bei dieser Version durch Variation des Gate-Potentials am Transistor R_t in Abbildung 4.14. Die Antwort der 1-stufigen Version auf einen Delta-Ladungspuls bei unterschiedlichen Potentialen an R_t ist in Abbildung 5.14 zu sehen.

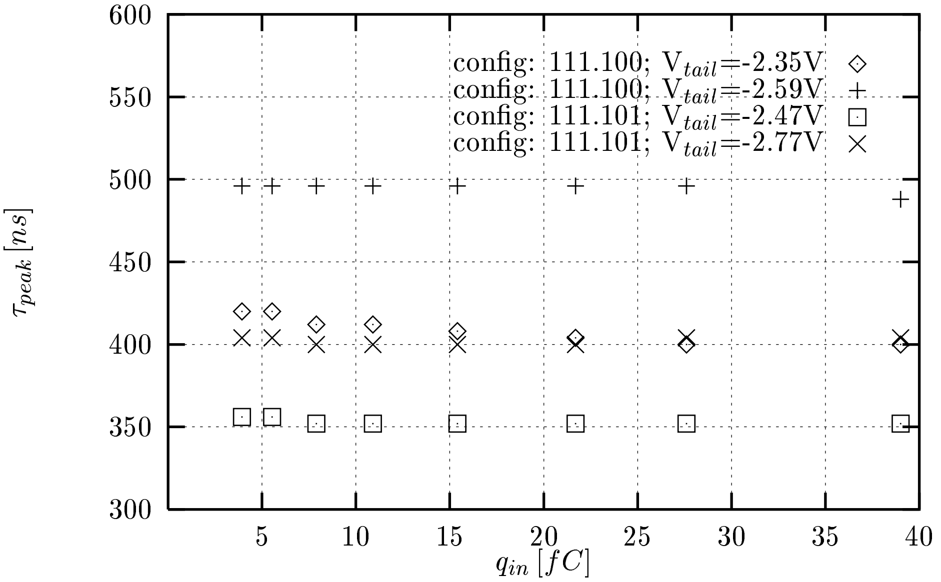


Abbildung 5.11: Anstiegszeit des Pulsformers mit „Tail-Cancellation“(beide Stufen im 2-stufigen Design) in Abhängigkeit der Größe des Eingangssignals bei verschiedenen Betriebskonfigurationen.

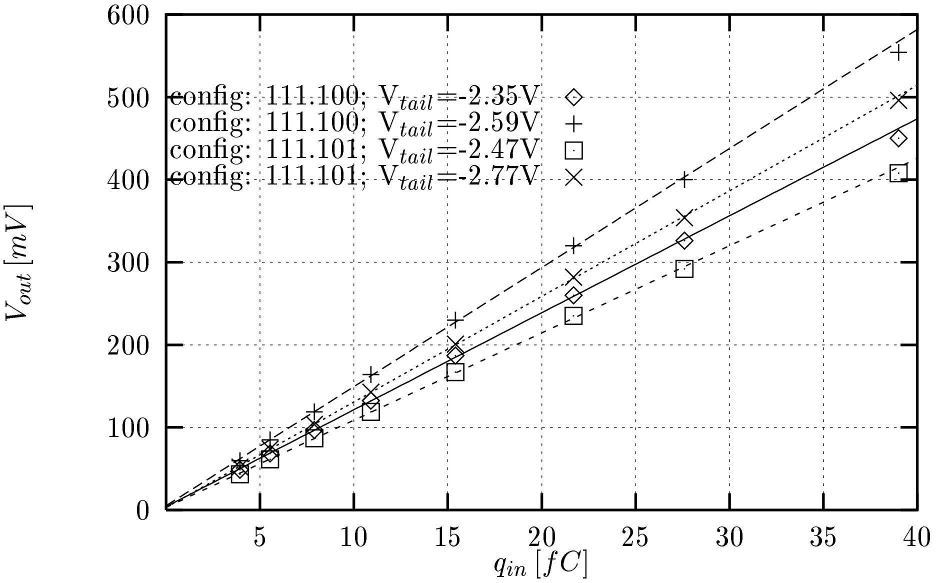


Abbildung 5.12: Linearität des Pulsformers mit „Tail-Cancellation“(beide Stufen im 2-stufigen Design) in Abhängigkeit der Größe des Eingangssignal bei verschiedenen Betriebskonfigurationen. Bis zu etwa 40 fC Eingangssignal ist eine gute Linearität zu beobachten.

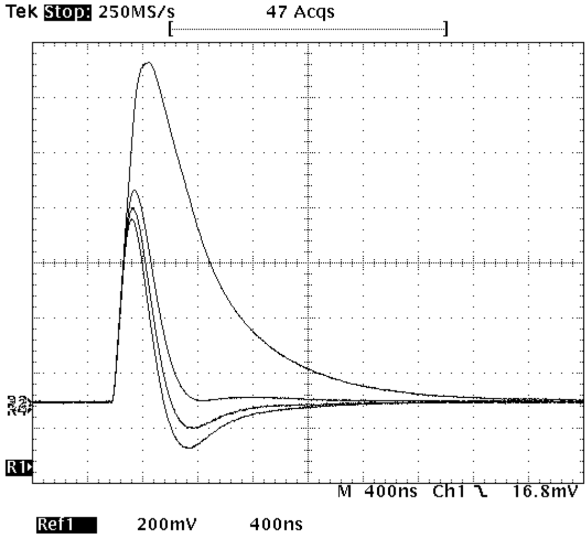


Abbildung 5.13: Antwort des Ladungsverstärker-Pulsformers mit *digitaler* „Tail-Cancellation" auf einen Delta-Ladungspuls bei unterschiedlichen Schalterstellungen im „Tail-Cancellation"-Netzwerk. Von oben nach unten wurde jeweils die Zeitkonstante der Nullstelle vergrößert, indem ein weiterer Polysilizium-Widerstand in Serie geschaltet wurde.

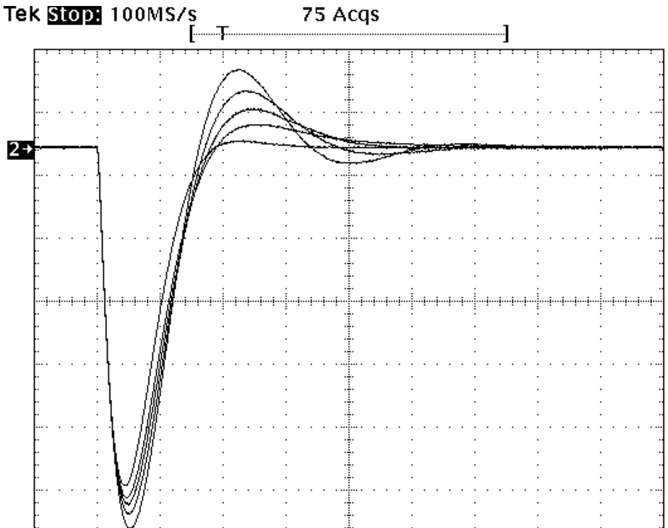


Abbildung 5.14: Demonstration des „Tail-Cancellation"-Features in der 1-stufigen Pulsformer-Version. Die Eingangsladung betrug 35 fC und wurde delta-förmig injiziert. Die Anstiegszeit des Pulses beträgt etwa $500ns$; die Abfallszeit etwa $1\mu s$.

Auffällig bei dieser Version ist die geringe Abhängigkeit des Ausgangssignals von der Größe der „Tail-Cancellation“. Dies ist definitiv ein Vorteil dieser Pulsformer-Version. Wird jedoch die Zeitkonstante sehr groß gewählt, kommt es nach dem Hauptpuls zu kleinen Oszillationen. Die Qualität der Pulsform erscheint vor allem bei der großen „Shaping“-Zeit nur geringfügig schlechter als die der 2-stufigen Version zu sein. Deutlich geringer ist allerdings der Gesamt-Verstärkungsfaktor. Dies liegt natürlich daran, daß es in diesem Design einen Operationsverstärker weniger als in der 2-stufigen Version gibt.

Die bisherigen Messungen, die für die 1. Stufe des 2-stufigen Pulsformer-Designs gemacht wurden, können auf diese Version übertragen werden, da diese beiden Versionen praktisch identisch sind.

5.2.5 Das Rauschen des Ladungsverstärker-Pulsformers

Das Rauschen der „Front-End“-Elektronik ist von grundlegender Bedeutung bei der Entscheidung der Frage, welcher Verstärkungsfaktor in der TPC notwendig ist, um die erforderliche Auflösung zu erhalten.

Die Messung des elektronischen Rauschens ist eine heikle Angelegenheit, da man vermeiden muß, durch äußere elektro-magnetische Einflüsse gestört zu werden. Deshalb wurde für diese Messung der erfolgreiche Aufbau für die Messung des Rauschens der reinen Ladungsverstärker-Version übernommen. Auf den externen Pulsformer konnte nun verzichtet werden. Stattdessen wurde das ausgehende Signal von einem externen, linearen Verstärker noch einmal um ca. einen Faktor 100 verstärkt und die Abschirmung und Erdung der Zuleitungen so weit verbessert, bis eine Änderung im externen Verstärkungsfaktor sich linear in einer Änderung der gemessenen Rauschspannung niedergeschlagen hat. Man kann nun also davon ausgehen, daß die gemessene Rauschspannung ihren Ursprung im Ladungsverstärker-Pulsformer-Chip hat.

Zuerst wurde das Rauschen nach der 1. Stufe der 2-stufigen Pulsformung gemessen: In Abbildung 5.15 ist das Rauschen in ENC gegen die gemessene Anstiegszeit des Pulsformers aufgetragen. Die ENC berechnetet sich, wie in Abschnitt 3.4.3 besprochen, aus dem Verhältnis der gemessenen Rauschspannung zum Gesamt-Verstärkungsfaktor. Die Größe des Fehlers ergibt sich aus der Bestimmung der Rauschspannung am Ausgang. Diese wird mit einem digitalen Oszilloskop ermittelt und schwankt um ca. 1 mV. Zusätzlich zu den Meßpunkten sind die theoretischen Erwartungen für serielles Rauschen ($\propto \tau_{\mathrm{peak}}^{-1/2}$), paralleles Rauschen ($\propto \tau_{\mathrm{peak}}^{+1/2}$), 1/f-Rauschen (unabhängig von τ_{peak}) und die Summe der drei Rauschbeiträge aufgetragen. Die Notwendigen Informationen zur Bestimmung der theoretischen Kurven wurden aus den Design-Parametern des Chips und den Prozeß-Parametern, wie sie vom Hersteller des Chips (Austria Mikrosysteme) übermittelt wurden, übernommen. Wie man feststellen kann, stimmen theoretische Erwartung und das Ergebnis der Messung innerhalb der Fehlertoleranzen überein.

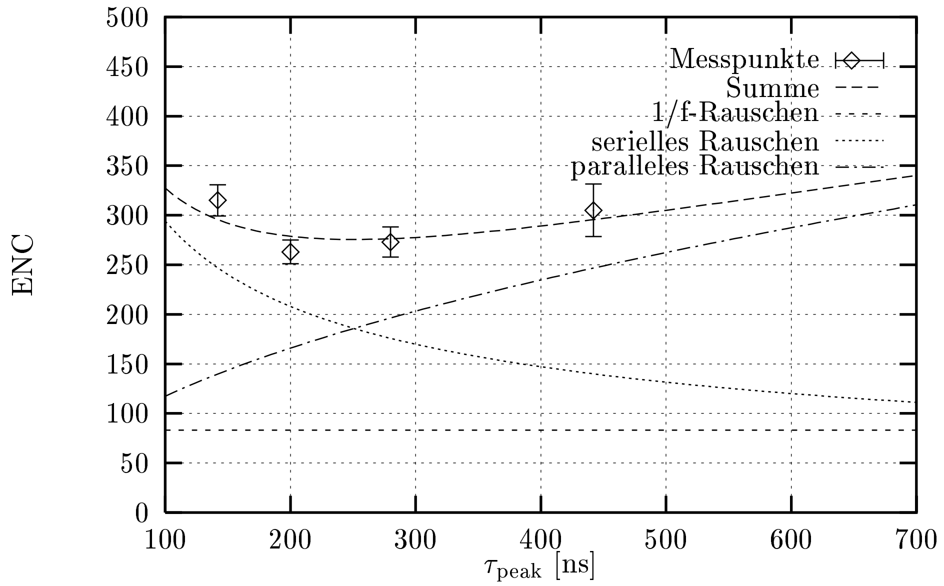


Abbildung 5.15: Das Rauschen des Ladungsverstärker-Pulsformers (nach der 1. Stufe) in Abhängigkeit der Anstiegszeit. Die gemessenen Werte werden mit der theoretischen Erwartung verglichen.

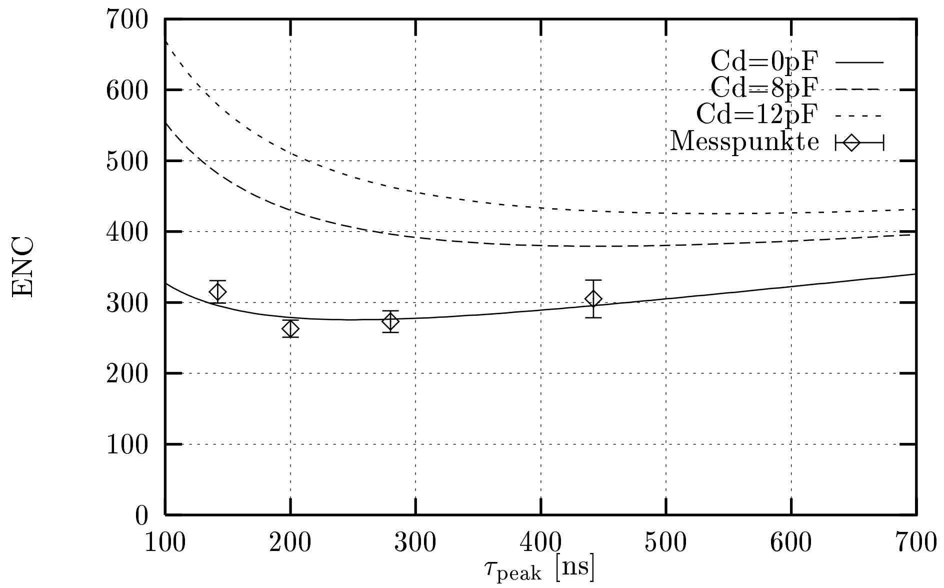


Abbildung 5.16: Das Rauschen wurde im Labor ohne Detektorkapazität gemessen. Dieses Bild zeigt, den erwarteten Anstieg des Rauschens bei Anstieg der Detektorkapazität und die jeweils optimale Anstiegszeit (Rauschminimum).

Dies sollte es erlauben, einen Schritt weiter zu gehen. Die Messung wurde im Labor ohne Detektor vorgenommen. Optimiert wurde der Chip aber für eine Detektorkapazität von ca. 12 pF. In Abbildung 5.16 ist eine Projektion auf eine Detektorkapazität von 8 pF und 12 pF zu sehen. Erwartungsgemäß steigt das Rauschen mit der Detektorkapazität an. Dieser Anstieg ist aber aufgrund der Optimierung moderat. Wie aus der 12 pF-Kurve ersichtlich ist, liegt das Minimum des Rauschens in dieser Projektion bei einer Anstiegszeit von ungefähr 520 ns. Dies ist auch der Bereich, in dem dieser Chip höchstwahrscheinlich auch an der CERES-TPC betrieben werden wird. Außerdem kann man der Kurve entnehmen, daß gemäß den Design-Voraussetzungen die Kurve in diesem Bereich flach verläuft, was eine Änderung in der Anstiegszeit erlaubt, ohne Einbußen beim Signal aufgrund von zusätzlichem Rauschen zu bekommen. Das bedeutet aber ebenso, daß ein weiteres Vergrößern der Anstiegszeit des Pulsformers aus Sicht des elektronischen Rauschens keine Vorteile bietet. Allgemein führt zwar eine größere „Shaping"-Zeit zu geringerem Rauschen, aber durch die Optimierung, die einen Abgleich zwischen den drei Rauschbeiträgen bedeutete, führt eine größere Anstiegszeit hier nur zu einer Dominanz des parallelen Rauschens (Rauschen in der Rückkopplung des Ladungsverstärkers). In Abbildung 5.17 ist zu sehen, daß bei 12 pF Detektorkapazität die drei Rauschbeiträge im Summen-Minimum etwa gleich groß sind, und somit ein globales Minimum gefunden wurde. Für die CERES-TPC wird deshalb ein Rauschen von etwa 420 Elektronen erwartet, welches sich bei Anstiegszeiten zwischen $400\,\mathrm{ns} \leq \tau_{\mathrm{peak}} \leq 700\,\mathrm{ns}$ nicht wesentlich ändert.

In Abbildung 5.18 ist nun das Ergebnis einer Rausch-Messung mit beiden Stufen des Pulsformers zu sehen. Abweichend von der Messung nur an Stufe 1 wurde bei dieser Messung zusätzlich noch der Rückkoppelwiderstand im Ladungsverstärker auf ca. 100 MΩ erhöht, um eine Messung des thermischen Rauschens und des 1/f-Rauschens ohne das parallele Rauschen zu erhalten.

Auch hier wurde zum Vergleich die theoretische Erwartung mit eingezeichnet. Berücksichtigt wurden dabei, daß einmal sich die Anzahl der Integrationen bei der Pulsformung um Eins erhöht hat, zum anderen der vergrößerte Widerstand. Besonders die Änderung des Widerstandes ruft einen deutlichen Effekt hervor. Das parallele Rauschen ist wesentlich geringer als in der vorherigen Messung. Das Rauschen wird durch das thermische Rauschen dominiert und läßt sich gut als Summe des thermischen Rauschens und des 1/f-Rauschens beschreiben.

5.2.6 Überprüfung der adaptiven Pol-Nullstellen-Kompensation

In Abschnitt 4.2.2 wurde erklärt, daß der Trick bei der adaptiven Pol-Nullstellen-Kompensation darin besteht, die Gates der Transistoren in der Ladungsverstärker-Rückkopplung und im folgenden Pol-Nullstellen-Kompensations-Netzwerk miteinander zu verbinden (Abbildung 4.13).

Um die Funktionalität dieser Vorgehensweise zu überprüfen, wurden auf dem

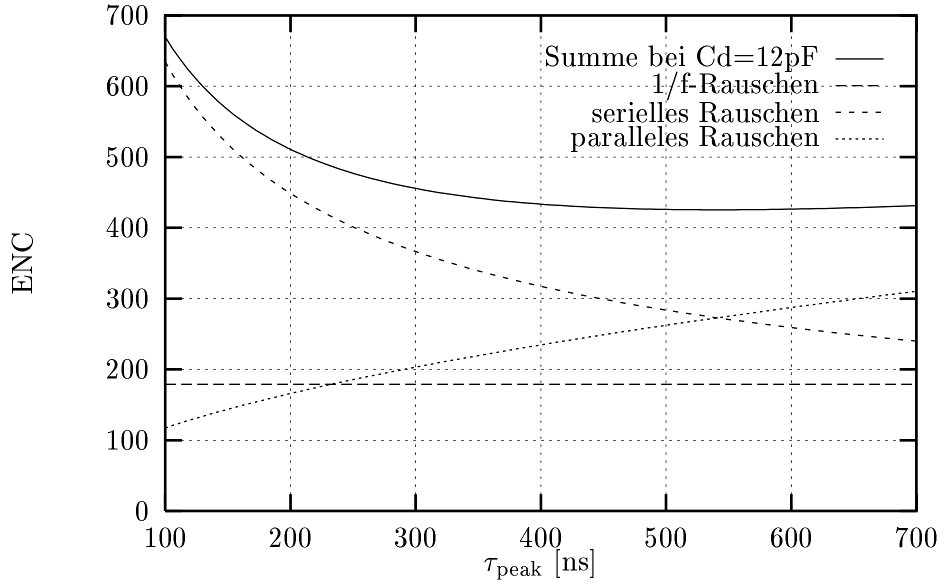


Abbildung 5.17: So setzt sich das Rauschen bei 12 pF Detektorkapazität zusammen.

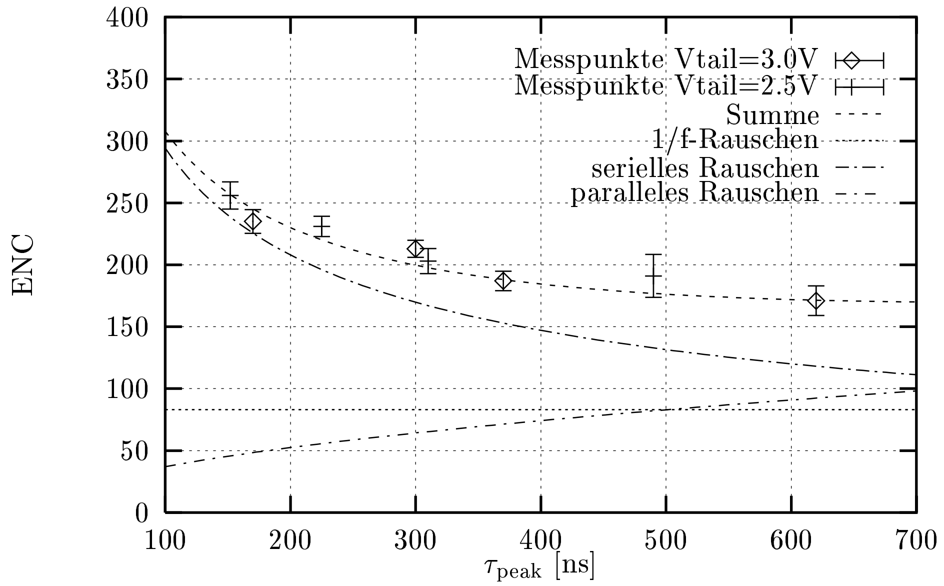


Abbildung 5.18: Das Rauschen des Ladungsverstärker-Pulsformers (nach beiden Stufen bei C_d=0 pF) in Abhängigkeit der Anstiegszeit. Bei dieser Messung wurde die Größe des Rückkoppelwiderstandes um einen Faktor 10 auf ca. 100 $M\Omega$ vergrößert. Die gemessenen Werte werden mit der theoretischen Erwartung verglichen.

Test-Chip die beiden Gates *nicht* miteinander verbunden, aber die beiden getrennten Netzwerke auf Pads nach außen geführt. Das Ruhepotential auf beiden Netzen wurde durch zwei identische Bias-Schaltkreise auf dasselbe Niveau gesetzt. Werden nun die beiden Netze über die Pads kurzgeschlossen, so sollte sich der Vorteil der adaptiven Pol-Nullstellen-Kompensation zeigen.

In Abbildung 5.19 ist die Antwort des Ladungsverstärkers für zwei unterschiedliche Potentiale (extern gesteuert) am Gate des Ladungsverstärker-Rückkoppel-Transistors auf drei Ladungs-Delta-Pulse zu sehen. Die untere Kurve zeigt das Verhalten bei einem kleinen Widerstand, die obere bei einem großen Widerstand.

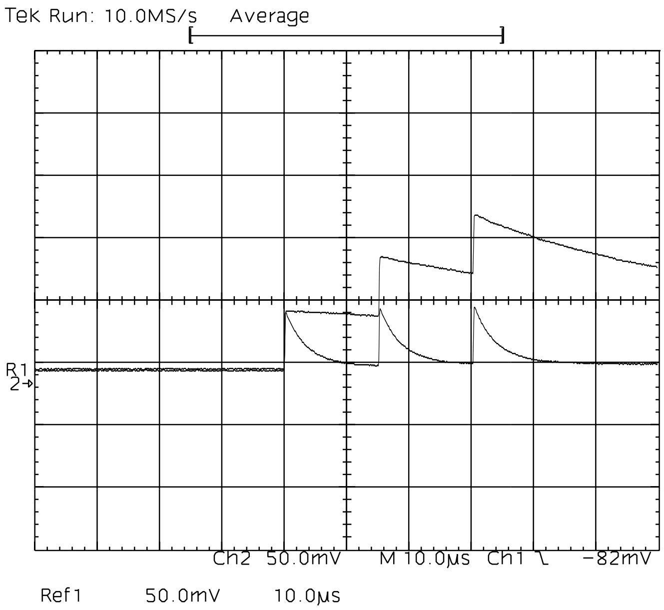


Abbildung 5.19: Die beiden Kurven zeigen die Antwort des Ladungsverstärkers auf drei gleich große Delta-Eingangssignale. Bei der unteren Kurve ist der Widerstand in der Rückkopplung klein; bei der oberen Kurve ist der Widerstand groß.

Beim großen Widerstand ist deutlich die Aufstockung der Signale und die Veränderung in der Abfallszeit zu sehen (der Widerstand des Transistors wird bei großer Drain-Source-Spannung kleiner).

In Abbildung 5.20 ist nun der Ausgang des Pulsformers bei diesen beiden Szenarien zu sehen. Das Potential am Gate des Transistors im Pol-Nullstellen-Kompensations-Netzwerk bleibt dabei aber unabhängig und wird vom Bias-Netzwerk konstant gehalten. D.h. die Nullstelle bleibt ebenso konstant, wobei sich der Pol im Ladungsverstärker im Falle des großen Widerstandes ändert, wohingegen er beim kleinen Widerstand nahezu konstant bleibt.

Die obere Kurve zeigt den Fall des kleinen Widerstandes. Dabei ist schön die Rückkehr des Pulsformers zum Ausgangspotential zu beobachten, die auch hier

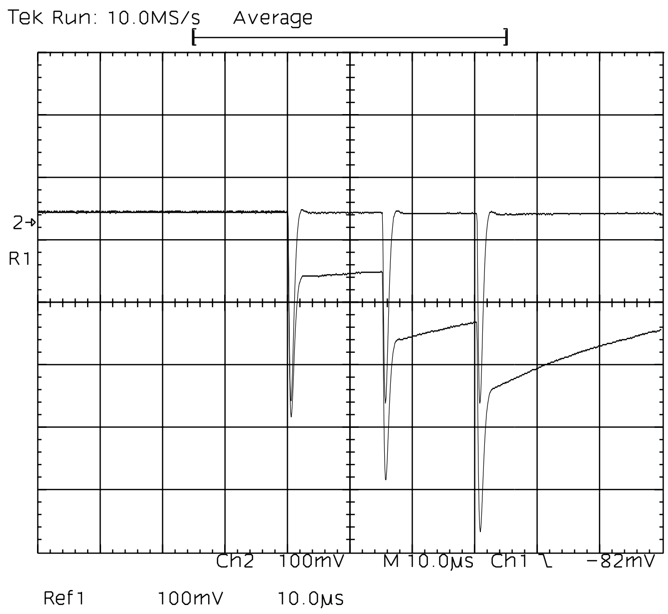


Abbildung 5.20: Antwort des Pulsformers bei *voneinander getrennten* Gate-Potentialen der Transistoren in der Ladungsverstärker-Rückkopplung und dem folgenden Pol-Nullstellen-Netzwerk.

schneller geschieht als im Ladungsverstärker.

Die untere Kurve zeigt den Fall des großen Widerstandes. Man sieht das Resultat des nicht mehr zusammenpassenden Pols des Ladungsverstärkers mit der Nullstelle des Pol-Nullstellen-Kompensations-Netzwerks. Dieser große Widerstand wäre wohl ausgeschlossen und man müßte ein größeres paralleles Rauschen durch einen kleineren Widerstand in Kauf nehmen, wenn man keine Möglichkeit hätte, die sich verändernde Nullstelle anzupassen.

Werden nun aber die beiden Netze über die Pads miteinander verbunden (Abbildung 5.21), kann man ein verändertes Signalverhalten feststellen.

Nach dem Pulsformer ist kaum noch etwas von dem sehr großen Unterschied in der Größe des Rückkoppelwiderstandes in der Ladungsverstärker-Rückkopplung zu sehen. D.h. das adaptive Pol-Nullstellen-Kompensations-Netzwerk paßt seine Nullstelle an den sich verändernden Pol des Ladungsverstärkers an und entfernt zuverlässig diese Zeitkonstante des Ladungsverstärkers.

Besonders unter dem Aspekt des Rauschens ist ein solches Ergebnis sehr erfreulich, da man nun erwägen kann, in der Rückkopplung des Ladungsverstärkers einen recht großen Widerstand zu wählen, um das parallele Rauschen zu minimieren. Eine Signalaufstockung ist nun nicht weiter tragisch, solange das Ausgangspotential des Ladungsverstärker nicht die Grenze erreicht, welche durch die Spannungsversorgung vorgegeben ist (vergleiche dazu auch die Linearitätsmessung des Ladungsverstärkers in Abschnitt 5.1.3).

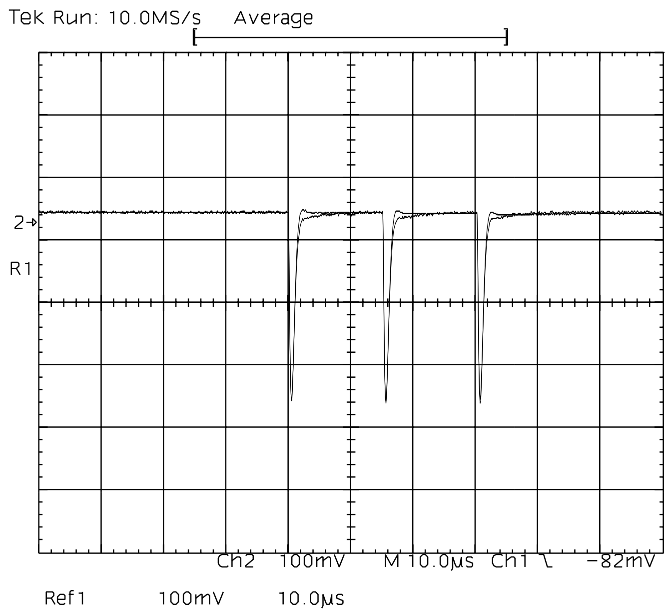


Abbildung 5.21: Antwort des Pulsformers bei *verbundenen* Transistor-Gates in der Ladungsverstärker-Rückkopplung und dem folgenden Pol-Nullstellen-Netzwerk.

5.3 Vergleich zwischen theoretischer Beschreibung und Messung

Damit man das Verhalten der Elektronik in die Monte-Carlo-Simulation des Experiments einbinden kann, ist es notwendig, das Verhalten der einzelnen Schaltungs-Bestandteile zu kennen. In der Theorie sieht die Transferfunktion des Vorverstärkers und Pulsformers mit „Tail-Cancellation“ in Laplace-Darstellung wie folgt aus:

$$\mathrm{H(s)} = \left(\frac{-1}{s+\frac{1}{\tau_f}}\right)\cdot\left(\frac{s+\frac{1}{\tau_f}}{s+\frac{1}{\tau_{pz}}}\right)\cdot\left(\frac{-\left(4+s\tau_p\right)}{4+s\left(4\tau_s+2\tau_p\right)+s^2\tau_p\tau_s}\right)\cdot\left(\frac{s+\frac{1}{\tau_t}}{s+\frac{1}{\tau_{t2}}}\right)\cdot\left(\frac{-1}{s+\frac{1}{\tau_g}}\right)$$

Die erste Klammer beschreibt das Verhalten des Ladungsverstärkers. Es wird dominiert durch den exponentiellen Abfall des Signals nach der Integration mit der Zeitkonstante τ_f. Die zweite Klammer enthält die Transferfunktion des adaptiven Pol-Nullstellen-Kompensations-Netzwerks. Dieses Netzwerk wurde so abgeglichen, daß sich der Term mit der Zeitkonstante τ_f herauskürzt und nur noch der Term mit der Zeitkonstante τ_{pz} übrigbleibt. Die dritte Klammer beschreibt das Verhalten der T-Brücke im Pulsformer (einschließlich OPV). Die Klammern vier und fünf schließlich bezeichnen die Transferfunktion der „Tail-Cancellation“-Stufe.

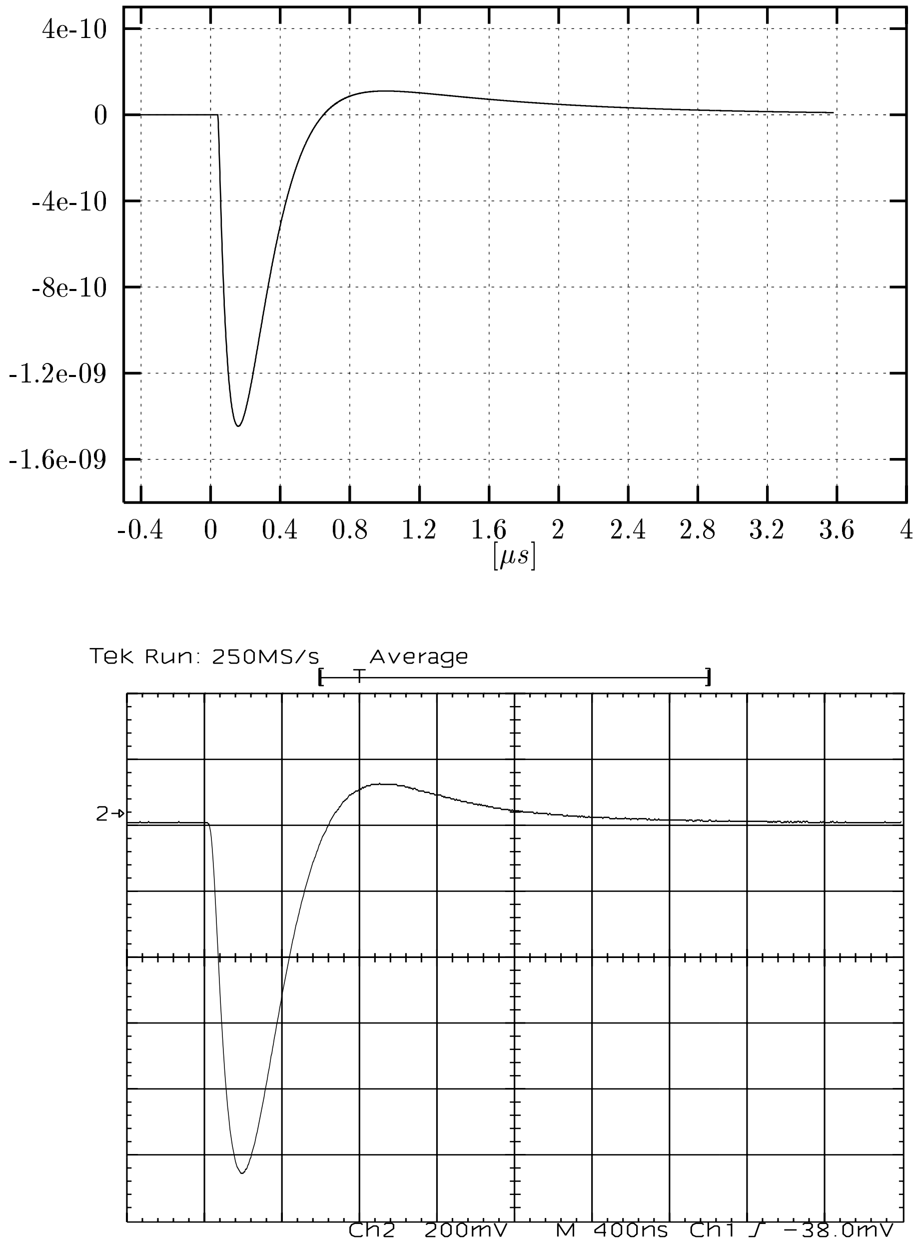


Abbildung 5.22: Vergleich der theoretischen Transferfunktion mit der Messung des Chip-Verhaltens. In der oberen Abbildung wurde die in den Zeitraum transformierte Transferfunktion aufgezeichnet. Dabei wurden die Zeitkonstanten in der Transferfunktion aus den Messungen gewonnen und vor der Transformation eingesetzt. Die untere Abbildung zeigt das gemessene Chip-Verhalten bei den gleichen Schalterstellungen, für die die obige Transferfunktion berechnet wurde.

In Abbildung 5.22 ist nun diese Transferfunktion in die Zeit-Darstellung transformiert worden (oben). Vergleicht man diese Kurve mit dem Ergebnis einer Messung (unten), so sieht man, daß die o.g. Transferfunktion das tatsächliche Verhalten des Ladungsverstärkers und des Pulsformers recht gut wiedergibt. Eine Verbesserung der Übereinstimmung kann möglicherweise erreicht werden, indem die Zeitkonstanten, die in die Transferfunktion eingehen, noch genauer vermessen werden, als dies bisher getan wurde.

Kapitel 6

Zusammenfassung der Ergebnisse und Ausblick

In dieser Arbeit wurde die Entwicklung eines analogen Mikrochips zur Ladungsverstärkung und Pulsformung des CERES-TPC-Signals aufgezeigt. Diese Entwicklung begann mit theoretischen Überlegungen bezüglich des elektronischen Rauschens. Diese führten zu verschiedenen Schaltkreisvarianten, die mittels Simulation untersucht wurden, wobei auch die beste Layout-Methode diskutiert wurde. Danach konnten Test-Chips gefertigt werden, deren Meßergebnisse ausgewertet und mit den vorherigen Überlegungen verglichen wurden.

Die Diskussion der verschiedenen Beiträge zum elektronischen Rauschen hat ergeben, daß besonderer Wert auf die Wahl des Eingangstransistors gelegt werden muß. Die darauf aufbauenden Berechnungen ergaben unter Berücksichtigung der TPC-Parameter, daß ein großer p-Kanal MOS-Feldeffekt-Transistor ein optimales Rauschverhalten verspricht.

Weiterhin wurden die Vor- und Nachteile der verschiedenen Möglichkeiten zur Entladung des Integrationskondensators diskutiert und schließlich eine Lösung präsentiert (adaptive Pol-Nullstellen-Kompensation), die viele der diskutierten Nachteile wie Nichtlinearität kompensiert und auch in der Messung positive Ergebnisse geliefert hat.

Der Pulsformer sollte in der Lage sein, verschiedene Pulsbreiten zu generieren. Dazu wurde ein erprobter Schaltkreis an die CERES-Bedingungen angepaßt. Messungen ergaben, daß damit Anstiegszeiten zwischen 150 ns und 500 ns erzielt werden können. Im anvisierten, dynamischen Bereich der TPC ($q_{in} \leq 35$ fC) lieferte die Signalkette aus Ladungsverstärker und Pulsformer eine lineare Spannungsantwort (etwa 2% für $q_{in} \leq 35$ fC) bei gleichbleibender Pulsform.

Um den dynamischen Bereich des folgenden analog-digital Konverters voll ausnutzen zu können, ist es notwendig, daß ein Eingangssignal von 35 fC einen Ausgangsspannungspuls von etwa 1 V erzeugt. Dazu war auf jeden Fall noch eine weitere Operationsverstärkerstufe notwendig. Diese Notwendigkeit hat dazu geführt, daß das 1-stufige Pulsformer-Design zu einem 2-stufigen Design modifiziert wurde, in dem Pulsformung und „Tail-Cancellation“ (dt. Signalschwanzunterdrückung) durch zwei unterschiedliche Netzwerke durchgeführt wird. Wie die Messung zeigte, konnte damit besonders flexibel auf die Größe des Signal-„Tails“ reagiert und dieser zuverlässig unterdrückt werden. Ebenso konnte mit dem 2-stufigen Design die Größe des Verstärkungsfaktors variabel gestaltet werden, so daß eine optimale Anpassung unter experimentellen Bedingungen möglich ist.

Die Größe des elektronischen Rauschens, wie sie von der entwickelten Mikroelektronik produziert wird, wurde vermessen und mit der theoretischen Erwartung verglichen. Dies ergab, daß innerhalb der Fehlertoleranzen die Größe des Rauschens vorhergesagt werden konnte. Für den Betrieb an der CERES-TPC, mit einer Kapazität der Auslesepads von etwa 12 pF, wird bei einer Puls-Anstiegszeit von 500 ns ein Rauschen von etwa 420 Elektronen erwartet.

Aus den Messungen am 2-stufigen Pulsformer konnte aber auch entnommen werden, daß die Größe der Signalverstärkung stark von den Einstelllungen im „Tail-Cancellation“-Netzwerk abhängt und nicht bei jeder dieser Einstellungen der erforderliche Verstärkungsfaktor erreicht werden konnte. Deshalb wurde in der wohl voraussichtlich endgültigen Version des PST-Chips („Preamplifier-Shaper with Tail-Cancellation“) mit 16 identischen Kanälen, das „Tail-Cancellation“-Netzwerk durch einen weiteren Polysiliziumwiderstand stabilisiert und die Ausgangsleistung des dritten Operationsverstärkers erhöht. Daneben wurde bei Transistoren in der Ladungsverstärker-Rückkopplung und in den beiden Pol-Nullstellen-Kompensations-Netzwerken die Dotierung gewechselt, um statt auf negative Ladungssignale auf die positiven Ladungssignale der CERES-TPC angepaßt zu sein. Dieser Chip wird zur Zeit in einer kleinen Stückzahl produziert, und falls die Messungen daran keine unerwarteten, negativen Ergebnisse liefern, in großer Stückzahl an der CERES-TPC eingesetzt werden.

Sind die Chips auf dem Detektor montiert, kann durch Testläufe das tatsächliche Rauschniveau und die Größe des Signal-„Tails“ ermittelt werden, und dann durch Feineinstellung der Ladungsverstärker-Rückkopplung und der Zeitkonstante der „Tail-Cancellation“, versucht werden, das Rauschen bei Beachtung der notwendigen Granularität zu minimieren.

Anhang A

Schaltpläne

Auf den folgenden Seiten sind die Schaltpläne für die abschließende Version des CERES-Ladungsversärker/Pulsformers mit „Tail-Cancellation“ für die TPC (PST-Chip) abgebildet:

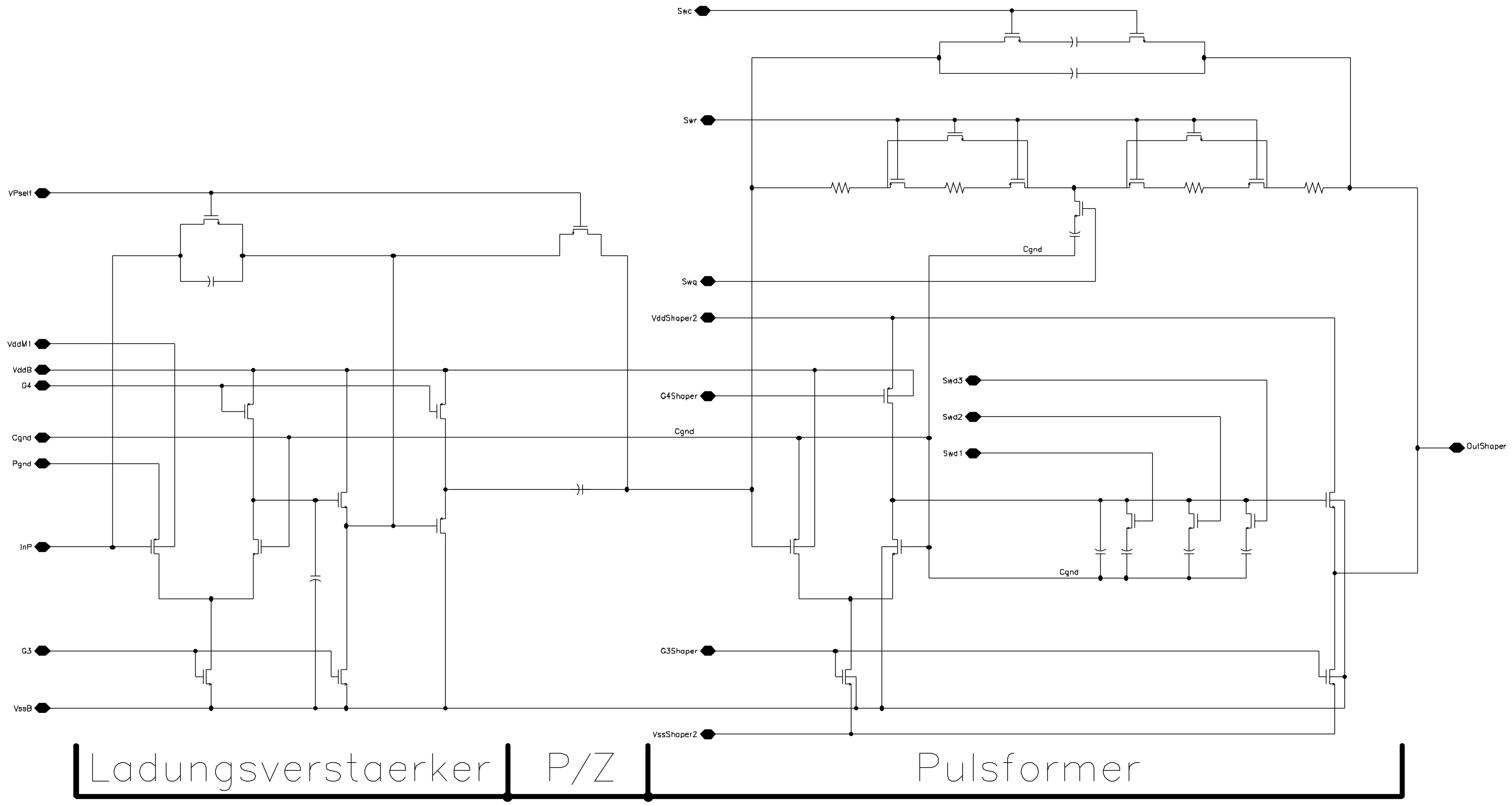


Abbildung A.1: Schaltplan der abschließenden Version des Ladungsverstärkers und des Pulsformers

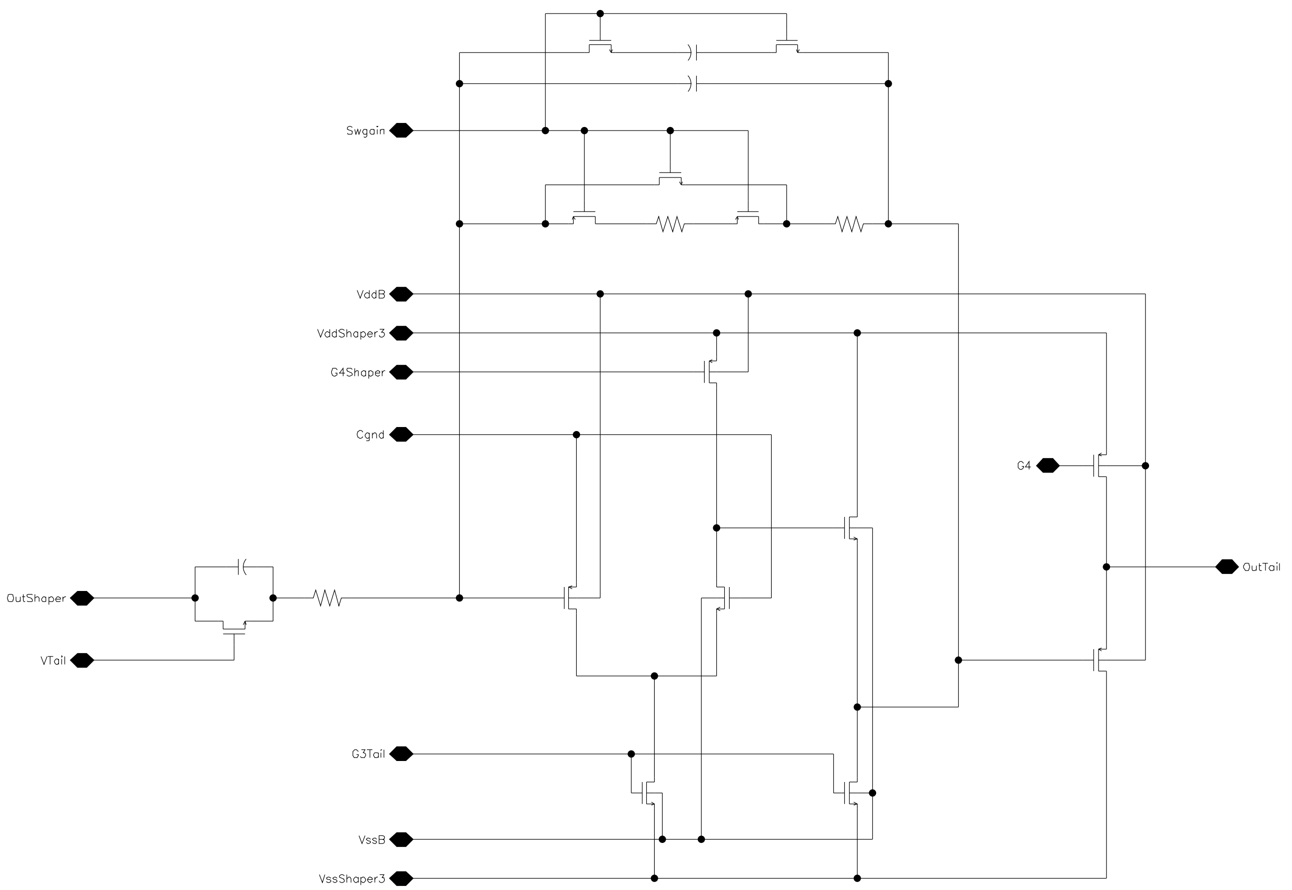


Abbildung A.2: Schaltplan der abschließenden Version des „Tail-Cancellation“-Netzwerks

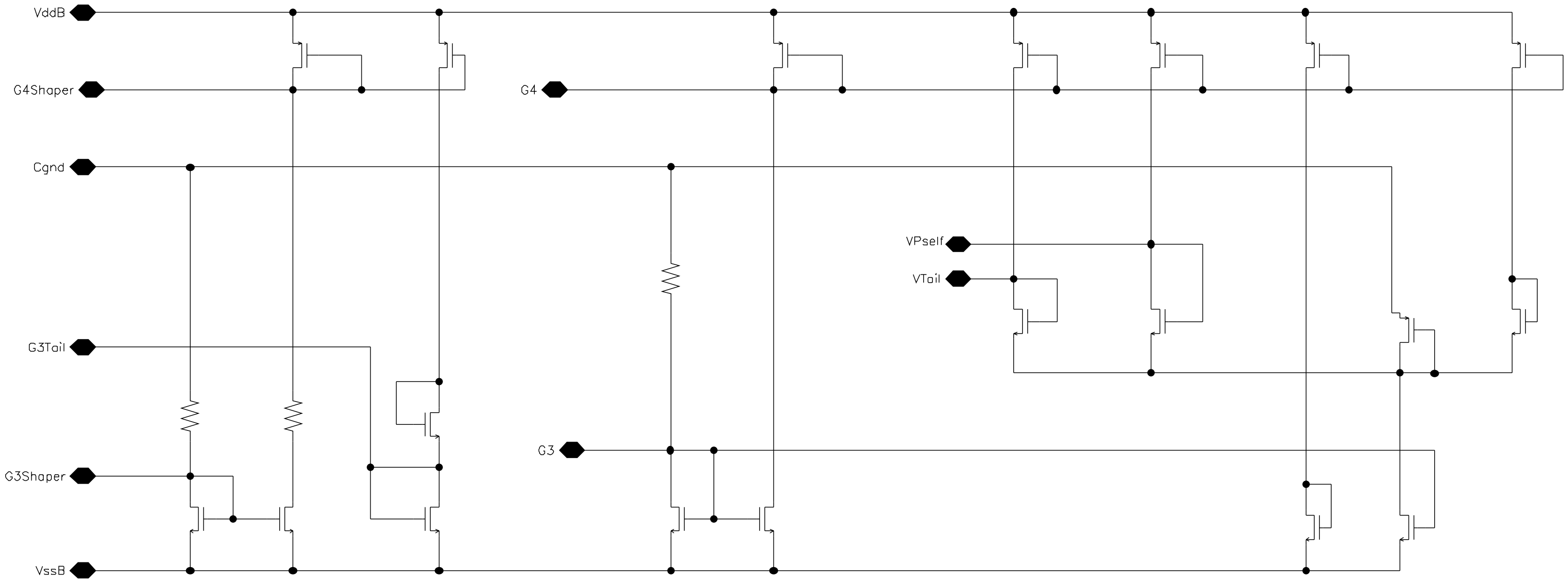


Abbildung A.3: Schaltplan der abschließenden Version des Bias- und Kalibrations-Netzwerks

Literaturverzeichnis

[A$^+$95] G. Agakichiev et al. Enhanced production of low-mass electron pairs in 200 GeV/nukleon S-Au collisions at the CERN super proton synchrotron. *Physical Review Letters*, 75(7):1272, August 1995.

[AH87] Phillip E. Allan and Douglas R. Holberg. *CMOS Analog Circuit Design*. Oxford University Press, New York, 1987.

[B$^+$94] R. Baur et al. The CERES RICH detector system. *Nuclear Instruments and Methods*, A343:87–98, 1994.

[Bau94] Roland Baur. *Produktion von e^+e^-–Paaren in 450 GeV Proton-Kern-Kollisionen*. PhD thesis, Physikalisches Institut, Universität Heidelberg, 1994.

[BBB$^+$96] E. Beuville, P. Barale, F. Bieser, W.Hearn, S.R. Klein, M.A. Lisa, T. Noggle, H.G. Ritter, C. Vu, and H. Wieman. A low noise amplifier-shaper with tail correction for the STAR detector. IEEE Trans. on Nucl. Sci., 1996. Lawrence Berkeley National Laboratory, University of California, Berkeley, CA 94720.

[BEGR97] Roland Baur, Peter Ernst, Giuseppe Gramegna, and Michael Richter. Front-end electronics for a tpc-detector. *Proceedings of the third Workshop on Electronics for LHC experiments*, 1997. in press.

[BHR82] R.A. Boie, A.T. Hrisoho, and P. Rehak. Signal shaping and tail cancellation for gas proportional detectors at high counting rates. *Nuclear Instruments and Methods*, 192:365–374, 1982.

[BR91] G.E. Brown and M. Rho. Scaling effective lagrangians in a dense medium. *Physical Review Letters*, 66(21):2720, 1991.

[CEK95] W. Cassing, W. Ehehalt, and C.M. Ko. Dilepton production at SPS energies. *Physics Letters B*, 363:35, 1995.

[CER88] CERES/NA45 collaboration. Proposal P237 to CERN SPSC, CERN/SPSC 88-25; addendum to proposal P237, CERN/SPSC 88-40, 1988.

[CER94] CERES/NA45 collaboration. Proposal P280 to CERN SPSLC, CERN/SPSLC 91-1, 1994.

[CER95] CERES/NA45 collaboration. CERES/NA45 report to cogne 1995, CERN/SPSLC/M542, 1995.

[CER96a] CERES/NA45 collaboration. Addendum to proposal SPSLC/P280, Study of elektron pair and photon production in Pb-Au collisions at the CERN SPS, June 1996. CERN/SPSLC 96-35, SPSLC/P280.

[CER96b] CERES/NA45 collaboration. Technical note on CERES upgrade, October 1996. CERN/SPSLC 96-50, SPSLC/R110.

[CER98] CERES/NA45 collaboration. Properties of the low mass e^+e^- pair enhancement in 160 GeV/u Pb-Au collisions at the CERN SPS. *to be published*, 1997/98.

[CS90] Zhong Yuan Chang and Willy M.C. Sansen. Limits of low noise performance of detector readout front ends in CMOS technology. *IEEE Trans. circuits and systems*, 37(11):1375–1382, November 1990.

[CS91] Zhong Yuan Chang and Willy M.C. Sansen. *Low-Noise Wide-Band Amplifiers in Bipolar and CMOS Technologies*. Kluwer Academic Pulishers, 1991.

[GORH] G. Gramegna, P. O'Connor, P. Rehak, and S. Hart. CMOS preamplifier for low capacitance detectors. BNL Internal Report-64026.

[GORH96] G. Gramegna, P. O'Connor, P. Rehak, and S. Hart. Low noise CMOS preamplifier-shaper for silicon drift detectors. In *2nd Workshop on Electronics for LHC Experiments*, pages 447–452. KFKI and CERN, 1996.

[GSM90] E. Gatti, M. Sampietro, and P. F. Manfredi. Optimum filters for detector charge measurements in presence of 1/f noise. *Nucl. Instr. and Meth.*, A287:513–520, 1990.

[KLB95] C.M. Ko, G.Q. Li, and G.E. Brown. Enhancement of low-mass dileptons in heavy ion collisons. *Physical Review Letters*, 75(22):4007, 1995.

[KLBS96] C.M. Ko, G.Q. Li, G.E. Brown, and H. Sorge. Enhancement of low-mass dileptons in SPS heavy-ion collisons: possible evidence for dropping rho meson mass in medium. *Nuclear Physics A*, 610:342c–349c, 1996.

[KS] V. Koch and C. Song. preprint LBL-38619 UC-413.

[Mas95] M. Masera. the HELIOS/3 Collaboration. Dimuon production below mass 3.1 GeV/c^2 in p-W and S-W interactions at 200 GeV/c/A. *Nuclear Physics A*, 590:93c, 1995.

[Pis82] Robert D. Pisarski. Phenomenology of the chiral phase transition. *Physics Letters*, 110B(2):155, March 1982.

[S$^+$96] D.K. Srivastava et al. Excess production of low-mass lepton pairs in S+Au collisions at the CERN super proton synchrotron and the quark-hadron transition. *Physical Review*, C53:R567, 1996.

[Sei96] Manfred Seifart. *Analoge Schaltungen.* Verlag Technik Berlin, 1996. 5. durchgesehene Auflage.

[SHK$^+$96] J. Sollfrank, P. Huovinen, M. Kataja, P.V. Ruuskanen, M. Prakash, and R. Venugopalan. Hydrodynamical description of 200 a gev/c s+au collisions: Hadron and electromagnetic spectra. *preprint nucl-th/9607029*, 1996.

[spe94] Spectre reference manual. Cadence Openbook Online Help, March 1994.

[SS91] Adel S. Sedra and Kenneth C. Smith. *Microelectronic Circuits.* Oxford University Press, 1991.

[STA92] STAR Collaboration. Conceptual design report for the solenoidal tracker at RHIC (STAR). , BNL, June 15 1992.

[TWdS$^+$92] S. Tedja, H. Williams, J. Ven der Spiegel, F. Newcomer, and R. van Berg. Noise measurement results of a radiation hardened CMOS 1.2μm p-well process. *Nuclear Instruments and Methods*, A312:576–584, 1992.

[Ull96] Th. Ullrich for the CERES Collaboration. First results from CERES/NA45 on low-mass electron pair production in Pb-Au collisions. *Nuclear Physics A*, 610:317c–330c, 1996.

[Voi97] Carsten Voigt. PhD thesis, Physikalisches Institut, Universität Heidelberg, 1997. in preparation.

Danksagung

Für die Unterstützung, die zum Gelingen der vorliegenden Arbeit beigetragen hat, möchte ich mich speziell bedanken bei:

Prof. Dr. Johanna Stachel, die durch die Vergabe des Themas und das Vertrauen in mich und die CERES-Elektronikgruppe diese Arbeit erst möglich gemacht hat,

Prof. Dr. Ulrich Straumann, für die freundliche Übernahme der Zweitkorrektur,

Dr. Roland Baur für die Betreuung und das Korrekturlesen. Ohne seine Tips und seine Hilfsbereitschaft hätte ich wohl manchmal nicht das Licht am Ende des Tunnels gesehen,

Giuseppe Gramegna, der durch seine geduldige Erklärungsbereitschaft mich in die Details des Ladungsverstärker- und Pulsformerbaus eingeführt hat. Ohne sein Interesse an diesem Projekt und seine Erfahrung wäre kein so innovatives Design möglich gewesen,

Michael Richter, der mir jederzeit bei unzähligen elektrotechnischen und Computer-Problemen geholfen hat,

bei allen Mitgliedern der CERES-Gruppe, die durch ihre freundliche und hilfsbereite Aufnahme ein angenehmes Arbeiten möglich gemacht haben,

Frank Schumacher, der durch sein Geschick beim Bonden der Test-Chips, mir ein großes Problem abgenommen hat,

Thomas Berndt und Ottilie Ernst, die sich bereiterklärten, diese Arbeit Korrektur zu lesen,

und nicht zuletzt meiner Familie, die mich geschlossen während meines Studiums und meiner Diplomarbeit unterstützt hat.

Inhaltsverzeichnis

Erklärung:

Ich versichere, daß ich diese Arbeit selbständig verfaßt und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, den 15.10.1997 ....