

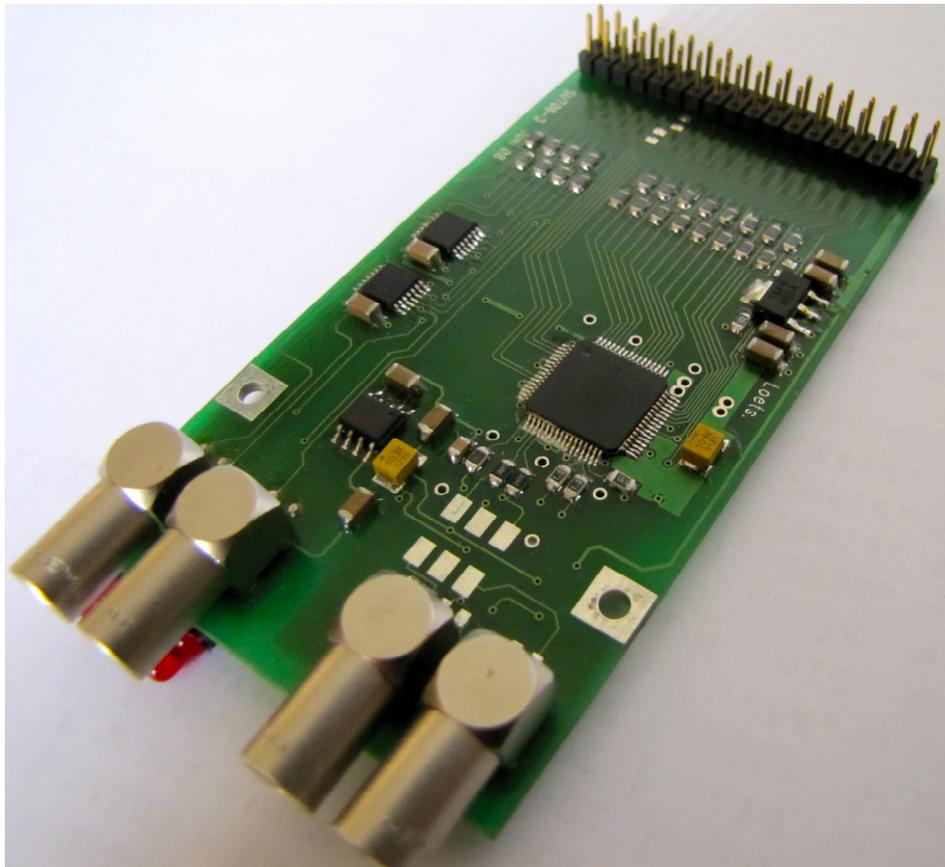
# SU706: 100 MHz ADC

## Beschreibung

Auf dem Submodul befindet sich ein schneller (Flash-) ADC (ADS5500) sowie 2 zusätzliche TTL-Coax-IO Schaltungen.

Der ADC hat 14 Bit Datenauflösung und kann mit 100 MHz Abtastrate betrieben werden. Der Eingang ist passiv über einen differentiellen Übertrager angekoppelt und hat einen Frequenzübertragungsbereich von ca. 20kHz bis 50 MHz. Der Eingangsspannungsbereich liegt bei 0,5..2,3Vpp je nach (konfigurierbarem) Übertragungsverhältnis (1:16 .. 1:1).

Jede TTL-IO-Buchse kann über die FPGA-Programmierung als Ausgang oder/und als Eingang konfiguriert werden. Der Ausgang ist in der Lage einen Strom von >60mA zu liefern und kann damit einen ausreichenden TTL-Pegel von >3V an mit 50 Ohm terminierten Coax-Leitungen erzeugen. Bei längeren Zuleitungen ist damit reflexionsfreie Übertragung von Signalen im ns Bereich möglich.



## Funktionen

Anzahl	Modul	FPGA Modul
1	100 Mhz ADC	ADCF, ADCP
2	2 Kanal TTL I/O (Coax)	DIO
2	Leuchtdioden	LED

# SU706: 100 MHz ADC

## Steckerbelegung

<b>Pin</b>	<b>Signal</b>	<b>Bedeutung</b>
1	+ 5V	Spannungsversorgung
2	+5V	Spannungsversorgung
3	CLKOUT	Ausgang Clock vom ADC
4	RESET	ADC Reset
5	D1	ADC Datenbit
6	D0	ADC Datenbit
7	D3	ADC Datenbit
8	D2	ADC Datenbit
9	D5	ADC Datenbit
10	D4	ADC Datenbit
11	D7	ADC Datenbit
12	D6	ADC Datenbit
13	D9	ADC Datenbit
14	D8	ADC Datenbit
15	D11	ADC Datenbit
16	D10	ADC Datenbit
17	D13	ADC Datenbit
18	D12	ADC Datenbit
19	SCLK	Serial Clock
20	OVR	ADC Overflow
21	SEN	Serial Enable
22	SDATA	Serial Data
23	OUT2	TTL Ausgang Kanal 2
24	CLK100	ADC Clock
25	EN1_n	TTL Enable für Ausgang Kanal 2 (low aktiv)
26	OUT1	TTL Ausgang Kanal 1
27	IN1	TTL Input Kanal 1
28	EN2_n	TTL Enable für Ausgang Kanal 2 (low aktiv)
29	IN2	TTL Input Kanal 2
30		
31		
32		
33		
34		
35	GND	Spannungsversorgung und Signalreferenz
36	GND	Spannungsversorgung und Signalreferenz

# SU706: 100 MHz ADC

## Fertigungshinweis

Das Timing zwischen CLK (100 MHz) und der daraus folgenden Daten, die im FPGA eingelesen werden, ist relativ kritisch und kann zu Codefehlern führen.

Es zeigt sich, dass unterschiedliche Laufzeiten bzw. kapazitive Belastungen an den Steckern eine jeweils feinere Abstimmung bzw. Kompensation erfordern. Dies lässt sich z.B. an der Einspeisung der CLK auf der SU706 durch eine kleine kapazitive Belastung (Phasenschiebung) erreichen.

Erfahrungsgemäß benötigen die beiden äußeren Steckplätze M0 und M3 keine Korrektur. Die beiden inneren Steckplätze M1 und M2 jedoch müssen korrigiert werden. Dabei ist eine Kapazität von etwa 50-100pF am Anschluß 1 des Trafos Q2 (nicht bestückt!) gegen Masse (Anschluß 3) ausreichend. Der genaue Wert sollte durch Beurteilung des Samplingverhaltens ermittelt werden:

Bei Fehlern wird der Kapazitätswert  $>100\text{pF}$  ermittelt, der gerade wieder zu Codefehlern führt. In der Regel ist dann der halbe Kapazitätswert zu verwenden.