Fakultät für Physik und Astronomie

Ruprecht-Karls-Universität Heidelberg

Diplomarbeit
im Studiengang Physik

vorgelegt von
Boris Glass
aus Welzheim

September 1997

Analoge Auslese- und Triggerelektronik für Mikrostreifen-Gaszähler

Die Diplomarbeit wurde von Boris Glass ausgeführt am
Physikalischen Institut
unter der Betreuung von
Herrn Prof. Ulrich Straumann

Das Hera-B Experiment am Deutschen Elektronen-Synchrotron in Hamburg soll die CP-Verletzung am Zerfall von B-Mesonen nachweisen. Das Physikalische Institut der Universität Heidelberg beteiligt sich daran mit der Entwicklung eines Spurverfolgungssystems (Inner Tracker). Als Detektoren sind noch in der Entwicklung befindliche Mikrostreifengaszähler (MSGC) vorgesehen. In Zusammenarbeit mit dem Max-Planck-Institut für Kernphysik in Heidelberg wird eine anwendungsspezifische integrierte Schaltung (ASIC) als Ausleseelektronik entwickelt, die für Inner Tracker und Silizium-Vertex-Detektor eingesetzt werden soll.

Die vorliegende Diplomarbeit befaßt sich mit dem Design eines Komparators. Diese Baugruppe ist Teil der oben genannten integrierten Schaltung und dient dazu, vorverstärkte analoge Signale mit einer Referenzspannung zu vergleichen und so ein Triggersignal abzuleiten. Bestandteil meiner Arbeit waren außerdem Messungen an verschiedenen Prototypen integrierter Schaltungen sowie Mitarbeit beim Bau der elektronischen Infrastruktur von MSGCs und Ausleseelektronik.

Analog readout and trigger electronics for micro strip gas chambers:

The experiment HERA-B, which is currently under construction at DESY in Hamburg, is designed to measure a violation of the CP symmetry in the system of neutral B mesons. The “Physikalisches Institut der Universität Heidelberg” is contributing the development of the inner tracking system. The inner tracking detector will consist of micro strip gas chambers (MSGC) with custom made readout electronics. These application specific integrated circuits (ASICs) are designed in cooperation with the “Max-Planck-Institut für Kernphysik”.

This thesis documents the development and testing of a fast comparator circuit to be integrated in the readout chip HELIX. The circuit compares pre-amplified analog detector signals with a programmable reference voltage and delivers a fast digital signal to the first level trigger (FLT). Different prototypes of ASICs were tested, and a PCB for readout and electronics tests was developed.

Inhaltsverzeichnis

1 Einleitung

Das erste Kapitel führt von der Physik der B-Mesonen über das Konzept von HERA-B zum inneren Spurkammersystem. Insbesondere wird ein Überblick über den Signalweg vom ionisierenden Teilchen in der Spurkammer bis zur Ausleseelektronik geboten.
Das zweite Kapitel beschäftigt sich mit der Signalentstehung in den Mikrostreifen-Gaszählern (MSGC).
Im dritten Kapitel geht es um Belastungstests an Keramik-Adaptern, die neben ihrer Hauptfunktion, die Mikrochips an die MSGC anzuschließen, auch für den Hochspannungsschutz der Elektronik eine Rolle spielen.
Der Schwerpunkt der Arbeit liegt in Kapitel vier. Hier wird der Entwurf einer differentiellen Komparatorschaltung und deren Umsetzung in ein Layout beschrieben.
Das fünfte Kapitel dokumentiert Design eines Testchips und Messungen an diesem Testchip zur Charakterisierung des Komparators.
Die Integration des Komparators in den Auslesechip Helix 128S-2 und Messungen an diesem Chip ergeben das sechste Kapitel.
Schließlich bietet das siebte Kapitel eine Zusammenfassung über die gewonnenen Ergebnisse.

1.1 Verletzung der CP-Symmetrie

Eine zentrale Rolle beim Verständnis der Physik spielen Symmetrien. Die wichtigsten diskreten Symmetrien sind die räumliche Spiegelung P, die Umkehr der Zeitrichtung T und die Ladungskonjugation C, die die Symmetrie zwischen Teilchen und Antiteilchen ausdrückt. Wenn sich Teilchen und Antiteilchen in der Natur völlig symmetrisch verhalten, haben wir keine Möglichkeit festzustellen, ob wir in einer Welt von Teilchen oder einer Welt von Antiteilchen leben. Tatsächlich scheint die Ladungskonjugation von der Natur nicht konsequent respektiert zu werden. Das Universum besteht überwiegend aus Materie und enthält fast keine Antimaterie, und auch im Bereich der Elementarteilchen wurde beim Zerfall von K-Mesonen eine Symmetriebrechung, nämlich die CP-Verletzung, beobachtet [SP97].

Eine theoretische Erklärung der CP-Verletzung wurde 1973 von M. Kobayashi und T. Maskawa vorgeschlagen. Sie hatten erkannt, daß die Theorie der Schwachen Wechselwirkung unter gewissen Vorraussetzungen automatisch zur CP-Verletzung führt, falls mindestens sechs Quarks existieren. Dies war 1973 eine mutige Spekulation, denn damals waren erst drei Quarks bekannt. Inzwischen kennt man sechs Quarks, womit eine entscheidene Voraussetzung für diese Erklärung erfüllt ist.

Ein Quark mit der Ladung $\frac{2}{3}$ (u, c, t) kann durch Schwache Wechselwirkung in ein Quark mit der Ladung $-\frac{1}{3}$ (d, s, b) übergehen, oder auch umgekehrt. Es gibt daher neun mögliche Quarkumwandlungen, die durch denselben Mechanismus vollzogen werden, sich aber in der Wahrscheinlichkeit der Umwandlung unterscheiden. Die Wahrscheinlichkeit des Übergangs von einem Quark q in ein anderes Quark q' ist proportional zum Betragsquadrat der Wahrscheinlichkeitsamplitude: $P_{\mathrm{qq}'} \sim |V_{\mathrm{qq}'}|^2$. Diese neun V_{ik} lassen sich in einer 3 × 3-Matrix zusammenfassen. Diese Matrix nennt man „Cabibbo-Kobayashi-Maskawa Matrix“ (CKM-

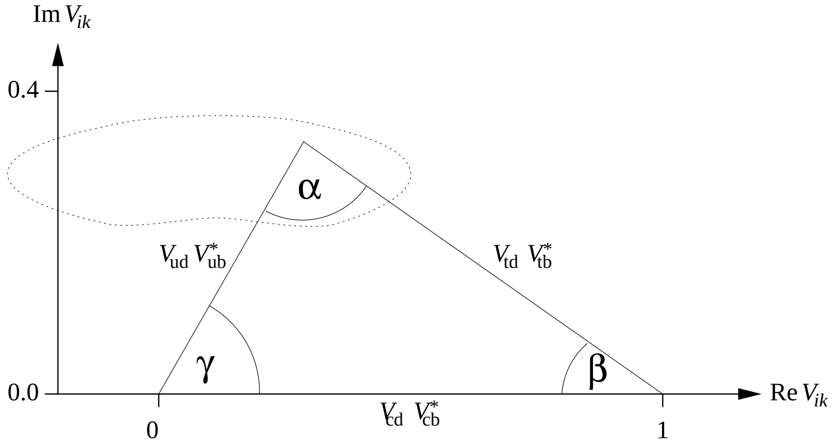


Abbildung 1: Das Unitaritätsdreieck veranschaulicht eine der Unitaritätsbeziehungen der CKM-Matrix (Glg. 1). Der Winkel β ist ein direktes Maß für die gesuchte CP-Verletzung [SP97]. Die gepunktete Linie umschließt qualitativ das Gebiet, in der die Spitze des Dreiecks vermutet wird [pro94].

Matrix) [PRSZ95]:

$$V_{\mathrm{CKM}} = \begin{pmatrix} V_{\mathrm{ud}} & V_{\mathrm{us}} & V_{\mathrm{ub}} \\ V_{\mathrm{cd}} & V_{\mathrm{cs}} & V_{\mathrm{cb}} \\ V_{\mathrm{td}} & V_{\mathrm{ts}} & V_{\mathrm{tb}} \end{pmatrix}$$

Im Rahmen des Standardmodells der Elementarteilchenphysik muß die CKM-Matrix unitär sein, also die Beziehungen

$$\sum_j V_{ji}V^*_{jk} = \delta_{ik}$$

erfüllen. Damit verringert sich die Zahl unabhängiger Parameter der CKM-Matrix auf vier, die als drei reelle Winkel und eine imaginäre Phase gewählt werden können. Die im folgenden wichtige Unitaritätsbeziehung lautet

$$V_{\mathrm{ud}}V^*_{\mathrm{ub}} + V_{\mathrm{cd}}V^*_{\mathrm{cb}} + V_{\mathrm{td}}V^*_{\mathrm{tb}} = 0. \tag{1}$$

Sie läßt sich als „Unitaritätsdreieck“ in der komplexen Ebene veranschaulichen (Abb. 1).

Durch die Anwendung der CP-Operation auf einen Prozeß der Schwachen Wechselwirkung gehen die V_{ik} der CKM-Matrix in ihr Komplex-Konjugiertes über:

$$V_{ik} \xrightarrow{\mathrm{CP}} V^*_{ik}.$$

Eine rein reelle CKM-Matrix bedeutet also, daß die Schwache Wechselwirkung CP-invariant ist. Kommt ein imaginärer Anteil in den Matrixelementen vor, kann die CP-Symmetrie nicht erhalten sein.

Auf der Suche nach CP-Verletzung in B-Systemen geht es daher um den Nachweis dieses Imaginärteils in der CKM-Matrix. Dazu wird eine besondere Zerfallsreaktion der B-Mesonen untersucht, nämlich der Zerfall eines B^0-Mesons ($\bar{\mathrm{b}}\mathrm{d}$) in ein J/Ψ-Teilchen ($\bar{\mathrm{c}}\mathrm{c}$) und ein $\mathrm{K}^0_{\mathrm{S}}$-Meson $(\bar{\mathrm{s}}\mathrm{d} + \mathrm{s}\bar{\mathrm{d}})/\sqrt{2}$:

$$\mathrm{B}^0 \longrightarrow \mathrm{J}/\Psi\mathrm{K}^0_{\mathrm{S}}.$$

Bei einem einfachen Prozeß der Schwachen Wechselwirkung tritt nur ein einziges V_{ik} auf. Die Übergangswahrscheinlichkeit ist dann proportional zu $V_{ik}V_{ik}^*$ und damit offenbar CP-invariant. Erst durch die Überlagerung von mehr als einer Amplitude kann ein CP-verletzender Effekt entstehen.

Die CP-Verletzung bei der Reaktion $\mathrm{B}^0 \longrightarrow \mathrm{J}/\Psi\mathrm{K}^0_\mathrm{S}$ tritt nicht beim Zerfall des B^0-Mesons auf, sondern kommt durch eine vorangegangene $\mathrm{B}^0 \longleftrightarrow \bar{\mathrm{B}}^0$ Teilchen-Antiteilchen-Umwandlung [Alb87] zustande. Es kann nicht unterschieden werden, ob der Endzustand direkt erreicht wurde oder ob zwischendurch eine $\mathrm{B}^0 \longleftrightarrow \bar{\mathrm{B}}^0$-Umwandlung stattfand. Durch das quantenmechanische Verhalten entsteht aber eine Interferenz der beiden Reaktionszweige. Nur durch diese Interferenz wird die CP-Verletzung beobachtbar. Der zeitliche Verlauf der CP-Verletzung wird durch die Interferenz mit der Umwandlungsfrequenz $\omega = \Delta M \approx 0,5\,\mathrm{ps}^{-1}$ moduliert. ΔM ist dabei die Massendifferenz zwischen dem kurzlebigen B^0_S-Meson und dem langlebigen B^0_L. Diese beiden B^0-Mesonen-Zustände sind Mischungen aus B^0 und $\bar{\mathrm{B}}^0$.

Die $\mathrm{B}^0 \longleftrightarrow \bar{\mathrm{B}}^0$-Umwandlung verläuft vor allem durch den Austausch des Top-Quarks. Entscheidend beim t-Quark-Austausch zwischen $\bar{\mathrm{b}}$- und d-Quark des B-Mesons sind die CKM-Matrixelemente $V_\mathrm{td}V_\mathrm{tb}^*$.

Der Formalismus der CP-Verletzung im Standardmodell liefert für die Zerfallsrate eines B^0-Mesons in einen Endzustand f als Funktion der Zeit [SP97]:

$$N(\mathrm{B}^0 \longrightarrow f) = N_0\,\mathrm{e}^{-\frac{t}{\tau}}\left(1 - \mathrm{Im}\frac{V_\mathrm{td}V_\mathrm{tb}^*}{V_\mathrm{td}^*V_\mathrm{tb}}\sin(\Delta M\,t)\right)$$

und

$$\bar{N}(\bar{\mathrm{B}}^0 \longrightarrow f) = N_0\,\mathrm{e}^{-\frac{t}{\tau}}\left(1 + \mathrm{Im}\frac{V_\mathrm{td}V_\mathrm{tb}^*}{V_\mathrm{td}^*V_\mathrm{tb}}\sin(\Delta M\,t)\right).$$

N_0 ist die Anzahl der erzeugten B^0-Mesonen und $\tau \approx 1,6\,\mathrm{ps}$ ihre mittlere Lebensdauer. Man sieht, daß sich die Zerfallsraten des B^0 und seines Antiteilchens nur dann unterscheiden, wenn der Imaginärteil der CKM-Matrixelemente von Null verschieden ist. Aus dem Unitaritätsdreieck (Abb. 1) geht die Beziehung

$$\mathrm{Im}\frac{V_\mathrm{td}V_\mathrm{tb}^*}{V_\mathrm{td}^*V_\mathrm{tb}} = \sin 2\beta$$

hervor. Ziel des HERA-B-Experimentes ist es, die Asymmetrie der Zerfallsraten

$$\frac{\bar{N} - N}{\bar{N} + N} = \sin 2\beta\,\sin \Delta M\,t$$

zu messen, und damit gegebenenfalls die CP-Verletzung bei B-Mesonen zu entdecken.

Die Reaktion $\mathrm{B}^0 \longrightarrow \mathrm{J}/\Psi\mathrm{K}^0_\mathrm{S}$ nennt man auch den „goldenen“ Zerfallskanal (Abb. 2). Sie hängt direkt und ohne komplizierte Korrekturen mit den fundamentalen Parametern der Schwachen Wechselwirkung zusammen. Vor allem aber ist der Endzustand des Zerfalls ein CP-Eigenzustand. Dadurch wird die Beobachtung der CP-Verletzung der $\mathrm{B}^0 \longleftrightarrow \bar{\mathrm{B}}^0$-Umwandlung nicht verfälscht.

Dieser ladungssymmetrische Endzustand bringt allerdings auch einen schweren Nachteil mit sich. Es läßt sich nur indirekt bestimmen, ob die beobachtete Reaktion von einem B^0 oder

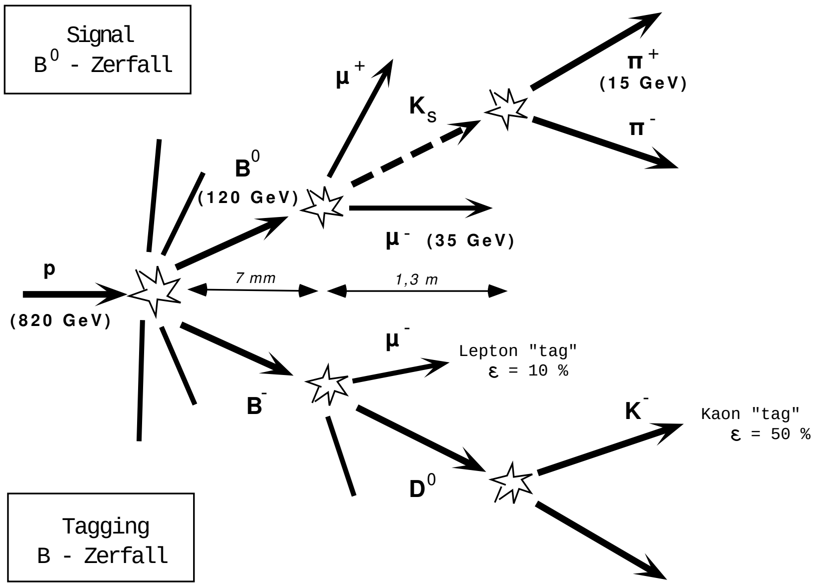


Abbildung 2: Der B^0-Zerfall

einem $\bar{B}^0$ stammt. Dazu nutzt man aus, daß b-Quarks immer als $b\bar{b}$-Paar entstehen und daher bei der Bildung eines B-Mesons immer auch das Antiteilchen erzeugt wird. Wählt nun ein B-Meson den goldenen Zerfallskanal, können durch Untersuchung des Zerfalls des Partnerteilchens die Ausgangsteilchen B^0 und $\bar{B}^0$ identifiziert werden. Als Signatur (Erkennungsmerkmal) für den Zerfall des Partnerteilchens eignet sich vor allem die Ladung von Kaonen oder Leptonen, die im Endzustand identifiziert werden können.

1.2 B-Meson-Fabriken

Zu einer genauen Untersuchung des Zerfalls $B^0 \rightarrow J/\Psi\, K^0_S$ müssen wegen des sehr geringen Verzweigungsverhältnisses von 10^{-12} in diesem Kanal große Mengen von B-Mesonen erzeugt werden. Gegenwärtig entstehen weltweit vier Experimente zum Nachweis von CP-Verletzung.

- BABAR am SLAC in Stanford/USA,
- BELLE am KEK in Tsukuba/Japan,
- HERA-B am DESY in Hamburg und
- LHC-B am CERN in Genf/Schweiz (in Planung).

BABAR und BELLE nutzen e^+e^--Paarvernichtung zur Erzeugung einer $b\overline{b}$-Resonanz (Abb. 3). Ein sehr hoher Anteil von 60% des gesamten Wirkungsquerschnitts entfällt auf die gewünschten $B^0\overline{B}^0$-Ereignisse. Unter Berücksichtigung der begrenzten Luminosität der Beschleunigers erwartet man bis zu 10^8 Ereignisse pro Jahr.

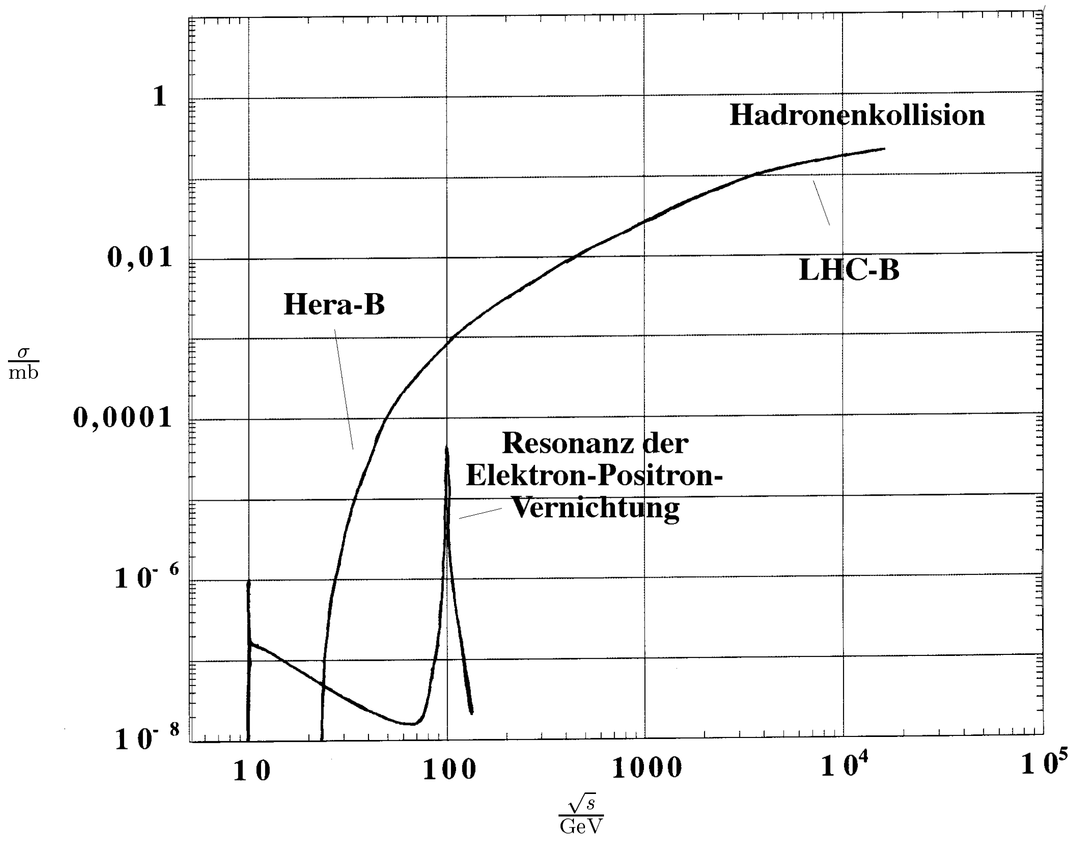


Abbildung 3: Wirkungsquerschnitt bei der b-Produktion (Skizze) [Str97]

HERA-B und LHC-B erzeugen B-Mesonen durch Hadronenkollisionen. Je nach Schwerpunktsenergie sind sehr viel höhere Wirkunsquerschnitte als bei der e^+e^--Paarvernichtung möglich (Abb. 3). Das noch in der Planung befindliche LHC-B Experiment wird voraussichtlich ab 2004 in Betrieb gehen und mit wesentlich größeren Raten als HERA-B erstmalig Präzisionsmessungen ermöglichen. HERA-B soll ab 1999 die ersten Ergebnisse liefern.

1.3 Das HERA-B Experiment

Abbildung 4 zeigt eine Übersicht der Beschleuniger, Speicherringe und der Experimentierhallen am DESY in Hamburg. HERA-B wird zur Zeit in Experimentierhalle West am HERA-Ring aufgebaut, an dem bereits die Experimente H1, ZEUS und HERMES betrieben werden. Im Gegensatz zu H1 und ZEUS kollidieren bei HERA-B nicht zwei Teilchenstrahlen miteinander. Vielmehr ragen acht Metalldrähte als festes Target in den Halo des Protonenstrahls, also in einen Randbereich, der für den Speicherring ohnehin verlorengeht. Damit wird der Teilchenfluß für die übrigen Experimente nicht beeinträchtigt.

In Abbildung 5 ist der Aufbau des Detektors zu sehen. Im Einzelnen enthält HERA-B folgende Komponenten:

- Das Target besteht aus acht Metalldrähten, die im Abstand von einigen Millimetern um

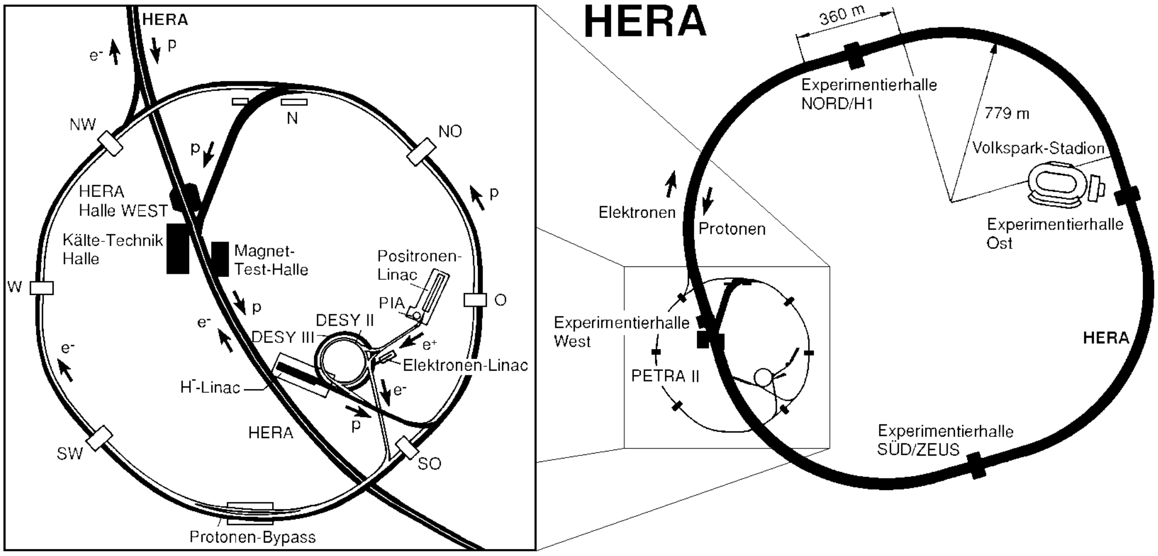


Abbildung 4: Beschleuniger, Speicherringe und Experimentierhallen am DESY. Der HERA-Ring besitzt einen Umfang von 6,3 km und befindet sich in einem unterirdischen Tunnel. In diesem Ring werden Protonen mit 820 GeV und Elektronen mit 28 GeV auf gegenläufigen Bahnen gespeichert. Die Ringe DESY und PETRA dienen zur Beschleunigung der Teilchen.

den Protonenstrahl herum gespannt sind.

- Ein Vertexdetektor aus Siliziumstreifendetektoren (SVD) ermöglicht die Bestimmung des genauen Wechselwirkungspunktes und der Sekundärvertices der B-Mesonen.
- Das innere Spurkammersystem (ITR) dient zur Spurrekonstruktion der Sekundärteilchen in einem Winkel zur Strahlachse von 10 . . . 40 mrad.
- Das äußere Spurkammersystem (OTR) ergänzt den ITR im Bereich von 40 bis 220 mrad.
- Mit einem magnetisches Spektrometer aus einem Dipolmagneten und Teilen des Trackingsystems werden die Impulse der Teilchen gemessen.
- Ein Čerenkov-Licht-Zähler (RICH) unterscheidet Protonen, Kaonen und Pionen.
- Ein elektromagnetisches Kalorimeter (ECAL) detektiert Elektronen.
- Schließlich identifiziert ein Myonen-Detektor Myonen-Paare.

Wegen des starken Lorentz-Boosts beschränkt sich der ganze Detektor auf einen Winkel von 220 mrad um die Strahlachse.

1.4 Inner Tracker

Die Anforderungen an den Inner Tracker sind hoch. Teilchenraten bis zu $10^4\,\mathrm{mm}^{-2}s^{-1}$ werden erwartet. Um Spuren eindeutig rekonstruieren zu können, ist daher eine hohe Granularität

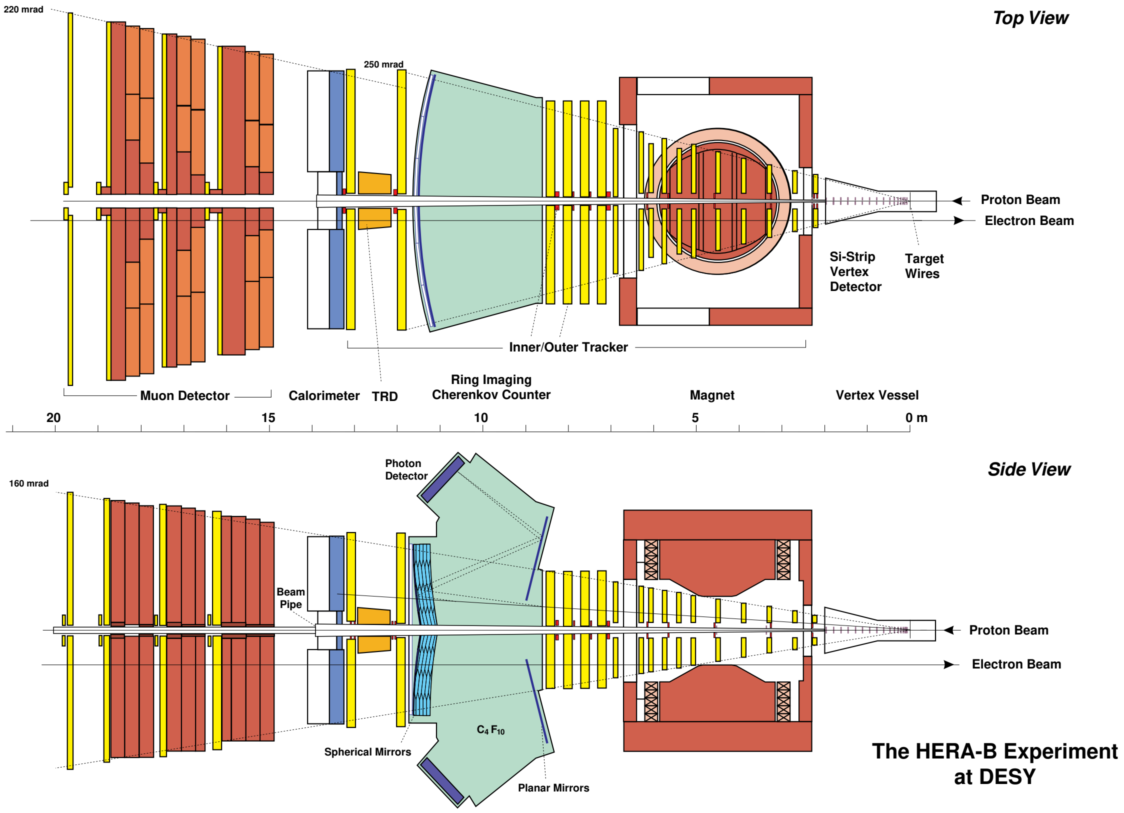


Abbildung 5: Schnitt durch den Detektor (oben: Aufsicht, unten: Seitenansicht)

erforderlich. Außerdem darf die Strahlenbelastung nicht zu einem Ausfall des Inner Trackers führen. Ein noch sehr junges Detektorkonzept verspricht diese Anforderungen zu erfüllen. Sogenannte Mikrostreifengaszähler (MSGC) stellen eine Art vielkanalige Weiterentwicklung des Proportionalzählers dar.

Der Inner Tracker dient sowohl zur Spurrekonstruktion, als auch zur Erzeugung des First-Level-Triggers. Rund 74.000 MSGC-Kanäle werden zur Erzeugung von Triggersignalen ausgewertet. Eine Detektorlage besteht aus vier aneinandergrenzenden MSGCs und deckt einen Radius von sechs bis 25 cm ab (Abb. 8). Jede dieser Lagen muß eine Nachweiswahrscheinlichkeit von 80% leisten. Insgesamt 192 MSGC überdecken eine Fläche von 17 m^2. Obwohl der Inner Tracker nur einen kleinen Raumwinkel abdeckt, erwartet man hier beinahe die Hälfte aller Teilchenspuren. Dies liegt an der nach außen stark abnehmenden Spurdichte.

Wegen großen Schwierigkeiten mit Hochspannungsüberschlägen (Sparks) in den MSGCs [Bre97] im Winter 1996/97 schien dieses Detektorkonzept jedoch nicht einsatzfähig zu sein. Eine modifizierte MSGC mit einer gelochten Elektrodenfolie als Gasvorverstärker (GEM) löste die Probleme mit den „Sparks“ und begeisterte durch stabilen Betrieb in einem Teststrahl.

Die vorliegende Arbeit bezieht sich stellenweise noch auf die einfache MSGC ohne Gasvorverstärker. Dies ist jedoch kein Nachteil, da sich beide Kammertypen, aus der Sicht der Elektronik, nur in der erreichbaren Gasverstärkung unterscheiden.

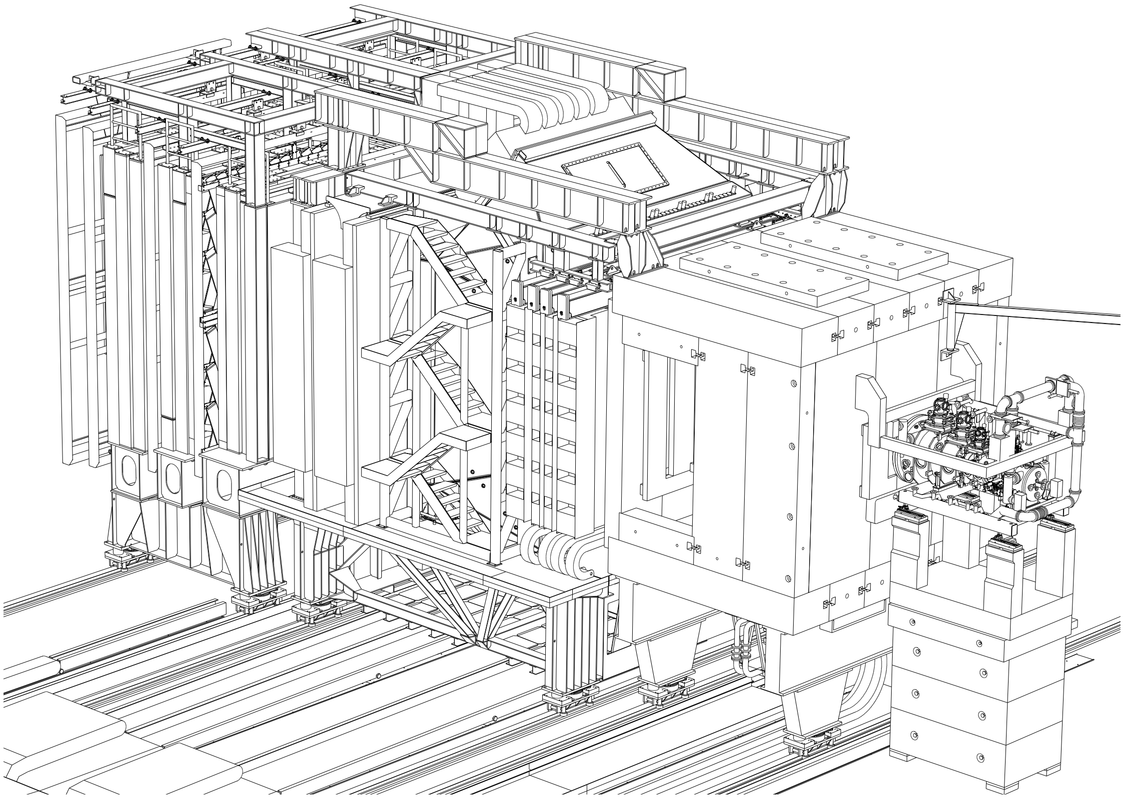


Abbildung 6: Schräganseicht des Detektors

1.5 Aufbau und Funktionsprinzip eines Mikrostreifen-Gaszählers

Die MSGC besteht im wesentlichen aus den folgenden Teilen (Abb. 7):

- Der Boden der Kammer wird aus aus einem 300 μm dicken Glaswafer geschnitten.
- Dieser Boden wird mit Gold, Aluminium oder Chrom beschichtet und anschließend photolithographisch strukturiert. Dabei entstehen streifenförmige Anoden und Kathoden
- Darüber wird die Kammer im Abstand von einigen Millimetern durch einen vollflächig metallisierten Deckel abgeschlossen, der gleichzeitig als Driftelektrode dient.
- Im Falle einer MSGC mit GEM (Gas-Elektronen-Multiplier) [Oed97] wird zwischen Boden und Deckel eine perforierte und beidseitig metallisierte Kaptonfolie gespannt, die zur Gasvorverstärkung dient.
- Die Unterseite des Glasbodens ist ebenfalls metallisch beschichtet. Diese „Backplane“ verringert das Übersprechen zwischen den Anoden und die Einkopplung von Störsignalen der Umgebung auf die Anoden.
- Eine schwach leitende Schicht (coating) über oder unter den Anoden und Kathoden dient zur Ableitung statischer Ladungen auf dem Glassubstrat, die die Feldkoniguration ändern und langfristig das Substrat elektrochemisch beschädigen würden.

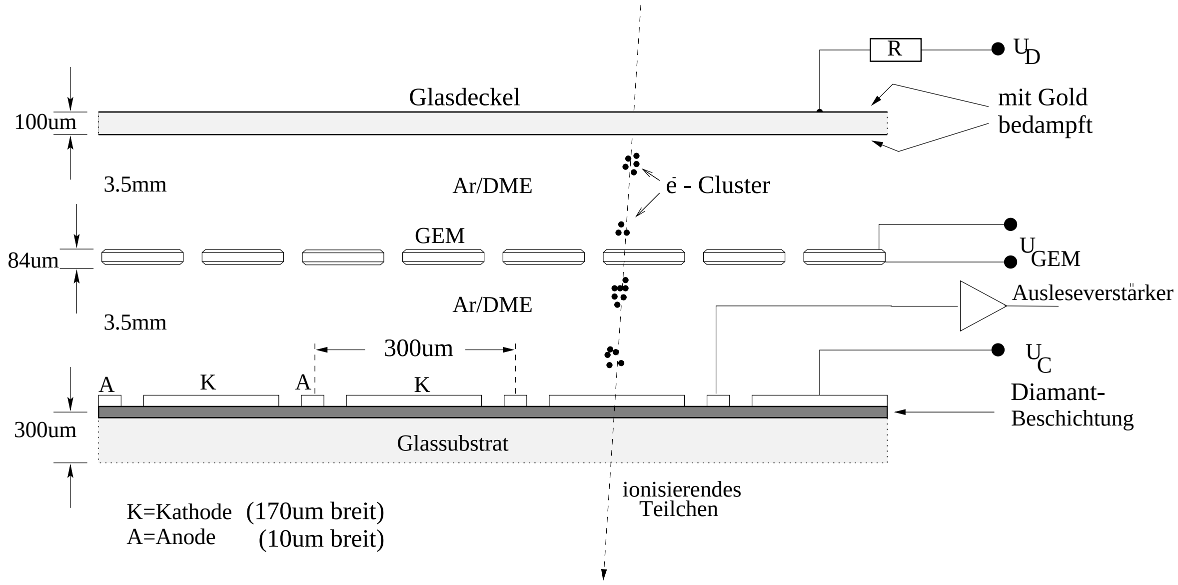


Abbildung 7: Querschnitt durch eine MSGC mit Gasvorverstärkung

Zwischen den beiden Seiten der Gasverstärkungsfolie (GEM) wird eine Spannung von 300 bis 500 V angelegt. Typische Betriebsspannungen der MSGC mit GEM sind 500 V zwischen Kathoden und Anoden und 6 kV zwischen Driftelektrode und Anoden. Die Backplane liegt auf Anodenpotential. Bei der MSGC ohne GEM muß die gesamte Gasverstärkung im Feld zwischen Kathode und Anode stattfinden.

Durchquert ein ionisierendes Teilchen den Gasraum einer MSGC kommt es in folgenden Schritten zur Entstehung eines Signals:

- Ein durch die Kammer fliegendes Teilchen erzeugt auf seiner Bahn im Gasgemisch Ionen-Elektronen-Paare. Bei dieser *primären Ionisation* entstehen im allgemeinen mehrere Gruppen (cluster) ionisierter Teilchen, die wiederum aus mehreren Ionen-Elektronen-Paaren bestehen.

- Zwischen Deckel und Boden der Kammer liegt eine Spannung an, wodurch ein Driftfeld von etwa $10\frac{\mathrm{kV}}{\mathrm{mm}}$ auf die getrennten Ionen und Elektronen wirkt. Dadurch wird eine Rekombination verhindert, die Ionen wandern zum Deckel und die Elektronen driften in Richtung der Kathoden und Anoden.

- Bei einer MSGC mit einer Gasvorverstärkungsfolie (GEM) müssen Elektronen aus dem oberen Gasraum die Folie durchqueren. Durch die an die GEM angelegte Spannung wird das Driftfeld deformiert, sodaß die Feldlinien stark eingeschnürt durch die Löcher der Folie verlaufen. Die Elektronen werden durch das Feld in den Löchern so stark beschleunigt, daß sie selbst ionisierend wirken und eine Lawine ionisierter Teilchen erzeugen. Je nach Einstellung der Kammerparameter wird jedes Primärelektron im Mittel durch 20 weitere Elektronen verstärkt Nach dem Austritt aus der Folie driften die Elektronen weiter zum Boden der Kammer.

- Auch zwischen den eng nebeneinanderliegenden Anoden und Kathoden wird eine Spannung angelegt. Auch hier ist das elektrische Feld so stark, daß es zur Gasverstärkung kommt.

- Nicht alle Sekundärelektronen treten sofort in die Anode ein. Vielmehr verzögert sich ein Teil durch die attraktive Wirkung der positiven Ionen.

Abschnitt 2.1 beschäftigt sich mit der Simulation dieses Vorgangs.

1.6 Anbindung der Ausleseelektronik an die MSGC

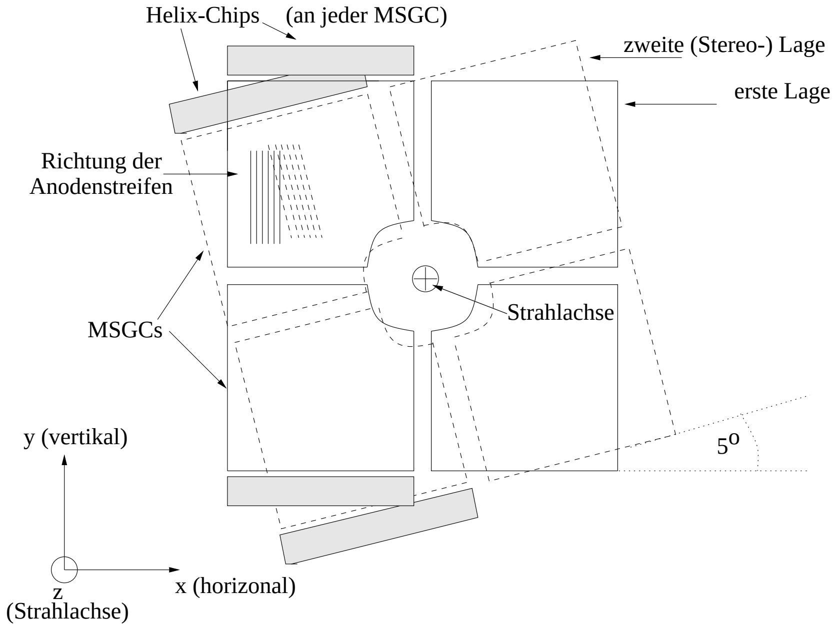


Abbildung 8: Montage einer Doppellage mit Stereowinkel. Die Ausleseelektronik wird direkt an die Kammern montiert.

Abbildung 8 zeigt, wie eine Doppellage aus acht MSGCs um das Strahlrohr montiert wird. Die Anodenstreifen laufen längs der y-Achse und ergeben dadurch eine Ortsauflösung von $300\,\mu$m in x-Richtung. Durch die Verdrehung einer Lage um 5° wird durch Auswertung einer Doppellage die Bestimmung der y-Koordinate einer Teilchenspur bis auf etwa 1 mm möglich.

Zur Auslese der MSGCs wurde am „ASIC Labor Heidelberg“[1] ein anwendungsspezifischer integrierter Schaltkreis entwickelt (ASIC: application specific integrated circuit). Der sogenannte „Helix128S-2“ stellt die aktuelle Version dieses Mikrochips dar. Die Verbindung der MSGCs mit den ASICs kann nicht auf konventionelle Weise erfolgen. Jede MSGC besitzt 768 Anoden mit einem Anschlußpitch von $300\,\mu$m. Diese müssen an die Eingänge von sechs Helix-Chips mit je 128 Eingängen und einem Pitch von $41,4\,\mu$m angeschlossen werden. Realisiert wurden diese Verbindungen durch ein Folienkabel aus Kapton mit Kupferleiterbahnen und ein aus Keramik hergestelltes Fan-In, das gemeinsam mit den Helix-Chips auf eine Platine geklebt wird. Das Kaptonkabel verringert den Pitch von $270\,\mu$m auf $200\,\mu$m. Mit einem speziellen

---

[1] Das Asic-Labor Heidelberg wurde 1994 als gemeinsame Einrichtung des Instituts für Hochenergiephysik, des Max-Planck Instituts für Kernphysik und des Physikalischen Instituts gegründet. Zielsetzung des ASIC-Labors sind die Entwicklung und der Test von ASICs und FPGAs (field programmable gate arrays).

Klebstoff, der kleine Metallkugeln enthält, wird das Kabel als Brücke zwischen MSGC und Fan-In geklebt („Z-Bonding“), womit gleichzeitig die elektrischen Verbindungen hergestellt werden. Zusätzlich enthält der Keramik-Adapter je einen Widerstand pro Kanal, der zum Hochspannungsschutz des Auslesechips beiträgt. Bei der Beschichtung der Keramiken und Strukturierung der gewünschten Leiterbahnen und Bondflächen kommen Dick- oder Dünnfilmtechnologien in Frage. Kapitel 3 enthält außer einem Überblick über beide Techniken jeweils die Ergebnisse von Messungen der elektrischen Belastbarkeit.

Die elektrische Verbindung zwischen Keramik-Adapter und Helix-Chips wird durch „Wire-Bonden“ hergestellt. Darunter versteht man die Verbindung mit einem feinen Gold- oder Aluminiumdraht von etwa $25\,\mu$m Durchmesser, der nicht angelötet, sondern mit einem speziellen Werkzeug auf das Pad gedrückt und mit einem Ultraschallimpuls erhitzt wird.

Die durch ein ionisierendes Teilchen in der MSGC verursachte Ladung fließt von der Anode der MSGC zum Vorverstärker des Helix-Chips. Der Vorverstärker und der nachfolgende Impulsformer erzeugen einen Spannungsimpuls, dessen Amplitude linear zur eingekoppelten Ladung abhängt. Dieses Signal wird gleich zweifach verwendet:

- Der analoge Pfad dient zur Auswertung der Signalhöhe. Er enthält eine Speicherkette (Pipeline), mit der die Spannungspegel bis zu einer eventuellen Auslese zwischengespeichert werden.
- Der Triggerpfad vergleicht das Signal mit einer Triggerschwelle und erzeugt aus jeweils vier benachbarten Kanälen ein digitales Triggersignal.

Der Vergleich des Signals mit einer Referenzspannung im Triggerpfad geschieht durch einen Komparator, der in Kapitel 4 beschrieben wird. Ein Testchip ermöglicht Messungen zur Charakterisierung dieses Komparators. Entwurf und Layout dieses Testchips und einer zugehörigen Platine werden in Kapitel 5 dargestellt.

Der Komparator wurde schließlich in den Helix128S-2 integriert. Kapitel 6 faßt die Funktionen des Helix128S-2 zusammen, soweit sie den Triggerpfad betreffen. Außerdem wird der Prototyp einer Leiterplatte für den Betrieb der Auslesechips mit der MSGC am HERA-B Experiment beschrieben.

2 Simulation der MSGC-Signale

Um die Ausleseelektronik für einen Detektor optimieren zu können, muß man verstehen, wie Signale im Detektor entstehen und auf dem Weg zur Elektronik verändert werden.

Im Laufe der Entwicklung der MSGC für HERA-B wurde versucht, mit Hilfe von Anoden und Kathoden aus Chrom oder Rhodium statt Gold robuste MSGCs herzustellen, die nicht durch Sparks zerstört werden. Rhodium und erst recht Chrom besitzen aber einen wesentlich höheren elektrischen Widerstand. Das führt im Zusammenhang mit den unvermeidbaren Kapazitäten von Anode und Kathode zu einer drastischen Verschlechterung der Signalfortpflanzung. Daher sollte im Rahmen dieser Arbeit untersucht werden, ob eine MSGC aus Chrom oder Rhodium mit der nötigen Effizienz ausgelesen werden kann.

2.1 Monte Carlo Simulation der Signalentstehung

Mit einer Monte-Carlo-Simulation soll der in Kapitel 1.5 beschriebene Vorgang der Signalentstehung in der MSGC nachvollzogen werden. Mit dieser Methode können zufällige, statistische verteilte Ereignisse gemäß den angenommenen Wahrscheinlichkeitsverteilungen nachvollzogen werden. Diese Simulation wurde im November 1996 erstellt und beschreibt daher noch eine MSGC ohne GEM.

Zunächst wird für die primäre Ionisation bestimmt, wieviele Cluster enstehen, wo die Cluster entstehen und wieviele Elektronen die einzelnen Cluster enthalten [Sch96]:

- Die Anzahl der Cluster ist Poisson-verteilt:

  $$P_k = \frac{\overline{n}_\mathrm{C}^k}{k!}\mathrm{e}^{-\overline{n}_\mathrm{C}} \quad \longrightarrow \quad n_\mathrm{C}$$

  $\overline{n}_\mathrm{C} = 13,8$ ist ein empirischer Mittelwert für den Betrieb mit dem Gasgemisch Argon/DME im Verhältnis 1:1, bei einer Höhe des Gasraumes von $h = 3,3\,\mathrm{mm}$ und einer zum Deckel und Boden senkrechten Bahn des Teilchens.

- Die Orte der einzelnen Cluster sind über die Flugbahn des Teilchens gleichverteilt. Da das Teilchen senkrecht durch die Kammer laufen soll, sind $x = y = 0$. Die z-Koordinate kann alle Werte zwischen 0 und h annehmen. Die Wahrscheinlichkeitsdichte p der Gleichverteilung ist konstant:

  $$p_z = \frac{1}{h} \quad \longrightarrow \quad z$$

- Jeder Cluster besteht aus unterschiedlich vielen Elektronen. Hierfür wird eine empirische Verteilung („Fischle“-Verteilung) herangezogen (siehe Anhang A.1).

Nun wird die Drift der einzelnen Cluster bis zur Anode modelliert.

- Jeder Cluster benötigt für seinen Weg bis zur Anode die Driftzeit $\overline{t}_\mathrm{A} = \frac{z}{v}$. Die Driftgeschwindigkeit zur Anode kann als konstant angenommen werden: $v = 57\frac{\mu\mathrm{m}}{\mathrm{ns}}$. Der

Cluster hat allerdings eine Ausdehnung, die im Laufe des Driftens wegen der elektrischen Abstoßung und Stößen mit dem Gas zunimmt. Es wird angenomen, daß die Ankunftszeit der einzelnen Elektronen eines Clusters gaußverteilt ist:

$$p(t_\mathrm{A}) = \frac{1}{\sqrt{2\pi}\ \sigma_{t_\mathrm{A}}} \exp\left(-\frac{1}{2}\frac{(t-\overline{t}_\mathrm{A})^2}{\sigma_{t_\mathrm{A}}^2}\right)$$

An dieser Stelle wird aber keine Zufallsvariable aus der Verteilung bestimmt, sondern die Ankunftsdichte $\delta(t-\overline{t}_\mathrm{A})\cdot n_\mathrm{C}$ (ohne Diffusion) der einzelnen Cluster mit der Gaußkurve gefaltet. Das Simulationsprogramm baut eine Tabelle endlich großer Zeitabschnitte auf und speichert darin die Anzahl der im jeweiligen Zeitabschnitt angekommenen Elektronen. $\sigma_{t_\mathrm{A}} \approx \sqrt{\frac{z}{\mathrm{mm}}}\cdot 0{,}7\,\mathrm{ns}$ ist ein empirisch bestimmter Parameter. Eine transversale Diffusion, die zur Verteilung eines Clusters auf mehrere Anodenstreifen führen kann, soll nicht berücksichtigt werden.

- Nicht alle Sekundärelektronen treten sofort in die Anode ein. Vielmehr verzögert sich ein Teil durch die attraktive Wirkung der positiven Ionen. Es wird angenommen, daß die Hälfte der Elektronen sofort freigegeben wird, die andere Hälfte aber erst nach einer Zeit, die durch eine weitere empirische Verteilung bestimmt wird (siehe Anhang A.2).

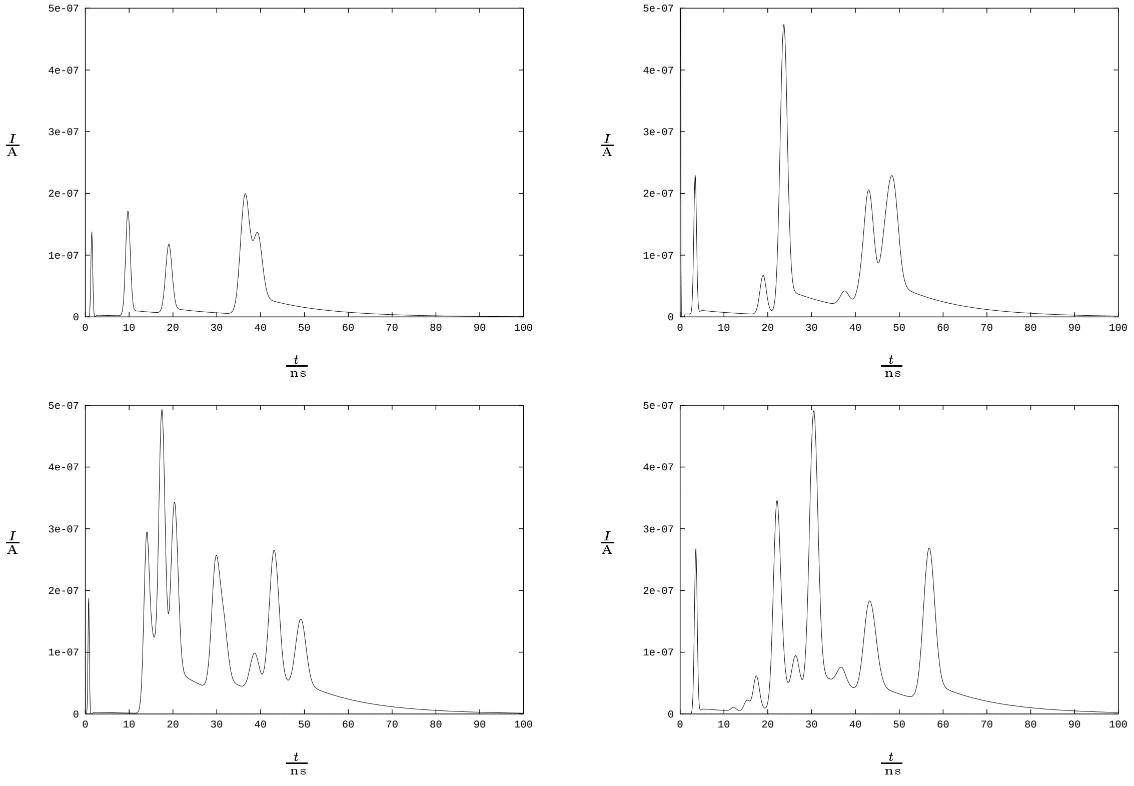


Abbildung 9: Vier Beispiele eines simulierten MSGC-Signals, die durch mehrmaligen Ablauf desselben Programms entstanden sind.

Läßt man die Simulation sehr oft ablaufen und führt dabei ein Histogramm über die Gesamtladung der Ereignisse, erhält man eine Verteilung, die der Landau-Verteilung [Leo87] nahekommt:

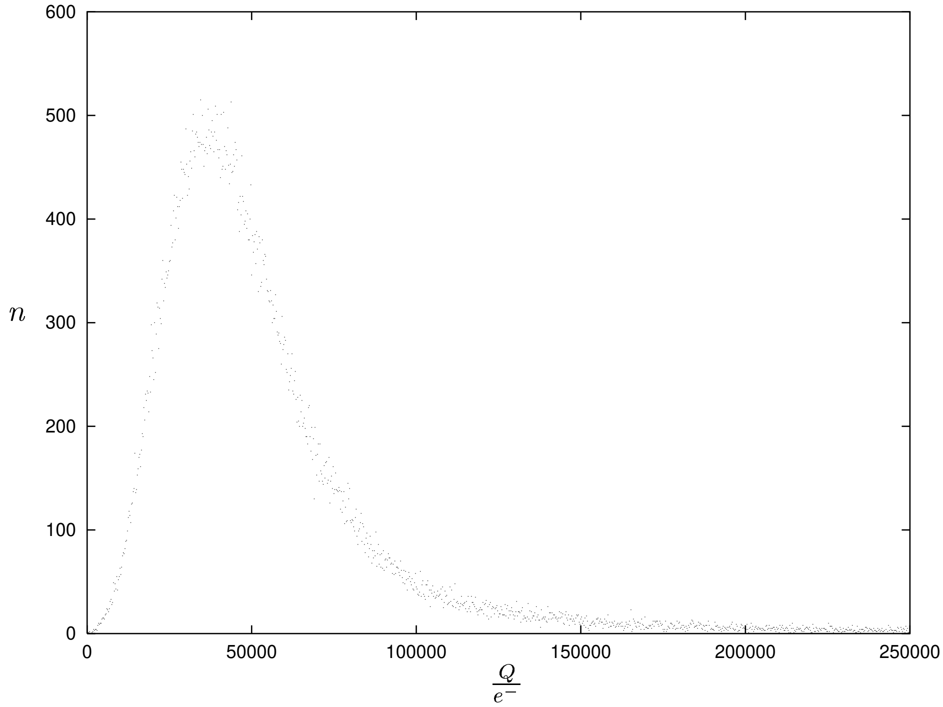


Abbildung 10: Verteilung der Gesamtladung bei 10^5 Ereignissen.

Anhand dieses Plots (Abb. 10) läßt sich gut erklären, was bei Spannungs- oder Ladungsangaben in Zusammenhang mit einem „MIP“ (minimal ionisierendes Teilchen) gemeint ist. Bei der hier simulierten Kammer ist die wahrscheinlichste Ladung, die durch ein MIP verursacht wird $4,0 \cdot 10^4 e$. Der Erwartungswert ist $5,3 \cdot 10^4 e$. Das gleiche Teilchen könnte auch ein nicht meßbar kleines Signal erzeugen oder eine Ladung von mehreren $10^5 e$.

2.2 Netzwerksimulation der Signalfortpflanzung

Nachdem die Elektronen aus dem Gasraum in die Anode eingetreten sind, verteilt sich die Ladung über die Anode und fließt letztendlich über den Eingang des angeschlossenen Verstärkers ab. Anode und Kathode haben einen nur geringen Querschnitt und damit einen nennenswerten ohmschen Widerstand. Außerdem kommt es zwischen Anode, Kathode und Backplane zur gegenseitigen kapazitiven Kopplung.

In den beiden folgenden Tabelle sind die Kapazitäten zwischen Anode, Kathode und Backplane und die Widerstände einer Anode aus Gold, Rhodium und Chrom für die Geometrie nach Abbildung 7 jeweils pro Länge der Streifen angegeben [Sch96]:

C_{AK}	C_{AB}	C_{KB}
$20,3\frac{\mathrm{pF}}{\mathrm{m}}$	$11.0\frac{\mathrm{pF}}{\mathrm{m}}$	$31,2\frac{\mathrm{pF}}{\mathrm{m}}$

R_{Au}	R_{Rh}	R_{Cr}
$20\frac{\mathrm{k}\Omega}{\mathrm{m}}$	$60\frac{\mathrm{k}\Omega}{\mathrm{m}}$	$1500\frac{\mathrm{k}\Omega}{\mathrm{m}}$

Zu beachten ist, daß jede Anode zwei Kathoden als Nachbarn besitzt. C_{AK} tritt also gleich zweimal pro Anode auf. Die ohmschen Widerstände hängen nicht nur vom verwendeten Material und Querschnitt der Streifen sondern auch von der Herstellungsmethode ab.

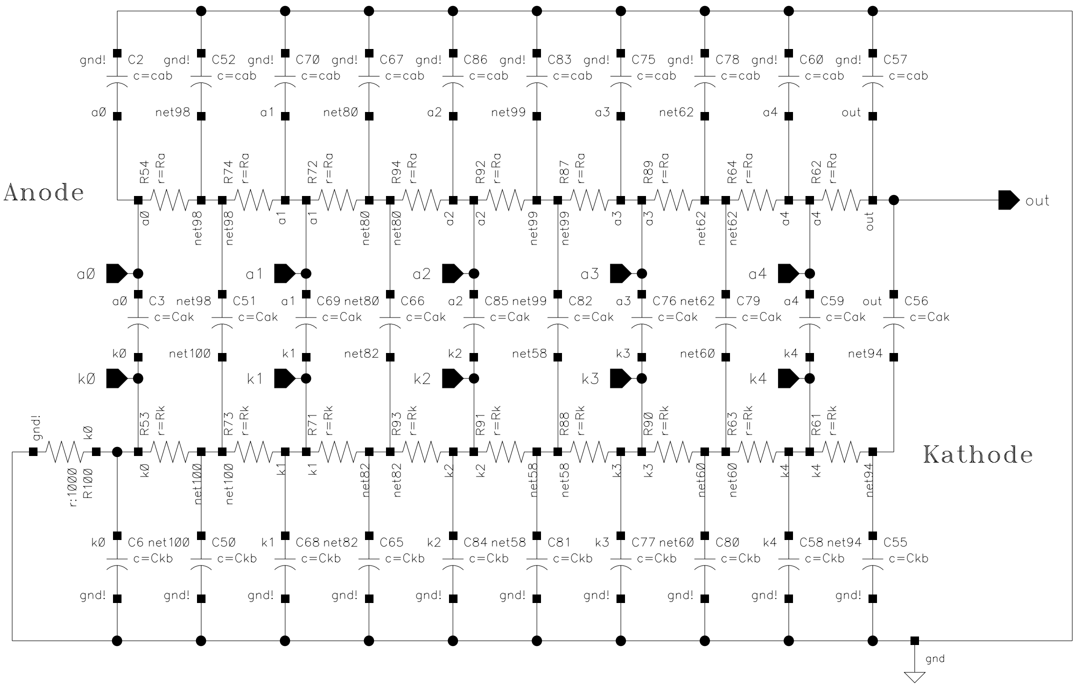


Abbildung 11: R-C-Netzwerk als elektrisches Modell einer MSGC

Um das System aus kontinuierlichen Widerständen und Kapazitäten simulieren zu können, wird ein diskretisiertes Modell verwendet (Abb. 11). Eine Anode und eine benachbarte Kathode werden in Reihenschaltungen aus jeweils 9 Widerständen zerlegt. Die Summe der Widerstände ergibt den Anoden- bzw. Kathodenwiderstand bei gegebener Länge. Die Kapazität zwischen Anode und Kathode wird entsprechend in 10 Kondensatoren zerlegt, die die Anoden- und Kathodenketten verknüpfen. Schließlich stehen jeweils 10 Kondensatoren für die Kapazität von Anode und Kathode mit der Backplane. Die Backplane ist für die Simulation als Nullpotential („gnd“) definiert.

Das Eintreten von Elektronen in die Anode wird durch eine Stromquelle zwischen Anode und Kathode simuliert. Interessante Signale, die damit eingekoppelt werden können, sind δ- und Rechteck-Impulse oder Signale, die durch Simulation der Signalentstehung in der MSGC erzeugt wurden. Entsprechend der Anodenunterteilung in neun Widerstände kann das Signal an zehn verschiedenen Stellen eingespeist werden (Im Netzwerk Abb. 11 sind fünf davon als Anschlüsse a0/k0 bis a4/k4 vorgesehen).

Eine Seite der Anode ist mit dem Eingang des Vorverstärkers verbunden. Als einfacher Ersatz für die Belastung durch den Verstärker können auch ein Kondensator und ein Widerstand gegen Masse verwendet werden.

Das Ergebnis einer Simulation, bei der ein δ-Impuls in das RC-Netzwerk eingespeist wurde zeigt Abbildung 12. Die Driftzeit der Primärcluster (voriges Kapitel) und die Verbreiterung der Signale auf dem Weg durch die Anodenstreifen bestimmen die nötige Integrationszeit des Ausleseverstärkers.

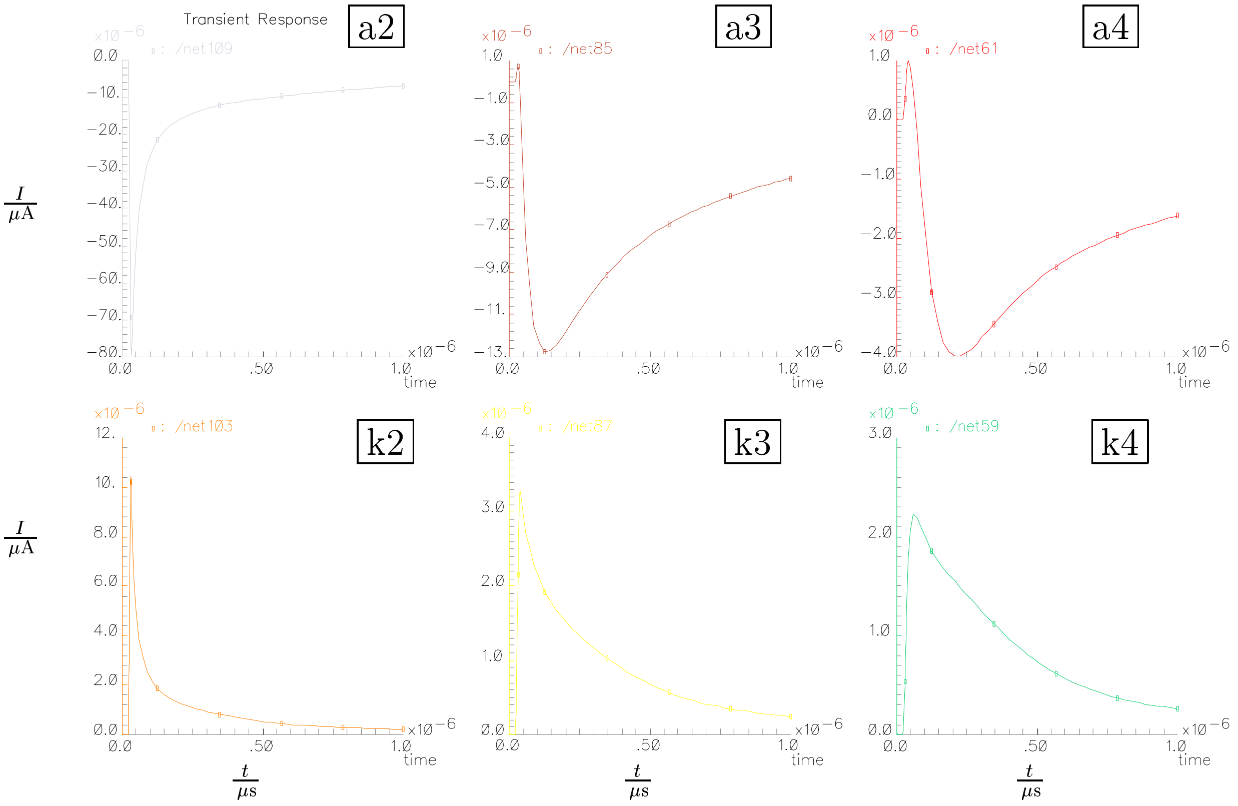


Abbildung 12: Simulation der Signalfortpflanzung im RC-Netzwerk: Antwort des in Abbildung 11 gezeigten Netzwerkes auf einen δ-förmigen Stromimpuls, der zwischen den Netzwerkknoten a2 und k2 eingespeist wurde. Die Anoden- und Kathodenwiderstände entsprechen einer Gold-beschichteten MSGC. In den Plots a2 bis a4 sieht man die Verzögerung und Verbreiterung des Signals auf dem Anodenstreifen bei Verringerung der Amplitude (Skala der y-Achse ändert sich). Die unteren drei Plots zeigen, wie sich das Signal auf der Kathode ausbreitet.

3 Hochspannungstests mit Keramik-Adaptern

Die Anoden der MSGC werden über ein flexibles Folienkabel mit der Helix-Leiterplatte (Kap. 6.2) verbunden. Das Folienkabel hat MSGC-seitig ein Rastermaß (pitch) von $270\,\mu$m. Der geringe Pitch der Helix-Eingangskanäle von $41{,}4\,\mu$m kann mit einem Folienkabel nicht kontaktiert werden. Auch auf einer Leiterplatte sind Strukturen mit einem Pitch kleiner als $100\,\mu$m nicht realisierbar.

Als Adapter zwischen Folienkabel und Chip fungiert daher ein Keramik-Plättchen. Der MSGC-Pitch wird auf dem Folienkabel schon auf $200\,\mu$m reduziert, um den Adapter klein zu halten. Das verbessert die Ausbeute und verringert die Kosten bei der Herstellung.

Als Schutz vor Hochspannungsüberschlägen in der MSGC wurden Prototypen des Helix mit Schutzdioden und -widerständen ausgestattet. Tests haben gezeigt, daß diese Schutzstrukturen alleine nicht ausreichend sind [Bec96]. Die auf dem Chip integrierten Widerstände halten der Belastung eines HV-Überschlags nicht stand. Der Schutzwiderstand soll daher extern angebracht werden. Aufgrund der genannten Platzprobleme, die schon bei der einfachen elektrischen Verbindung enstehen, werden die Widerstände auf dem Keramik-Adapter integriert.

Erste Prototypen des Adapters wurden an der Universität-GH-Siegen in Dickfilmtechnik hergestellt. Später wurde wegen Schwierigkeiten bei Herstellung und Verarbeitung die Produktion der Keramik-Adapter in Dünnschichttechnologie an einen kommerziellen Hersteller vergeben. Meine Aufgabe war es, die Belastbarkeit der Dick- und Dünnfilmwiderstände zu messen, die Hochspannungsfestigkeit des Helix-Chips in Verbindung mit den Keramik-Adaptern zu überprüfen und aufgrund dieser Erkenntnisse eine geeignete Dimensionierung der Widerstände zu bestimmen.

3.1 Adapter in Dickfilmtechnik

Bei der Dickfilmtechnologie werden Leiterbahnstrukturen im Siebdruckverfahren auf Keramikplatten aus Al_2O_3 aufgedruckt [Geb97]. Die Leiterbahnpasten bestehen üblicherweise aus einem Gemisch von Silber-Palladium- und Glaspartikeln, die in ein zähflüssiges Lösungsmittel eingebettet werden. Die aufgedruckten Leiterbahnen werden in einem Ofen bei einer Temperatur von 850°C eingebrannt. Dadurch verschmelzen die Partikel miteinander und bilden eine leitfähige Struktur aus. Die schmelzenden Glaspartikel sorgen für eine gute Haftung auf dem Keramikträgermaterial.

Danach kann die Schaltung weiter aufgebaut werden, z.B. durch Aufdrucken einer Isolationsebene und einer weiteren Leiterbahnebene, die mittels Durchkontaktierungsfenster mit der darunter liegenden Leiterbahnebene verbunden ist. Es können mehrere Leiterbahnebenen mit zwischenliegenden Isolationsschichten übereinander gedruckt werden. Die Isolationspasten bestehen meist nur aus Glas-Partikeln im pastenförmigen Lösungsmittel. Auch die benötigten Widerstände werden im Siebdruckverfahren aufgedruckt. Wichtig ist, daß jede der aufgedruckten Schichten für sich eingebrannt werden muß. Auf diese Weise können Schaltungen, wie bei der Leiterplattenherstellung, in mehreren Lagen realisiert werden. Wenn alle Schichten aufgedruckt und eingebrannt sind, werden die Widerstände mit Hilfe eines Lasers auf

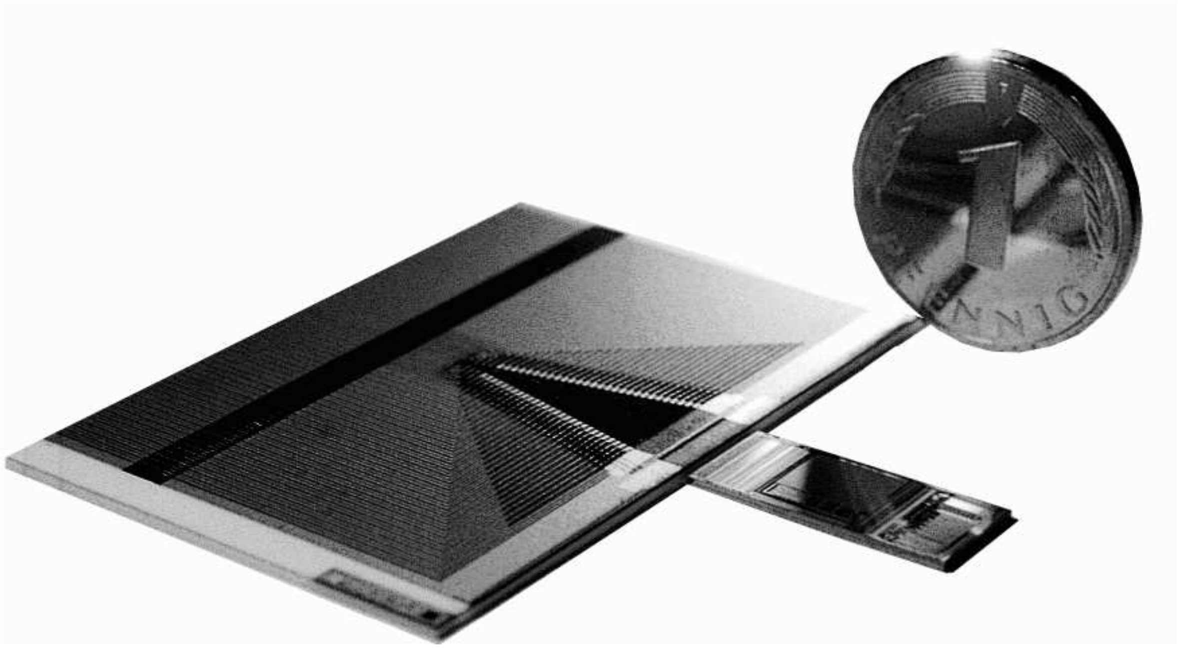


Abbildung 13: Keramikadapter in Dickfilmtechnik mit Helix128S-2 (vorne rechts).

die gewünschten Werte getrimmt, was eine sehr hohe Genauigkeit ermöglicht. Mit der Dickfilmtechnologie sind Leiterbahnbreiten und Zwischenräume bis minimal 100 μm entsprechend 200 μm Rasterabstand möglich. Kleinere Strukturen können durch die Nachbearbeitung mit einem Laser erreicht werden.

Die Prototypen der Universität-GH-Siegen besitzen einen Pitch von 270 μm auf der MSGC- und 41.4 μm auf der Helix-Seite. Jeder der 128 Kanäle besitzt einen integrierten Widerstand. Die Widerstände des untersuchten Prototypen hatten Werte von $1,0\,\mathrm{k}\Omega$ bis $1,4\,\mathrm{k}\Omega$ bei einem konstanten Gradienten vom ersten bis zum letzten Kanal. Die Oberfläche der Leiterbahnen war für das Bonden nur eingeschränkt geeignet. Das lag zum einen an den Eigenschaften der Silber-Palladium-Legierung, zum anderen an Rückständen durch die Laser-Strukturierung und an Graten an den Leiterbahnkanten, die ebenfalls durch die Laser-Bearbeitung entstanden sind. Diese Grate hindern das Bondwerkzeug am flächigen Kontakt mit der Leiterbahn.

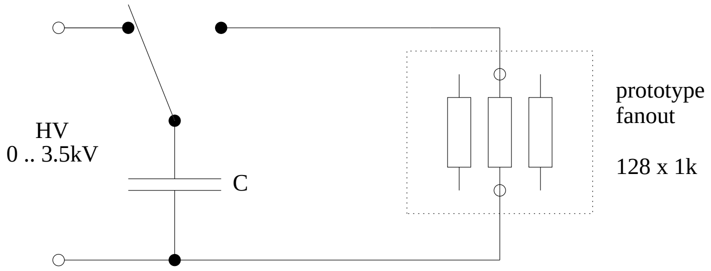


Abbildung 14: Belastung der Filmwiderstände durch Entladung eines Kondensators

Zunächst wurden die Keramik-Adapter alleine einem Belastungstest unterzogen:

- Die Maximale Dauerleistung der Widerstände ist 6, 7W. Bei der Messung wurden Strom und Spannung durch einen Kanal bis zur Zerstörung gemessen. Die Nachbarwiderstände wurden dabei nicht gleichzeitig belastet.

- Ab 3,0 kV treten Überschläge zwischen den Kanälen auf.
- Die kurzfristige Belastbarkeit durch Spannungsspitzen (Überschläge in der MSGC) wurden durch Entladung eines Kondensators über einen Schalter und den Keramik-Adapter getestet (Abb. 14). Als Schalter wurde ein hochspannungsfester Taster verwendet. In Verbindung mit einem Kabel von etwa 20 cm zwischen Taster und Prüfling, konnten damit Hochspannungspulse mit einer Anstiegszeit von etwa $50\frac{\mathrm{V}}{\mathrm{ns}}$ erzeugt werden. Bei $C = 10\,\mathrm{nF}$ halten die Widerstände bis 1,05 kV. Bei einem realistischen $C = 100\,\mathrm{pF}$ wurden die Widerstände bei 3,5 kV noch nicht beschädigt. Die Hochspannung der MSGC liegt bei 1,0 kV oder weniger.

Die Dickfilmwiderstände sind also hinreichend robust.

3.2 Untersuchung von Schutzstrukturen an den Verstärkereingängen

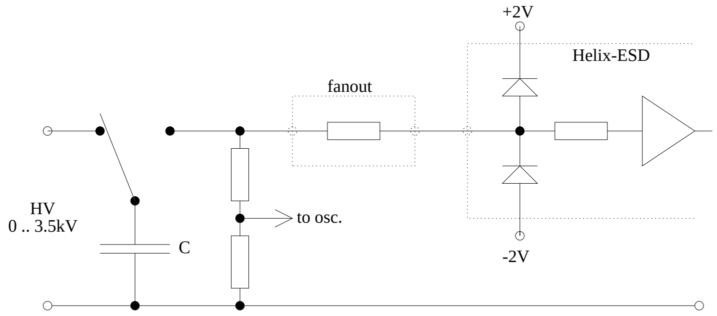


Abbildung 15:

Die Schutzwiderstände des Keramik-Adapter sollen gerade so groß sein, daß sie zusammen mit den Schutzdioden auf dem Chip einen ausreichenden Schutz gegen Hochspannungspulse gewährleisten. Zu große Widerstände erhöhen das Rauschen und die Signalverzögerung unnötig. Für diese Messungen wurden die Testchips „Helix-ESD“ verwendet. Dieser Chip enthält acht ladungsempfindliche Vorverstärker mit unterschiedlichen Schutzstrukturen an den Eingängen.

Zur Messung wurde ein Kondensator auf 1 kV aufgeladen und über den Keramik-Adapter und die Schutzdioden des Helix-ESD entladen (Abb. 15). Der Keramik-Adapter wurde durch SMD-Widerstände ersetzt, um beliebige Werte testen zu können. Es wurde bereits erwähnt, daß die integrierten Schutzwiderstände den Hochspannungsentladungen nicht standhalten. Bei den Test wurden daher Kanäle ohne diese Widerstände verwendet[2]. Zum Schutz des Chips während der Entladungen waren Widerstände von 450 Ω oder größer notwendig. Bei kleineren Werten wurde der jeweilige Kanal oder schlimmstenfalls der gesamte Chip zerstört. Aufgrund dieser Messungen wurden bei den folgenden Dünnfilmkeramik-Adaptern die Widerstände auf 600 Ω festgelegt.

---

[2] Bei zwei Kanälen des Helix-ESD ist es möglich, diese Widerstände mit einem Bonddraht zu überbrücken.

3.3 Adapter in Dünnfilmtechnik

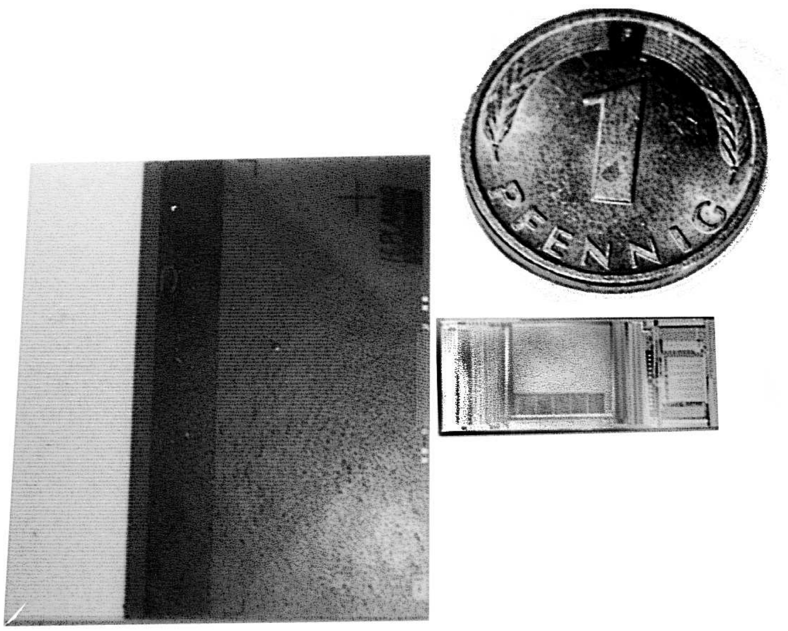


Abbildung 16: Keramikadapter in Dünnfilmtechnik mit Helix128S-2 (rechts).

Die Prototypen eines Keramik-Adapters in Dünnfilmtechnologie wurden von einer Firma[3] hergestellt, die sich auf die Produktion von Mikro-Sensoren spezialisiert hat.

Das Keramik-Substrat („Rubalit 710") besteht zu 99,96% aus Al_2O_3 [End97]. Die Widerstände (einer pro Kanal) werden aus NiCr hergestellt. Diese Legierung wird aus einem NiCr-Target „gesputtert". Man erreicht damit bei $1\,\mu$m Schichtdicke einen Flächenwiderstand[4] von $0{,}16\frac{\Omega}{\Box}$. Die Leiterbahnen entstehen durch Strukturierung einer ebenfalls aufgesputterten Aluminiumbeschichtung. Ein fotostrukturierbarer Lötstopplack („LSF60") dient schließlich als Schutz gegen Korrosion und mechanische Beschädigung.

Die genannten Materialien wurden mit dem Ziel einer einfachen technologischen Beherrschbarkeit und Kompatibilität zu Folgeprozessen (Bonden, Z-Bonden) gewählt. Die einzelnen Schichten (Widerstände, Leiterbahnen und Lötstopplack) werden dabei jeweils in den Schritten Beschichtung, Belichtung, Entwicklung und Ätzen hergestellt. Ungewöhnlich für diesen Prozeß waren die großen Abmessungen des Adapters (26 mm × 22 mm). Da ein Defekt ein ganzes Bauteil unbrauchbar machen kann, hängt die Ausbeute von der Gesamtfläche eines Bauteils ab. Um Fehler frühzeitig erkennen und eventuell korrigieren zu können, wurde jeder Bearbeitungsschritt unter dem Mikroskop optisch kontrolliert.

Da erst wenige Tage vor Abgabe dieser Arbeit zwei Musterexemplare der Keramik-Adapter in Dünnfilmtechnik zur Verfügung standen (Abb. 16), konnten nur noch vorläufige Messungen

---

[3] HL-Planar Technik GmbH, Dortmund

[4] Der Widerstand einer Leiterbahn hängt vom Material, dem Querschnitt und der Länge der Bahn ab. Der Querschnitt A ist das Produkt aus der Breite b und der vorgegebenen Schichtdicke. Also ist $R \sim \frac{l}{A} \sim \frac{l}{b}$. Das bedeutet, daß der Flächenwiderstand $R_\Box$ eines quadratisches Teilstücks ($l = b$) einer Leiterbahn nicht von der Kantenlänge abhängt und daher in $\frac{\Omega}{\Box}$ angegeben werden kann.

durchgeführt werden. Bei den untersuchten Mustern handelt es sich um erste Exemplare, bei denen Bondpads zu klein gefertigt worden sind. Außerdem überdeckt ein Lötstopplack nicht nur Marker zur optischen Kontrolle der Ausrichtung bei der Bestückung, sondern grenzt auch zu nahe an die Anschlußflächen. Dadurch liegt die Bondfläche in einer Vertiefung, sodaß der Bondvorgang behindert wird. Diese Exemplare konnten aus diesen Gründen zur Bestückung der Helix-Leiterplatten nicht verwendet werden.

Die Messung der Widerstände ergab Werte von $(601 \pm 1)\,\Omega$). Bei der Belastung durch einen Gleichstrom verfärbt sich ab $9,5\,\mathrm{W}$ der Lötstopplack über dem Widerstand. Bei höheren Belastungen beginnt der Lötstopplack zu schmelzen und der Widerstand liegt blank. Bei etwa $20\,\mathrm{W}$ beginnt der Widerstand zu glühen und brennt schließlich durch.

Bei der durchgeführten Gleichstrommessung kann der Widerstand über das Keramik-Substrat sehr gut Wärme an die Umgebung abführen. Unklar ist der Einfluß von Langzeiteffekten auf die Widerstände, denn bei hohen Stromdichten kann es zur Elektronen-Migration kommen, das heißt die leitende Schicht wird allmählich abgetragen. Das Verhalten bei wiederholten kurzen Hochspannungsimpulsen über lange Zeit entsprechend den Überschlägen in MSGCs bleibt daher noch zu untersuchen.

4 Differentieller Komparator

Die vorverstärkten Signale der MSGC sollen zur Erzeugung eines Triggersignals mit einer einstellbaren Referenzspannung verglichen werden. Diese Aufgabe übernimmt der im Rahmen dieser Arbeit entwickelte Komparator, der in der aktuellen Version des Auslesechips Helix128S-2 verwendet wird. Auf die Integration der Komparatoren in den Helix128S-2 wird später in Kapitel 6 eingegangen. Für den Einsatz im Triggerpfad 1.6 des Helix-Chips werden an die Komparatoren die folgenden Anforderungen gestellt:

- Das Signal eines minimal ionisierenden Teilchens (MIP, s.S. 14) soll mit ausreichender Effizienz erkannt werden. D.h.:
  - Die Auflösung soll so gut sein wie möglich.
  - Die Offsetvariation verschiedener Komparatoren soll kleiner sein als 10mV.
- entsprechend der Pulsform des Vorverstärkers muß der Komparator Anstiegsgeschwindigkeiten von wenigstens $1\frac{\mathrm{mV}}{\mathrm{ns}}$ verarbeiten können.
- Offsetschwankungen des Vorverstärkers müssen kompensiert werden.

Weitere Randbedingungen sind möglichst geringer Flächenbedarf und die Vermeidung von Störungen, die in den Analogteil des Chips dringen könnten.

4.1 Differenzverstärker

4.1.1 Funktionsweise

Die Schaltungen eines Mikrochips sind aus Widerständen, Kondensatoren und vor allem Transistoren aufgebaut. Als Transistoren werden Feldeffekttransistoren (FET) verwendet (Abb. 17, 18 und 19). Die Steuerelektrode des FET ist das Gate (G). Mit der Steuerspannung U_{GS} läßt sich der Widerstand zwischen Drain (D) und Source (S) steuern. Der vierte Anschluß eines FET ist das Substrat (B, wie „bulk“). Wenn in Schaltbildern das Substrat eines Transistors nicht eingezeichnet ist, so ist es bei n-Kanal-FETs mit der negativen und bei p-Kanal-FETs mit der positiven Betriebsspannung verbunden.

Genaugenommen handelt es sich um Sperrschicht-CMOS-FETs (enhancement channel type metal oxyd silizium - field effect transistors). Diese Variante des Feldeffekttransistors ist selbstsperrend, das heißt bei $U_{\mathrm{GS}} = 0$ fließt kein Strom zwischen Drain und Source. Der Strom von Drain nach Source wird im folgenden I_{D} genannt. Als Einführung in die Eigenschaften von Feldeffektransistoren und andere Grundlagen der Elektronik sei das Buch „Halbleiter-Schaltungstechnik“ [TS93] empfohlen.

Abbildung 21 zeigt die Schaltung des Differenzverstärkers, der als Komparator verwendet werden soll. Die Versorgungsspannungen sind $V_{\mathrm{ss}} = -2\mathrm{V}$ und $V_{\mathrm{dd}} = +2\mathrm{V}$. Transistor T_5 arbeitet als Konstantstromquelle. Dadurch bleibt die Summe der Ströme durch T_1 und T_2 konstant. Im Ruhezustand sind die beiden Eingangspannungen $U_{\ominus}$ und $U_{\oplus}$ gleich groß. Dann teilt sich aus Symmetriegründen der Konstantstrom auf die beiden Zweige auf:

$$I_{\mathrm{D}_1} = I_{\mathrm{D}_2} = I_{\mathrm{D}_3} = I_{\mathrm{D}_4} = \frac{1}{2} I_{\mathrm{D}_5}$$

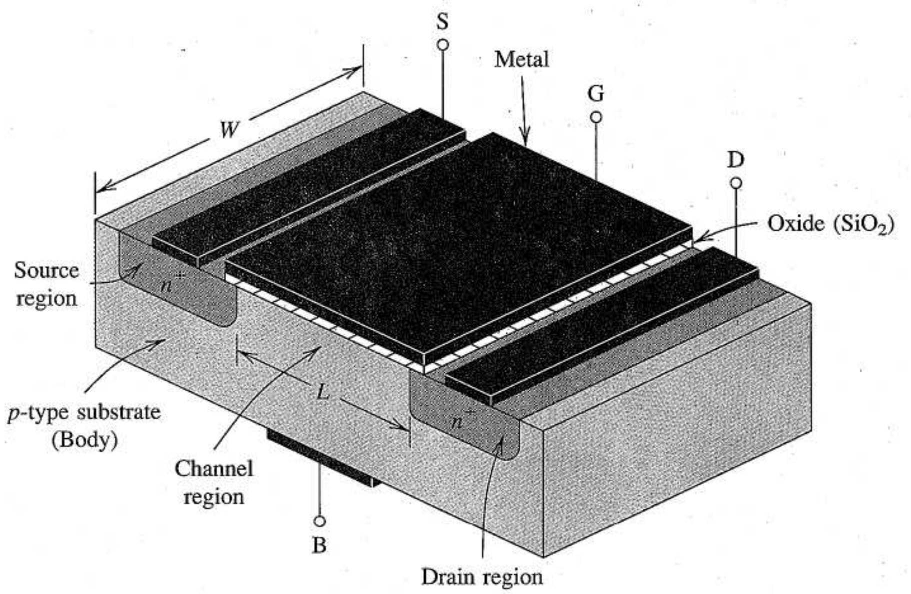


Abbildung 17: Struktur eines n-Kanal-Sperrschicht-Feldeffekttransistors [SS91]

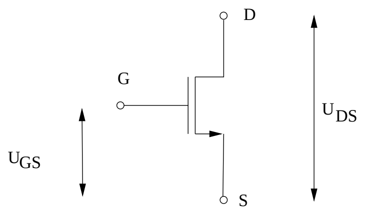


Abbildung 18: n-Kanal MOSFET

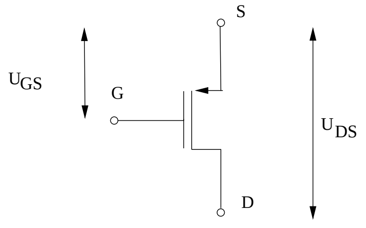


Abbildung 19: p-Kanal MOSFET

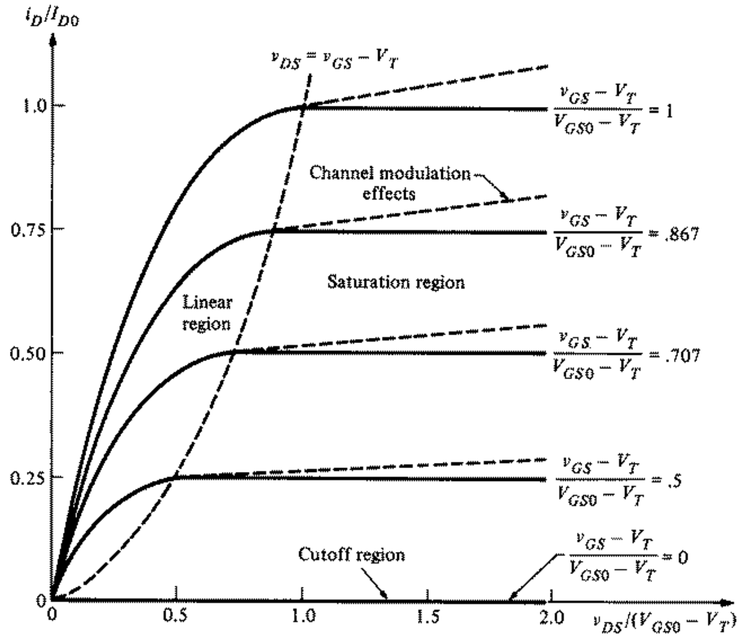


Abbildung 20: Ausgangskennlinienfeld eines n-Kanal-Sperrschicht-Feldeffekttransistors [AH87]

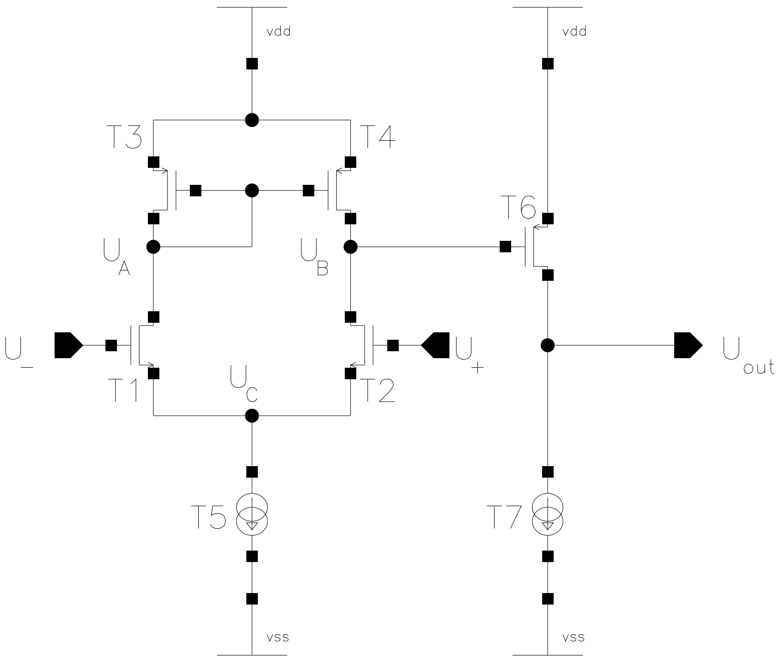


Abbildung 21: Zweistufiger Differenzverstärker

An Transistor T_3 sind Drain und Gate miteinander verbunden. Ein solcher „selbsteuernder" Transistor verhält sich im Bereich der Sättigung wegen $R_{\mathrm{DS}} = \frac{U_{\mathrm{DS}}}{I_{\mathrm{D}}}$ und $U_{\mathrm{GS}} \sim I_{\mathrm{D}}$ wie ein ohmscher Widerstand.

Die Spannungen $U_{\mathrm{A}} = V_{\mathrm{dd}} - U_{\mathrm{DS}_3} = V_{\mathrm{dd}} - U_{\mathrm{DS}_4} = U_{\mathrm{B}}$ bleiben konstant, solange der Strom durch jeden der beiden Zweige konstant bleibt. Daran ändert sich auch nichts, wenn sich beide Eingangsspannungen um den gleichen Wert verändern (Gleichtaktaussteuerung). Wird dagegen z.B. $U_{\oplus} > U_{\ominus}$, dann ändert sich die Stromaufteilung im Differenzverstärker. I_{D_2} nimmt zu und I_{D_1} nimmt ab, wobei die Summe nach wie vor I_{D_5} bleibt. Also ist

$$\Delta I_{\mathrm{D}_1} = -\Delta I_{\mathrm{D}_2}$$

Damit sinkt $I_{\mathrm{D}_3} \sim U_{\mathrm{A}} = U_{\mathrm{GS}_3} = U_{\mathrm{GS}_4}$. Für Transistor T_4 gilt $R_{\mathrm{DS}_4} \sim \frac{U_{\mathrm{DS}_3}}{I_{\mathrm{D}_4}}$. Wenn U_{GS_4} sinkt, vergrößert sich R_{DS_4} und $U_{\mathrm{B}} = V_{\mathrm{dd}} - U_{\mathrm{DS}_4}$ sinkt.

Der Differenzstufe folgt ein einfacher Inverter. T_7 ist eine weitere Konstantstromquelle. Sinkt U_{B}, verringert sich der Widerstand des p-Kanal-FET T_6, was zur Erhöhung der Ausgangsspannung U_{out} führt.

4.1.2 Schaltungsentwurf

Nachdem der Schaltplan festgelegt ist, besteht das Hauptproblem darin, eine gute Dimensionierung der Bauteile zu finden. Beim Design eines CMOS-Transistors hat man zwei Freiheitsgrade: Länge und Weite (Abb. 17).

Sie geben dem Transistor seine wesentlichen Eigenschaften [RG86]:

$$i_{\mathrm{D}} \sim \frac{W}{L} \cdot U_{\mathrm{GS}} \quad \text{und damit} \quad g_m = \frac{\partial i_{\mathrm{D}}}{\partial U_{\mathrm{GS}}} \sim \frac{W}{L}$$

Folgende Kriterien sind für das Design relevant:

- Der Differenzverstärker soll eine möglichst große Verstärkung erreichen.
- Die differentielle Stufe soll möglichst symmetrisch sein, also $W_1 = W_2, W_3 = W_4$ und $L_1 = L_2, L_3 = L_4$
- Gleiche Längen für alle Transistoren sorgen dafür, daß korrelierte Fehler in dieser Dimension die Balance nicht stören. Also: $L_1 = L_2 = L_3 = L_4$.
- Um unkorrelierte Fehler (s. Abb. unten) kleinzuhalten, sollten W_i und L_i möglichst groß gewählt werden.

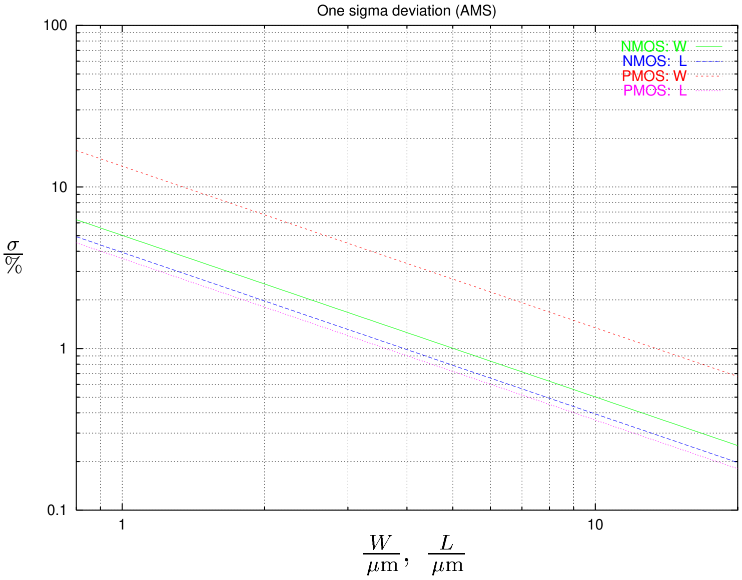


Abbildung 22: Schwankung der Prozessparamter W und L [WM94]. Die Kurven stehen (von oben nach unten) für die Weite eines p-MOS-, Weite eines n-MOS-, Länge eines n-MOS und Länge eines p-MOS-Transistors.

- Allerdings machen große Dimensionen den Transistor langsamer, bzw. der Transistor benötigt mehr Strom, da größere Kapazitäten geladen werden müssen.,
- Die Transistoren sollen in Sättigung betrieben werden.
- Für die zweite Stufe sind noch weitere Zusammenhänge zu berücksichtigen:
  - T_5 und T_7 spiegeln den Strom durch T_8 entsprechend der Verhältnisse ihrer $\left(\frac{W}{L}\right)$. Das gleiche gilt für T_3, T_4 und T_6, die das gleiche Gatepotential besitzen:

$$I_6 = I_4 \frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_4}, \qquad I_7 = I_5 \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_5}$$

  - Für ausgeglichene Bedingungen soll $I_6 = I_7$ sein, also:

$$I_4 \frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_4} = I_5 \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_5}$$

  - Weil sich der Strom durch T_5 auf die beiden Zweige aufteilt, ist $I_5 = 2I_4$. Also:

$$\frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_4} = 2 \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_5}$$

- Durch T_7 muß genug Strom fließen können, um die Kapazitäten der nachgeschalteten Bauelemente in der geforderten Anstiegszeit laden zu können:

$$I_7 = C\frac{\Delta U}{\Delta T} = 0,1\text{pF} \cdot \frac{4\text{V}}{10\text{ns}} = 40\mu\text{A}$$

  Dabei setzt sich C zusammen aus den Gatekapazitäten der vier angesteuerten Transistoren des nachfolgenden Gatters und der Leitungskapazität[5] C_{line}, die der parasitären Simulation entnommen wurde: $C = \sum W_i L_i C_{g_{\text{ox}}} + C_{\text{line}} = 39,9\,\mu\text{m} \cdot 0,8\,\mu\text{m} \cdot 2,2\frac{\text{fF}}{\mu\text{m}^2} + 20,8\,\text{fF} = 90\,\text{fF} \approx 0,1\,\text{pF}$

Die aufgezählten Kriterien müssen nun in die Dimensionierung der Längen und Weiten der Transistoren umgesetzt werden. Denkbare Dimensionierungen wurden daher durch eine Schaltungssimulation[6] überprüft und durch iterative Anpassung der Parameter verbessert.

Es kristallisierten sich drei grundverschiedene Arten der Dimensionierung heraus:

- Transistoren mit minimaler Länge ($0,8\,\mu$m) und einer Weite von einigen μm. Sie liefern eine sehr hohe Empfindlichkeit und Geschwindigkeit bei minimalem Strombedarf. Diese Möglichkeit scheidet aber leider wegen der zu erwartenden Produktionstoleranzen aus.
- Transistoren mit einigen μm Länge und einer Weite in der Größenordnung von $100\,\mu$m. Hier liegt man mit Rauschen und Toleranzen auf der sicheren Seite. Um die benötigte Geschwindigkeit zu erreichen, ist aber die Stromaufnahme zu hoch.
- Transistoren mit Weite und Länge von einigen μm. Eine solche Kombination wird im folgenden behandelt.

4.1.3 Großsignalmodell

Im Abschnitt 4.1.2 wurden bereits Schaltungssimulationen angesprochen. Jeder Simulation liegt ein Modell zugrunde, mit dem das Verhalten der Bauteile beschrieben wird. Mit dem Großsignalmodell können Transistoren aufgrund ihrer Geometrie und der Prozessparameter

---

[5] Parasitäre Kapazitäten können erst nach dem Entwurf eines Layouts berechnet werden und müssen daher zunächst abgeschätzt werden.

[6] Zur Schaltungssimulation wurde die Software SpectreS verwendet. SpectreS ähnelt in der Funktionalität dem bekannten Spice, ist aber Teil der Software Cadence, die im ASIC-Labor zum Entwurf, Layout und Simulation von ASICs verwendet wird.

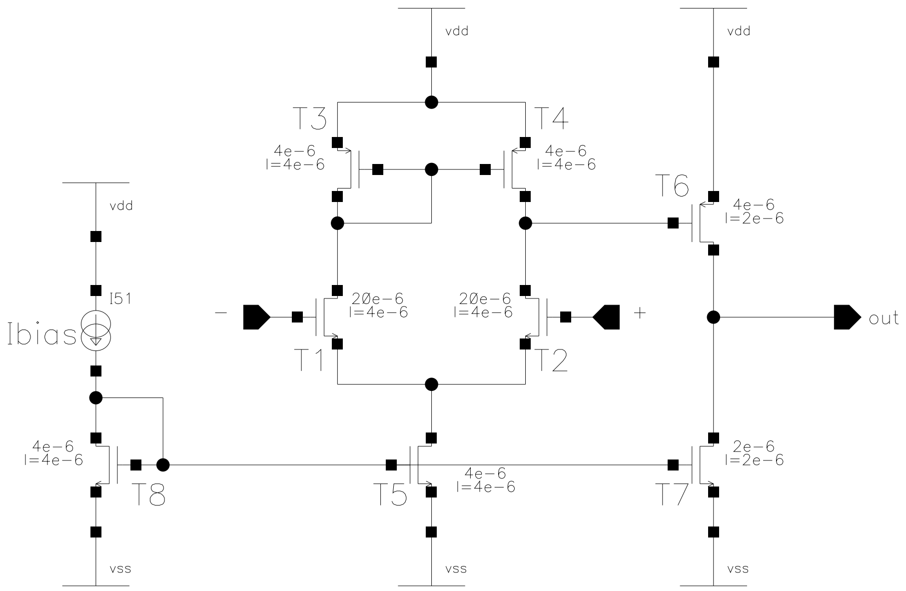


Abbildung 23: Der fertige Schaltplan des 2stufigen Komparators. Die Zahlen an den Transistoren geben Weite und Länge an, z.B. T_1: $W = 20\,\mu\text{m}$, $L = 4\,\mu\text{m}$.

beschrieben werden. Abbildung 20 zeigt qualitativ das Ausgangskennlinienfeld eines Feldeffekttransistors. Für verschiedene Arbeitsbereiche des Transistors können unterschiedliche Näherungen zur Berechnung von $I_{\mathrm{D}}(W, L, U_{\mathrm{GS}}, U_{\mathrm{DS}}, \dots)$ verwendet werden. Mit dem Großsignalmodell kann das zeitliche Verhalten einer Schaltung z.B. mit einem bestimmten Eingangssignal simuliert werden. Eine andere Möglichkeit ist es, für jeden Transistor die Verstärkungsfaktoren, Ruheströme und Spannungen und Kapazitäten zwischen den einzelnen Anschlüssen für den jeweiligen Arbeitspunkt zu berechnen. Diese Größen werden für Berechnungen mit dem Kleinsignalmodell (nächster Abschnitt) benötigt. Tabelle 1 enthält die für diesen Zweck berechneten Werte.

4.1.4 Kleinsignalmodell

Das Kleinsignalmodell ist eine Näherung erster Ordnung und beschreibt die Änderungen um den Arbeitspunkt der Schaltung. Berücksichtigt man alle Eigenschaften eines Feldeffektransistors, erhält man das Ersatzschaltbild Abbildung 24. Die Stromquelle in der Mitte liefert einen Strom, der mit dem Verstärkungsfaktor g_m von der Steuerspannung U_{GS} abhängt. Das Potential des Substrats beeinflußt genauso wie das Gatepotential das elektrische Feld zwischen Source und Drain und damit den Kanal der Ladungsträger. Eine zweite Stromquelle hängt daher von der Spannung zwischen Bulk und Source ab. Außerdem besitzt der Kanal des Transistors einen Widerstand R_{D}. Es ist rechentechnisch günstiger, mit dem Leitwert $g_{\mathrm{D}} = R_{\mathrm{D}}^{-1}$ zu arbeiten. Schließlich sind die parasitären Kapazitäten zwischen Gate, Source, Drain und Bulk zu berücksichtigen.

Um das Kleinsignalmodell des Differenzverstärkers zu erhalten, wird jeder Transistor der Schaltung durch sein Kleinsignalmodell ersetzt (Abb. 25). In der Mitte liegen die Stromquellen, Leitfähigkeiten und Gatekapazitäten der beiden Eingangstransistoren T_1 und T_2. Am

	$\frac{W}{\mu\text{m}}$	$\frac{L}{\mu\text{m}}$	$\frac{g_\text{m}}{\mu\text{A/V}}$	$\frac{g_\text{D}}{\mu\text{A/V}}$	$\frac{g_\text{mB}}{\mu\text{A/V}}$	$\frac{I_\text{DS}}{\mu\text{A}}$
T_1	20	4	76.8	0.253	19.4	16.2
T_2	4	4	75.0	0.164	18.9	15.3
T_3	4	4	32.0	0.519	5.95	-32.4
T_4	4	4	23.8	9.54	4.61	-30.6
T_5	4	4	24.0	92.7	6.82	63.0
T_6	4	2	22.1	0.114	5.06	-4.93
T_7	2	2	1.13	78.6	0.253	4.93
T_8	4	4	87.9	0.601	21.5	100

	$\frac{U_\text{DS}}{\text{V}}$	$\frac{U_\text{D,sat}}{\text{V}}$	$\frac{U_\text{GS}}{\text{V}}$	$\frac{U_\text{th}}{\text{V}}$	$\frac{C_\text{GD}}{\text{fF}}$	$\frac{C_\text{GS}}{\text{fF}}$	$\frac{C_\text{BD}}{\text{fF}}$	$\frac{C_\text{BS}}{\text{fF}}$	$\frac{C_\text{GB}}{\text{fF}}$
T_1	0.998	0.325	1.43	1.00	3.0	55	0.17	0.22	0.60
T_2	2.25	0.315	1.417	1.00	3.0	55	0.14	0.22	0.60
T_3	-2.41	-1.402	-2.41	-0.728	1.1	21	0.25	0.48	0.62
T_4	-1.16	-1.4	-2.41	-0.729	12	18	0.32	0.48	0.62
T_5	0.583	1.298	2.74	0.833	13	13	10	12	0.60
T_6	-3.93	-0.362	-1.16	-0.712	1.1	11	0.21	0.49	0.32
T_7	0.062	1.115	2.74	0.827	2.1	2.1	66	68	0.30
T_8	2.74	1.301	2.74	0.830	0.99	17	6.9	12	0.60

Tabelle 1: Ergebnisse der Großsignalsimulation im Arbeitspunkt des Differenzverstärkers mit den Transistordimensionen W und L. Berechnet wurden der Verstärkungsfaktor g_m, die Leitfähigkeit g_D des Feldeffektkanals, der Verstärkungsfaktor g_mB der Bulk-Source-Spannung, der Drainstrom I_DS, die Spannungen U_DS und U_GS zwischen Gate und Source bzw. Drain, die Grenzspannung für den Sättigungsbereich $U_\text{D,sat}$, die Schwellenspannung U_th und die parasitären Kapazitäten.

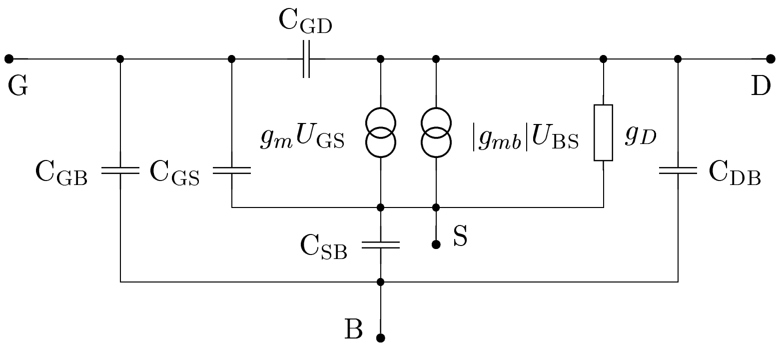


Abbildung 24: Das vollständige Kleinsignalmodell eines Feldeffektransistors

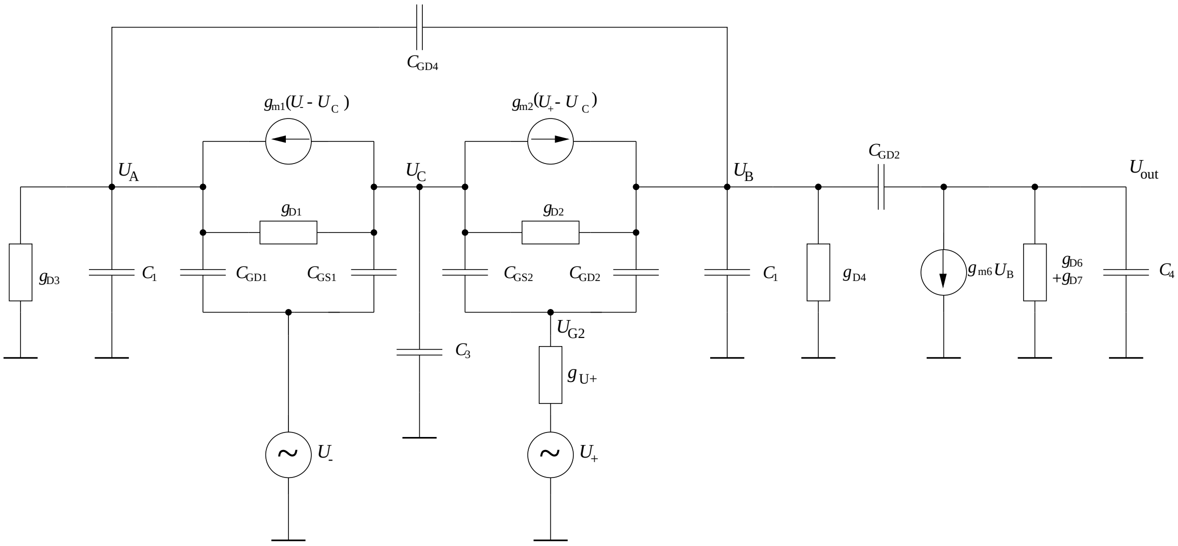


Abbildung 25: Kleinsignalmodell der Differenzstufe

Gate von T_2 liegt das Eingangssignal $U_{\oplus}$ an. Der Ausgangswiderstand eines davorliegenden Verstärkers wird durch die Leitfähigkeit $g_{U_{\oplus}}$ berücksichtigt. An T_1 liegt die Referenzspannung V_{ref} an. Hier kann der Ausgangswiderstand vernachlässigt werden. Durch C_1, C_2 und C_3 werden soweit möglich parasitäre Kapazitäten zusammengefaßt:

$$\begin{aligned}
C_1 &= C_{\mathrm{GS}_3} + C_{\mathrm{GS}_3} + C_{\mathrm{GS}_3} + C_{\mathrm{A}} \\
C_2 &= C_{\mathrm{GS}_6} + C_{\mathrm{B}} \\
C_3 &= C_{\mathrm{GD}_7} + C_{\mathrm{Out}}
\end{aligned}$$

C_{A}, C_{B}, C_{Out} sind die parasitären Leitungskapazitäten[7] der jeweiligen Netzwerkknoten.

Nach der Knotenregel für Ströme lassen sich aus dem Ersatzschaltbild fünf Gleichungen ableiten:

---

[7] Die parasitären Leitungskapazitäten stehen erst nach Entwurf eines Layouts fest.

$$\begin{array}{llclclcl}
U_{\mathrm{A}}: & & U_{\mathrm{A}} g_{d_3} & + & (U_{\mathrm{A}}-U_{\mathrm{C}}) g_{d_1} & + & U_{\mathrm{A}}\, i\omega C_1 & \\
 & + & (U_{\mathrm{A}}-U_{\mathrm{B}})\, i\omega C_{\mathrm{GD}_4} & - & g_{m_1} U_{\ominus} & + & (U_{\mathrm{A}}-U_{\ominus})\, i\omega C_{\mathrm{GD}_1} & =0 \\[1em]
U_{\mathrm{B}}: & & U_{\mathrm{B}} g_{d_4} & + & (U_{\mathrm{B}}-U_{\mathrm{C}}) g_{d_2} & + & U_{\mathrm{B}}\, i\omega C_2 & \\
 & + & (U_{\oplus}-U_{\mathrm{C}}) g_{m_2} & + & (U_{\mathrm{B}}-U_{\mathrm{G}_2})\, i\omega C_{\mathrm{GD}_1} & + & (U_{\mathrm{B}}-U_{\mathrm{A}})\, i\omega C_{\mathrm{GD}_4} & \\
 & + & (U_{\mathrm{B}}-U_{\mathrm{out}})\, i\omega C_{\mathrm{GD}_6} & & & & & =0 \\[1em]
U_{\mathrm{C}}: & & (U_{\mathrm{C}}-U_{\mathrm{A}}) g_{d_1} & + & U_{\mathrm{C}}\, i\omega(2C_{\mathrm{GS}_1}+C_3) & + & g_{m_1}(U_{\ominus}-U_{\mathrm{C}}) & \\
 & - & U_{\oplus} g_{m_2} & + & (U_{\mathrm{C}}-U_{\mathrm{B}}) g_{d_2} & + & (U_{\mathrm{C}}-U_{\mathrm{G}_2})\, i\omega C_{\mathrm{GS}_1} & =0 \\[1em]
U_{\mathrm{G}_2}: & & (U_{\mathrm{G}_2}-U_{\oplus}) g_{U_{\oplus}} & + & (U_{\mathrm{G}_2}-U_{\mathrm{B}})\, i\omega C_{\mathrm{GD}_2} & + & (U_{\mathrm{G}_2}-U_{\mathrm{C}})\, i\omega C_{\mathrm{GS}_2} & =0 \\[1em]
U_{\mathrm{out}}: & & (U_{\mathrm{out}}-U_{\mathrm{B}})\, i\omega C_{\mathrm{GS}_1} & + & U_{\mathrm{B}} g_{m_6} & + & U_{\mathrm{out}}(g_{d_6}+g_{d_7}) & \\
 & + & U_{\mathrm{out}}\, i\omega C_4 & & & & & =0
\end{array}$$

Dieses Gleichungssystem kann analytisch gelöst werden. Die exakte Lösung ist jedoch genauso lang wie unübersichtlich. Durch Einsetzen der Werte aus der Großsignalsimulation erhält man sinnvolle Aussagen über das Verhalten des Differenzverstärkers.

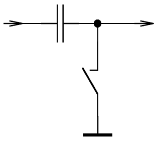
Für niederfrequente Eingangssignale ist $\omega \approx 0$. Damit fallen alle Terme weg, die parasitäre Kapazitäten enthalten.

$$\begin{array}{rclc}
U_{\mathrm{B}} & = & -\frac{1}{2}\frac{g_{m_1}}{g_{d_1}+g_{d_3}} & (U_{\oplus}-U_{\ominus}) \\
 & = & -180 & (U_{\oplus}-U_{\ominus}) \\[1em]
U_{\mathrm{out}} & = & -\frac{g_{m_6}}{g_{d_6}+g_{d_7}} & U_{\mathrm{B}} \\
 & = & 6840 & (U_{\oplus}-U_{\ominus})
\end{array}$$

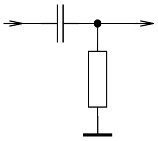
4.2 AC-Kopplung

Die Ausgänge des Helix-Vorverstärkers sind mit einem Offset behaftet, der von Kanal zu Kanal variiert. Diese Variation liegt in der Größenordnung des Nutzsignals. Da die Referenzspannung der Komparatoren für alle Kanäle gemeinsam sein soll, muß diese Offsetvariation beseitigt werden. Dies kann u.a. durch eine AC-Kopplung erfolgen. Dafür gibt es zwei gebräuchliche Möglichkeiten:

- Eine kapazitive Kopplung ist für Gleichstromanteile undurchlässig. Mit einem Schalter gegen Masse wird der Arbeitspunkt auf der rechten Seite festgelegt. Der Schalter wird periodisch zu einem Zeitpunkt geschlossen, wenn das Signal nicht ausgewertet wird. Ist der folgende Eingang hochohmig (MOSFET-Gate) muß der Schalter nur sehr selten betätigt werden, da bei geöffnetem Schalter kein Gleichstrom fließen kann.



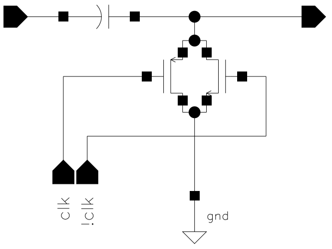
- Ein CR-Glied (Hochpaß) filtert tiefe Frequenzen aus dem Signal heraus. Die Zeitkonstante $\tau = RC$ muß hinreichend groß sein um das durchgehende Signal nicht zu beeinträchtigen. Es soll nur der Gleichspannungsanteil ausgeschlossen werden.



Die Realisierung der benötigten Bauelemente in einem integrierten Schaltkreis geschieht wie folgt:

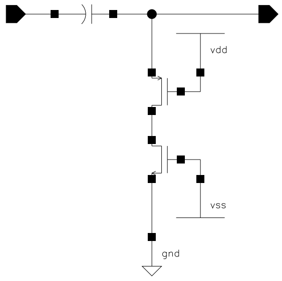
- Kondensatoren implementiert man durch Überlappung leitfähiger Lagen mit geringem Abstand. Im verwendeten Prozeß bieten sich hierfür zwei Lagen aus poly-kristallinem Silizum an. Die spezifische Kapazität von Überlappungen dieser beiden Lagen ist $C_{\mathrm{POX}} = 1,77\frac{\mathrm{fF}}{\mu\mathrm{m}^2}$. Damit können Kondensatoren in der Größenordnung von 100 fF bis 10 pF gebaut werden. Kleinere Kapazitäten werden vergleichbar mit parasitären Effekten und größere Werte haben einen zu üppigen Platzbedarf.

- Ein Schalter (transmission gate) wird durch zwei Transistoren gebildet. Die paarweise Verwendung jeweils eines p- und n-Kanal-Transistors soll die Ladungsinjektion kompensieren. Nachteil der Schaltung ist eine zusätzliche differentielle Steuerleitung. Beim Schalten selbst sind natürlich auch Störungen zu erwarten. Außerdem fließen durch die gesperrten Transistoren immer auch Leckströme, sodaß die Schaltung letztendlich dem nachstehenden CR-Glied nahekommt.



- Ohmsche Widerstände werden durch lange Leiterbahnen in einer möglichst hochohmigen Lage gebildet. Eine der beiden Lagen aus poly-kristallinem Silizium des verwendeten Prozesses (Poly-2) weist mit $R_{\mathrm{poly2}} = 27\frac{\Omega}{\square}$ den größten Flächenwiderstand auf. Die benötigten Widerstände liegen aber in der Größenordnung von 1 MΩ. Ein Poly-2-Widerstand hätte dann bei minimaler Breite von $1,6\,\mu$m eine Länge von $l = \frac{R}{R_{\mathrm{poly2}}} =$ 37 mm. Dies ist bei 128 Kanälen völlig ausgeschlossen.

- Eine andere Möglichkeit einen Widerstand zu realisieren ist es, den Leckstrom gesperrter Transistoren auszunutzen. Von dieser Anordnung darf man kein lineares Verhalten erwarten. Ist die Zeitkonstante jedoch viel größer als die Zeitskala des Nutzsignals, spielt dies keine Rolle. Nach Abwägung der genannten Vor- und Nachteile verschiedener Möglichkeiten fiel die Wahl für den Einsatz im Helix128V2 auf die Implementierung der Widerstände durch Transistoren.



4.3 4fach-Oder und D-Flip-Flop

Nachdem das Eingangssignal durch den Komparator mit der Referenzspannung verglichen wurde, steht ein digitales Signal zur Verfügung. Dieses Signal ändert seinen Pegel (bis auf eine Verzögerung) zeitgleich mit dem Über- oder Unterschreiten der Referenzspannung. Die Schaltung soll aber lediglich anzeigen, ob zum Zeitpunkt der steigenden Flanke der Komparator-Clock (CompClk) die Eingangsspannung größer oder kleiner ist als die Referenz. Das Ausgangssignal soll sich dabei nur einmal pro Taktzyklus zu einem definierten Zeitpunkt ändern können.

Dieses „Testen und Halten“ eines digitalen Signals erreicht man durch den Einsatz eines D-Flip-Flops. Es bot sich an, dafür die Standardzelle „E08“ von AMS zu verwenden. Standardzellen haben den Vorteil, daß ihr Layout schon existiert und getestet ist.

Das Konzept des „First-Level-Triggers“ sieht vor, daß jeweils vier Streifen einer MSGC mit sich selbst und den vier Streifen der darüberliegenden MSGC oder-verknüpft werden. Die Kanäle einer MSGC werden dabei gleich auf dem Helix-Chip oder-verknüpft, was 96 Leitungen und Bond-Pads einspart. Diese Verknüpfung geschieht wiederum durch eine AMS-Standardzelle (N04). Genaugenommen handelt es sich dabei um ein Nicht-Oder. Dies ist bei der nachfolgenden Elektronik zu beachten, denn die Veroderung von jeweils zwei Kanalgruppen (à vier Kanälen) übereinanderliegender MSGCs soll durch die Parallelschaltung der Triggerausgänge erfolgen. Dazu werden die Triggerausgänge als Treibertransistoren mit offenem Drain-Anschluß ausgeführt.

Führt man erst das Nicht-Oder durch und schließt danach das Flip-Flop an, spart man drei von 4 Flip-Flops.

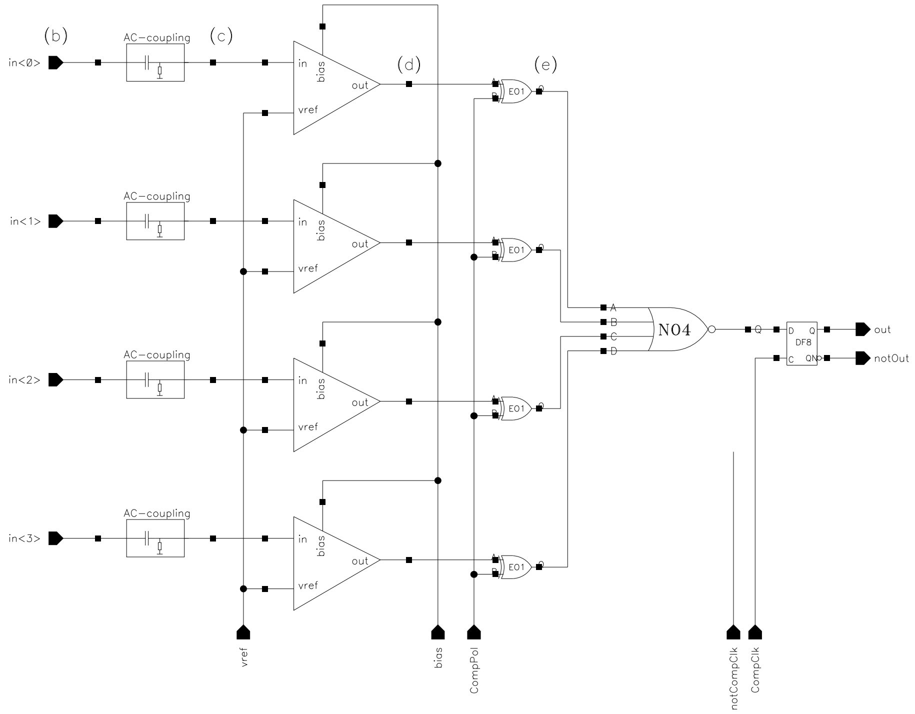


Abbildung 26: Eine Vierergruppe Komparatoren mit AC-Kopplung, 4fach-Oder und Flip-Flop

Das Nicht-Oder selbst funktioniert nur, solange positiv-aktive[8] Signale verwendet werden. Für negative Logik (wie bei der MSGC mit Anodenauslese[9]) wird das Oder zum Und! Dem könnte man mit der Verwendung eines Und Gatters anstelle des Oders begegnen. Zielsetzung ist aber ein Chip, der universell für beide Signalpolaritäten einsetzbar ist. Eine einfache Lösung ist ein zusätzliches Exklusiv-Oder (E01). Das Ausgangssignal wird mit dem Steuerpegel V_{pol} exklusiv verodert. Mit anderen Worten: Ist $V_{\mathrm{pol}} = 0$, wird das Signal nicht verändert. Ist $V_{\mathrm{pol}} = 1$, wird es invertiert.

Die genannten Komponenten ergeben nun die vollstände Schaltung einer Vierergruppe von

---

[8] Positiv-aktive Logik bedeutet, daß eine logische „1“ der positiven Betriebspannung (+2V) entspricht und eine logische „0“ der negativen (−2V). Bei negativ-aktiver Logik verhält es sich genau umgekehrt.

[9] Im Falle der Anodenauslese werden Elektronen, die in die Anode eintreten, vom Verstärker als ein Impuls negativer Spannung registriert

Komparatoren (Abb. 26). Das Signal CompClk soll, um Übersprechen zu vermeiden, wie alle Clocks differentiell auf Platine und Chip geführt werden. Die negierte „notCompClk" wird nicht zur Ansteuerung von Eingängen verwendet, sondern wird parallel zur CompClk-Leitung verlegt, um Störungen zu kompensieren. Eine identische kapazitive Belastung der notCompClk, entsprechend der Gatekapazitäten die an CompClk liegen, kann durch entsprechende Ersatzkondensatoren erreicht werden. Hierauf wurde verzichtet, da die parasitären Kapazitäten der Leitungen selbst größer sind, als die Belastung durch die angesteuerten Eingänge.

4.4 Layout

Das Layout muß noch mehr als der Schaltplan in Hinblick auf den verwendeten Produktionsprozess erstellt werden. Der Helix-Chip wird in einem $0,8\,\mu$m-CMOS-Prozeß von AMS[10] gefertigt , der für analoges Design geeignet ist. In diesem Prozeß stehen für Verbindungen zwei Lagen Metall und zwei Lagen poly-kristallines Silizium („Poly-1" und „Poly-2") zur Verfügung. Seinen Namen bezieht der Prozeß von der minimalen Breite der Poly-1-Lage, die als Gate der Feldeffekttransistoren eingesetzt wird und damit deren minimale Länge auf $0,8\,\mu$m festlegt. Die minimalen Strukturen in anderen Lagen sind größer als $0,8\,\mu$m und müssen den „Design Rules" des Prozesses entnommen werden.

Die wichtigste Vorgabe für das Layout ist die Kanalbreite des Helix-Chips von $41,4\,\mu$m.[11] Diesen Platz teilen sich die Komparatoren mit Abschirmstrukturen und den durchgereichten Analogleitungen vom Vorverstärker zur Pipeline. So bleibt eine nutzbare Kanalbreite von $33\,\mu$m übrig. Die Transistoren T_1 und T_2 bestehen aus jeweils zwei Teiltransistoren. Eine symmetrische Anordnung der Teile kompensiert räumliche Gradienten in den Prozeßparametern. Die Teilung selbst reduziert den statistischen Fehler der Gesamttransistoren. Von der wünschenswerten vollsymmetrischen Anordnung wie sie in vielen Fachbüchern vorgeschlagen wird [AH87], wurde wegen Platzmangel etwas abgewichen (Abb. 27).

Um zu einer guten Flächenausnutzung zu kommen, bot es sich an, vier Kanäle mit AC-Kopplung, Differenzstufe, Exklusiv-Oder und gemeinsamen Nicht-Oder und D-Flip-Flop (Schaltplan s. Abb. 26) auch im Layout zu einem kompakten Block zusammenzufassen (Abb. 28): Die analogen Teile AC-Kopplung und Differenzstufe sind für jeden Kanal getrennt von einem Schutzring eingeschlossen. Dieser Ring kontaktiert das Substrat niederohmig mit der negativen Betriebsspannung. So sollen Störungen in beiden Richtungen unterdrückt werden. Die sechs Standardzellen liegen aneinandergereiht und sind von einem eigenen Schutzring umgeben. Die digitalen Gatter weisen steile Signalflanken auf und verursachen damit potentiell Störungen. Die Trennung von analogen und digitalen Schaltungsteilen durch Schutzringe und durch getrennt Spannungsversorgungen soll dies entschärfen. Sämtliche für alle Komparatoren gemeinsame Leitungen (Spanungsversorgung, CompClock, Compbias und CompPol) verlaufen senkrecht zu den vier Kanälen über den Block. So lassen sich später auf dem Helix-Chip 32 Blöcke à vier Kanäle zu einer Komparatorenspalte mit 128 Eingangskanälen aneinanderreihen.

---

[10] Austria Mikro Systeme International AG

[11] Diese Kanalbreite wird durch den Silizium-Vertex-Detektor (SVD) bestimmt, der vom Max-Planck-Institut für Kernphysik in Heidelberg entwickelt wird. Für den Betrieb am SVD werden die HELIX-Chips direkt an den Silizium-Detektor gebondet, wodurch der Kanalabstand von $41,4\,\mu$m erhalten bleibt.

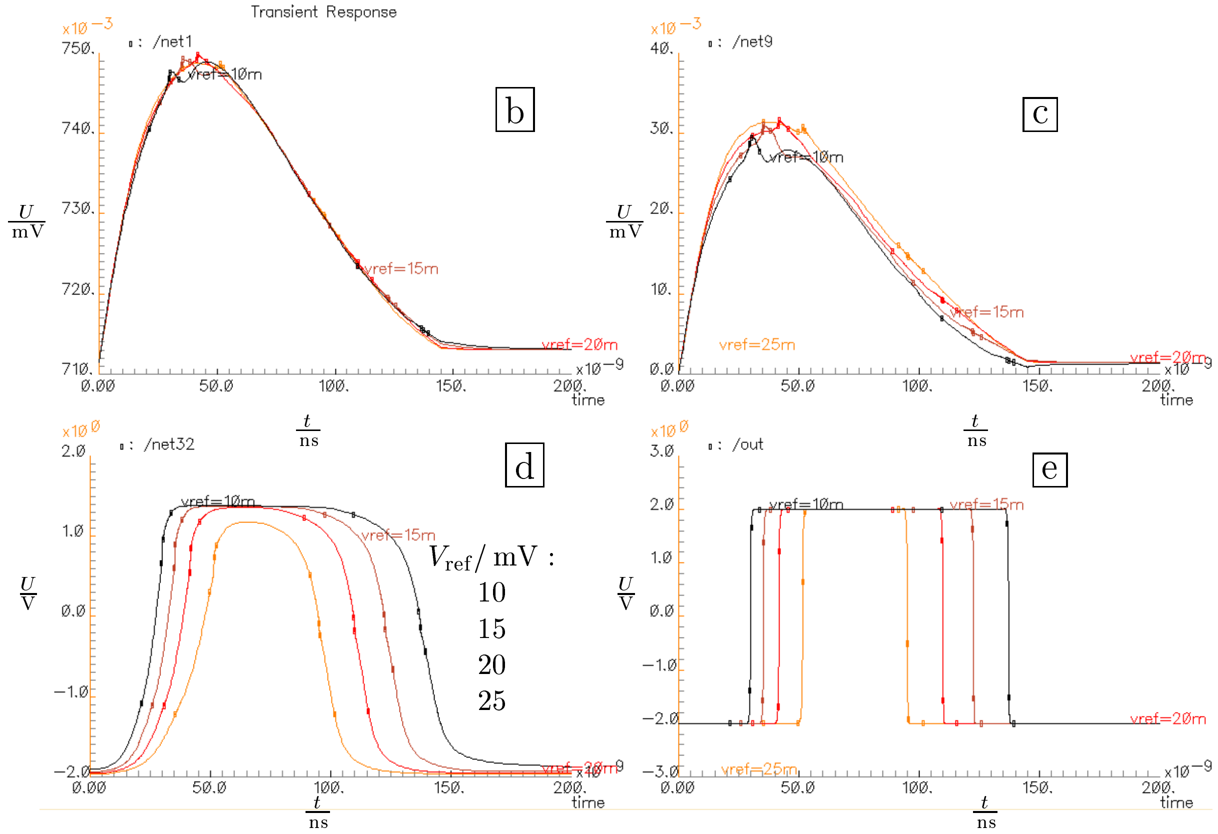


Abbildung 29: Simulation des Komparators mit AC-Kopplung und einem Exklusiv-Oder am Ausgang der Differenzstufe unter Modellparametern, die einem durchschnittlichen Herstellungsprozeß entsprechen. Die Graphen (b) bis (e) entsprechen der Nummerierung auf dieser Seite.

Abbildung 29 zeigt nun eine solche Simulation:

(a) Als Eingangssignal dient in der Simulation die Spannungsquelle „vpwlf“. Sie liest eine Tabelle von Amplituden aus einer Datei und entspricht damit einem frei programmierbaren Funktionsgenerator. Auf diese Weise wurde die Funktion $f(t) = 133 \sin\left(\frac{t}{50\,\mathrm{ns}}\right) \exp\left(-\frac{t}{50\,\mathrm{ns}}\right)$ als Eingangssignal verwendet. Diese Funktion (in mV) entspricht dem vorverstärkten Signal eines MIPs.

(b) Das Signal durchläuft nun einen Pufferverstärker, wie er am Ausgang des Helix-Vorverstärkers verwendet wird. Damit soll eine realistische Simulation der Ankopplung des Komparators an den Vorverstärker erreicht werden. Der Puffer erzeugt einen Offset von 712 mV. Das Signal an dieser Stelle der Schaltung ist in Abbildung 29 (b) dargestellt.

(c) Die nächste Stufe ist die AC-Kopplung, die den Offset des Eingangssignals unterdrückt. Die Simulation wurde mit vier Referenzspannungen von 10 mV bis 25 mV durchgeführt, die der Differenzverstärker mit dem offset-bereinigten Signal vergleicht. Nach

$t = 30\dots50\,\mathrm{ns}$ erkennt man eine Beeinflussung des Signals durch die schaltende Differenzstufe.

(d) Nach dem Komparator erkennt man eine Schar von vier Kurven ensprechend den vier unterschiedlichen Referenzspannungen.

(e) Der letzte Plot zeigt das digitalisierte Signal nach Passieren einer Exklusiv-Oder-Standardzelle.

Die Simulation zeigt, daß es möglich ist, Signale in der erwarteten Zeit- und Amplitudenskala aufzulösen. Ungünstige Einflüsse wie Rauschen wurden allerdings vernachlässigt. Über die Gate-Source-Kapazität C_{GS_1} des Eingangstransitors wird das Eingangssignal beim Schalten des Komparators beeinflußt. Dadurch kann unter Umständen der analoge Pfad des Helix128 beeinträchtigt werden. Als Gegenmaßnahmen dafür kommen in späteren Versionen des Chips entweder eine Modifikation der Eingangstransistoren oder ein Pufferverstärker zwischen dem Vorverstärker und der AC-Kopplung in Frage. Durch einen Pufferverstärker kann die Signalamplitude gleichzeitig vergrößert werden, wodurch Offset- und Linearitätsfehler des Komparators weniger ins Gewicht fallen.

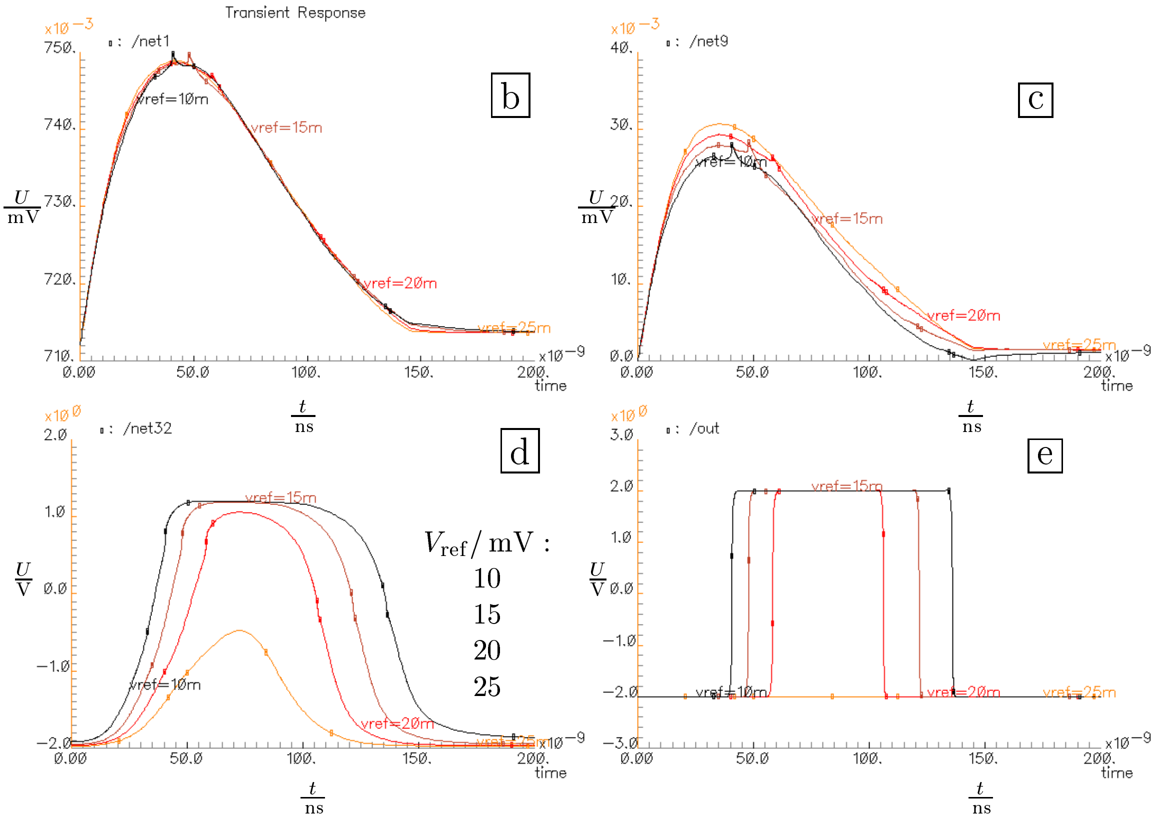


Abbildung 30: Simulation des Komparators wie in Abbildung 29, jedoch mit Modellparametern, die dem ungünstigsten Fall entsprechen, der laut Hersteller auftreten kann.

Nicht alle gefertigten Chips sind identisch. Toleranzen in den Prozessparametern führen zu Streuungen in den Eigenschaften der Bauelemente. Man kann unterscheiden zwischen statistischen Streuungen, Gradienten über den Wafer und, am schwerwiegendsten, den Unterschieden zwischen verschiedenen Wafern. Es bietet sich an, mit einer Simulation zu untersuchen, wie sich eine Schaltung unter dem Einfluß dieser Abweichungen verhält. AMS liefert daher verschiedene Sätze von Modellparametern. Die vorangegangene Simulation wurde mit den typischen Durchschnittsparametern erzeugt.

Abbildung 30 zeigt die gleiche Simulation unter Verwendung eines Parametersatzes, der von den schlimmsten zu erwartenden Abweichungen ausgeht. Ein Vergleich mit Abbildung 29 zeigt die Auswirkungen. Die Anstiegszeiten verlängern sich, und für $V_{\mathrm{ref}} = 10\,\mathrm{mV}$ wird in diesem Beispiel kein Signal mehr erkannt. Trotzdem funktioniert die Schaltung auch unter diesen Bedingungen noch, wenn auch mit eingeschränkter Auflösung.

5 Testchip Idefix

Das Testen und Messen von Funktion und Eigenschaften des Komparators auf dem Helix128S-2 selbst ist aus zwei Gründen ungenügend:

- Bei voller Funktionsfähigkeit des Helix lassen sich die Komparatoren ausschließlich mit Pulsen des Vorverstärkers betreiben.
- Bei einem eventuellen Fehler des Helix kann der Zugang zu den Komparatoren eingeschränkt oder gar nicht möglich sein.

Aus diesen Gründen wurde ein Testchip[13] erstellt, der für Messungen und einen Systemtest am Paul-Scherrer Institut in Villingen/Schweiz verwendet werden soll. Chips geringer Größe und Stückzahl können im Rahmen eines „Multi Project Wafer“ in Auftrag gegeben werden. Dabei teilen sich mehrere Kunden mit ihren Layouts den Platz auf einem Wafer und damit auch die enstehenden Kosten für Maske und Produktion. Schließlich erhält man den Testchip in einer für Messungen ausreichenden Stückzahl von je nach Größe 10 bis 30 Exemplaren.

5.1 Komponenten

Die Kosten eines Chips berechnen sich nach einmaligen Kosten und nach der Chipfläche. Ein Mindestpreis ensteht allerdings aus der Berechnung von minimal 7mm^2 Fläche pro Auftrag. Natürlich gibt es Teststrukturen, die nur einen Bruchteil dieser Minimalfläche benötigen. Es bietet sich daher an, verschiedene Strukturen in einem gemeinsamen Testchip zusammenzufassen.

Im Einzelnen sind dies bei diesem Testchip:

- 4 Kanäle Helix-Vorverstärker mit Komparatoren. Die Vorverstärker sind mit denen des Helix128S-2 identisch.
- 16 Komparatoren mit 4 gemeinsamen Eingängen. Hiermit sollen direkte Messungen erfolgen.
- 8 Kanäle Peak-Detektor. Dies sind Versuchsversionen einer Verstärkerschaltung, die als Ersatz des Helix-Vorverstärkers gedacht, falls der Inner Tracker mit szintillierenden Fasern statt MSGCs gebaut werden sollte [Cuj97].
- Digital-Analog-Konverter zur Verwendung als programmierbare Spannungsquelle im Helix [Tru97].
- 36 Testtransistoren in der Größe der Eingangstransistoren des Komparators. An ihnen soll die Variation der Transistor-Kenndaten untersucht werden.
- Diverse Testtransistoren zur Untersuchung des Photostromes [Dro97].

---

[13] Der Testchip trägt den Namen „Idefix“, weil er im wesentlichen zum Test des Komparators dient, der wie sein kleines Vorbild [UG61] anschlägt, wenn ein Tierchen (MIP) seinen Weg kreuzt.

- Eine 32 × 32-Vision-Matrix die als bewegegunssensitives Kameraelement für eine Blindenhilfe eingesetzt werden soll [Loo97].

Die zwei letztgenannten Srukturen werden von verschiedenen Gruppen des ASIC-Labors verwendet und haben keinen weiteren Bezug zu HERA-B oder zum Helix-Chip. Sie werden erwähnt, weil die im Rahmen dieser Arbeit durchgeführte Assemblierung des Testchips den verschiedenen Anforderungen an Flächenbedarf und Anzahl der Anschlüsse Rechnung tragen mußte.

5.2 Design

Die genannten Komponenten sollten möglichst platzsparend in einem Layout zusammengebracht werden. Die größte Teilstruktur ist die Vision-Matrix. Sie hat eine quadratische Form mit einer Kantenlänge von 1300 μm. Außerdem benötigt sie 17 Bondpads[14], größtenteils mit digitalen Treibern. Sie benötigen ein Rechteck von 1700 μm × 450 μm. Der Block von vier Helix-Vorverstärkern zusammen mit einer üppig ausgeführten Stromversorgung benötigt eine Fläche von 2000 μm auf 330 μm. Alle anderen Strukturen sind deutlich kleiner und lassen sich daher leichter auf dem Chip verteilen. Die beste Flächenausnutzung wird durch eine quadratische Form des Chips mit ca. 3 mm Kantenlänge erreicht. Leider benötigt die Vielzahl der unabhängigen Komponenten auf dem Chip mehr Anschlußpads, als auf einer quadratischen Form bei gegebener Fläche unterzubringen sind. Da die Kosten aus der Fläche berechnet werden, wurde dem Testchip eine längliche Form gegeben (Abb. 31).

Die Abmessungen des submittierten Chips sind 5180.0 μm × 2125.0 μm, die Anzahl der Bondpads ist 89. Der Abstand des ladungsempfindlichen Vorverstärkers zu den Bondpads wurde minimal gehalten. Vorverstärker, Peakdetektoren und Komparatoren sind von einem gemeinsamen Schutzring umgeben, die Vision-Matrix und der Digital-Analog-Konverter jeweils von einem eigenen Schutzring. Die Stromversorgung ist für die Komponenten Vorverstärker, Komparatoren, Peakdetektor, Digitaltreiber, Analogtreiber, Vision-Matrix und DAC getrennt zugeführt. Dies soll auschließen, daß mögliche Fehler in einem Layout sich auch auf andere Komponenten auswirken. Außerdem sollen Störungen bei gleichzeitig betriebenen Komponenten wie Komparatoren mit Vorverstärker und anlogen und digitalen Treibern verhindert werden.

Die Testtransistoren dagegen besitzen jeweils 6 bzw. 8 kleine Pads, die zum Kontaktieren mit einer Testnadel auf einem „Wafer Probe Station“ geeignet sind. Diese kleinen Teststrukturen von 200 μm × 180 μm bzw. 300 μm × 230 μm benötigen daher keine weitere Infrastruktur und konnten auf ungenutze Flächen des Chips verteilt werden.

Die Ausgänge der Komparatoren sind nicht leistungsfähig genug, um Bondpads direkt zu treiben. Daher müssen digitale Treiber eingesetzt werden. Um mit dem Helix-Chip vergleichbare Bedingungen zu erhalten, bot es sich an auch die gleichen Treiber zu verwenden. Die Standardzelle „OB83“ integriert einen Verstärker mit offenem Drainanschluß und ein Bondpad zu einer Einheit.

---

[14] Als Bondpad bezeichnet man eine rechteckige Fläche auf einem Chip, die mit einem sogenannten Bonddraht kontaktiert werden kann. Das Bondpad ist mindestens $(80\,\mu\mathrm{m})^2$ groß. Größere Kantenlängen erleichtern den Bondvorgang. Auf Abbildung 31 erkennt man an den Außenkanten die 89 Bondpads des Testchips.

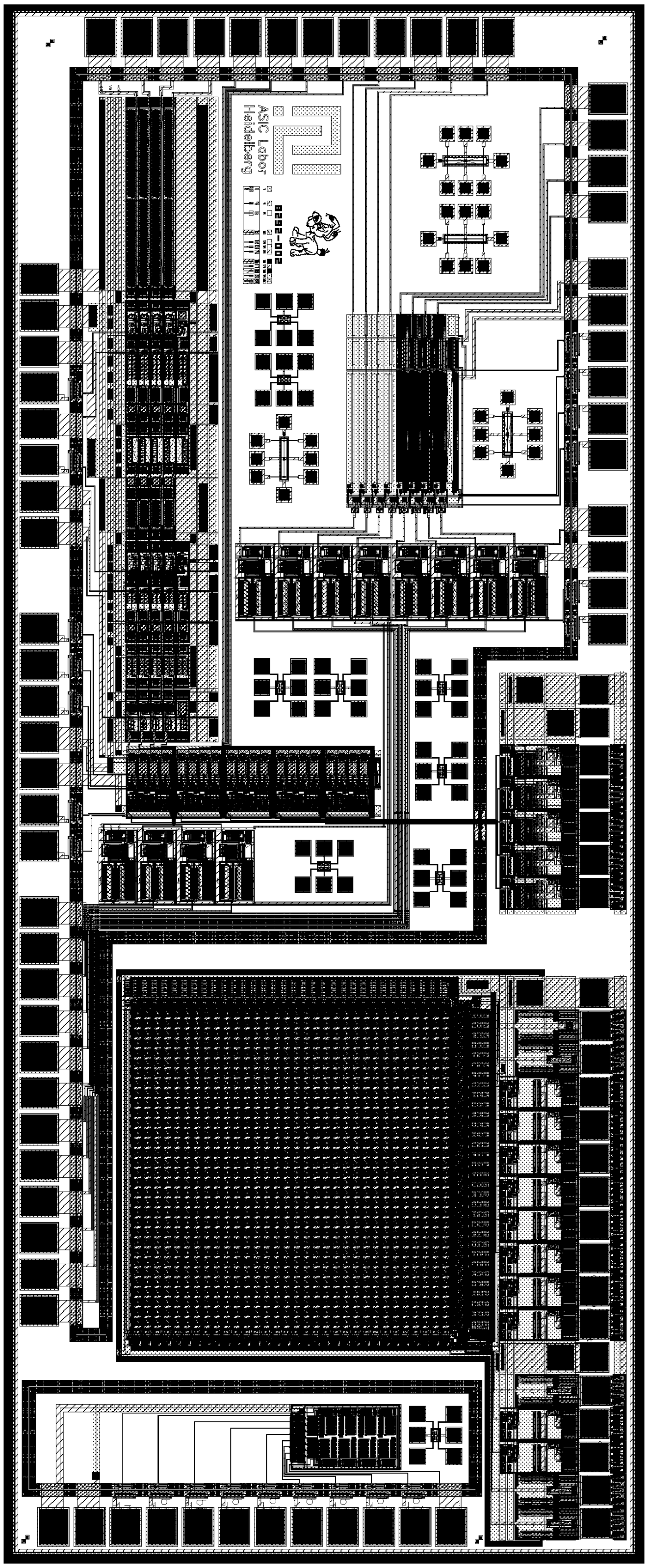


Abbildung 31: Das Layout des Testchips „Idefix“

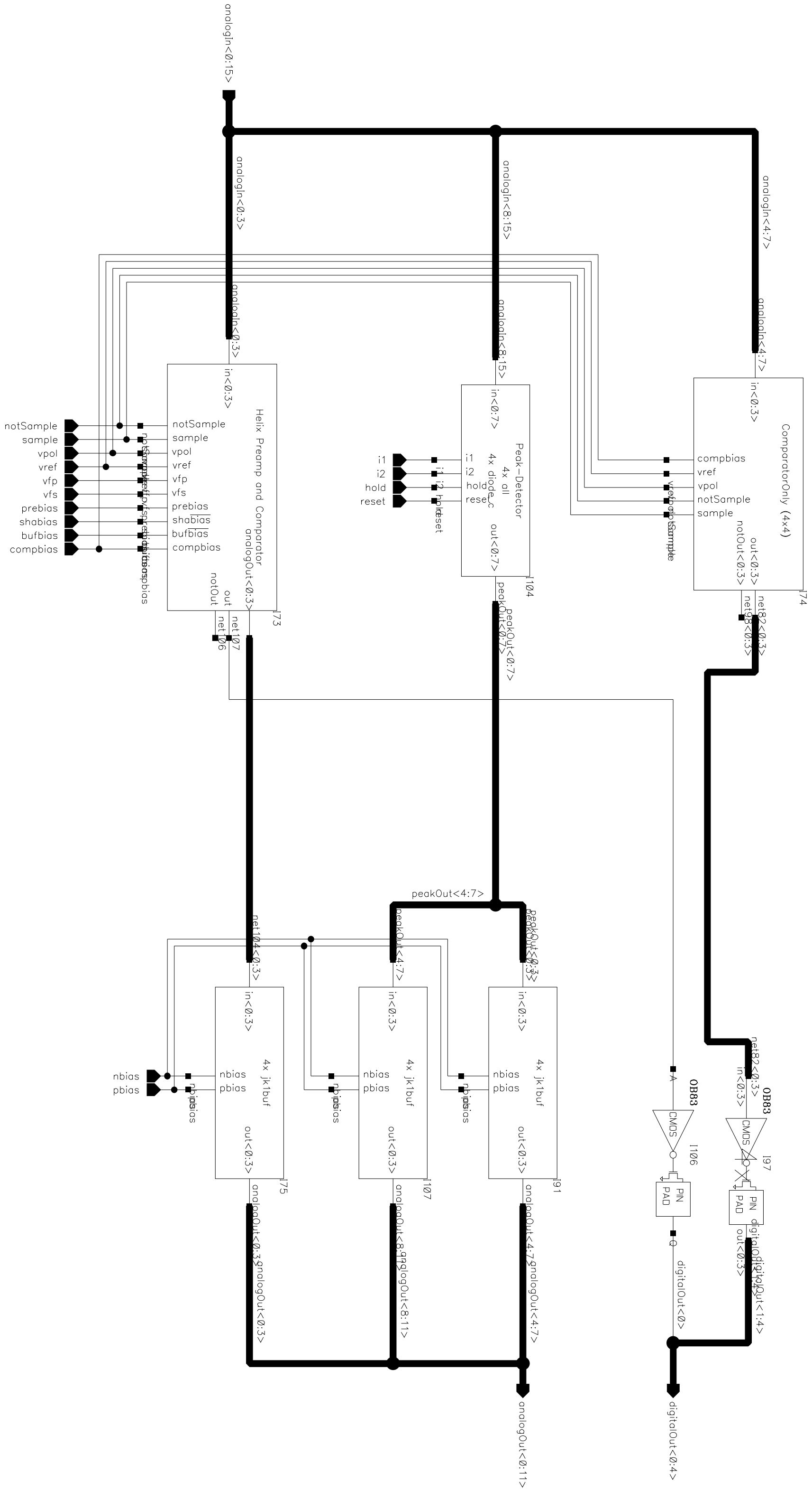


Abbildung 32: Die oberste Ebene des Schaltplanes des Testchips „Idefix“

Die analogen Ausgänge der Vorverstärker und Peakdetektoren müssen ebenfalls verstärkt werden. Hierfür gibt es keine geeigneten Standardzellen. Die Wahl fiel auf den analogen Buffer „jk1buf“ [Kap95].

Bevor ein Layout an den Chiphersteller submittiert wird, werden in jedem Fall zwei wichtige Tests durchgeführt:

- DRC (design rule check). Hier wird die Einhaltung aller geometrischen Regeln überprüft, wie z.B. Mindestabstände, minimale Überlappung oder auch Überlappungsverbot verschiedener Lagen. Der DRC kann in allen Hierarchiestufen des Layouts angewendet werden. Schließlich kann der gesamte Chip überprüft werden. Von diesem letzten Test sind allerdings die umlaufende Grenzline um den Chip, Logos und Schriftzüge oder Nummern, Marker und Strukturen zum Test von Maske und Prozeß ausgenommen, da hier gewollte Regelverletzungen vorkommen.
- LVS (layout versus schematic check). Hier wird überprüft, ob die aus Schaltplan und Layout gewonnenen Netzlisten identisch sind. In den letzten Test waren die Komparatoren, Vorverstärker, Peakdetektoren und Buffer einbezogen (Abb. 32). Für den LVS der übrigen Strukturen waren deren Designer jeweils selbst verantwortlich.

Zu den einzelnen Komponenten des Schaltplans (Abb. 32):

- `ComparatorOnly` (4×4): Dies sind 4 Blöcke mit jeweils 4 Komparatoren (Abb. 33). Die Schaltung der Viererblöcke ist auf Seite 32 dargestellt. Es stehen vier Eingangsleitungen zur Verfügung, die parallel an alle vier Blöcke verteilt werden. Wegen der Veroderung von jeweils vier Kanälen hat jeder Block nur einen Ausgang, bzw. die 16 Komparatoren liefern vier Ausgänge. Durch die Kombinationen bei der Auswahl von 4 Eingängen und 4 Ausgängen lassen sich später alle 16 Komparatoren einzeln vermessen.

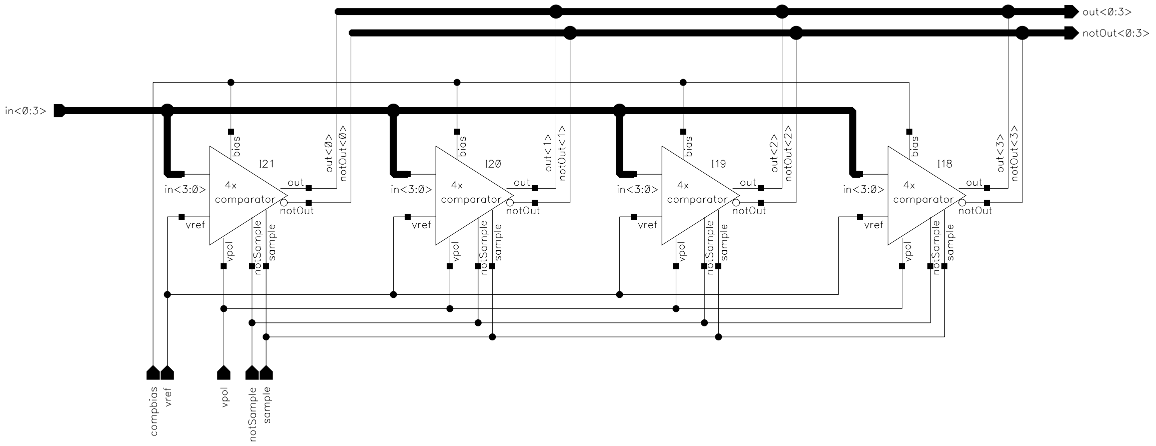


Abbildung 33: 16 Komparatoren mit 4 gemeinsamen Eingängen

- `Peak-Detektor`: Hierin stecken jeweils vier Kanäle zweier unterschiedlicher Teststrukturen zum Auslesen von sehr kurzen Impulsen aus Photomultipliern [Cuj97].

- `Helix Preamp and Comparator`: Aus dem Design des Helix128S-2 wurden vier Kanäle des Vorverstärkers kopiert. An die Ausgänge ist ein Viererblock Komparatoren angeschlossen. Außerdem sind die Vorverstärkerausgänge über Treiber an Pads angeschlossen, um die Kurvenform des Vorverstärkers überprüfen zu können. (Abb. 34)

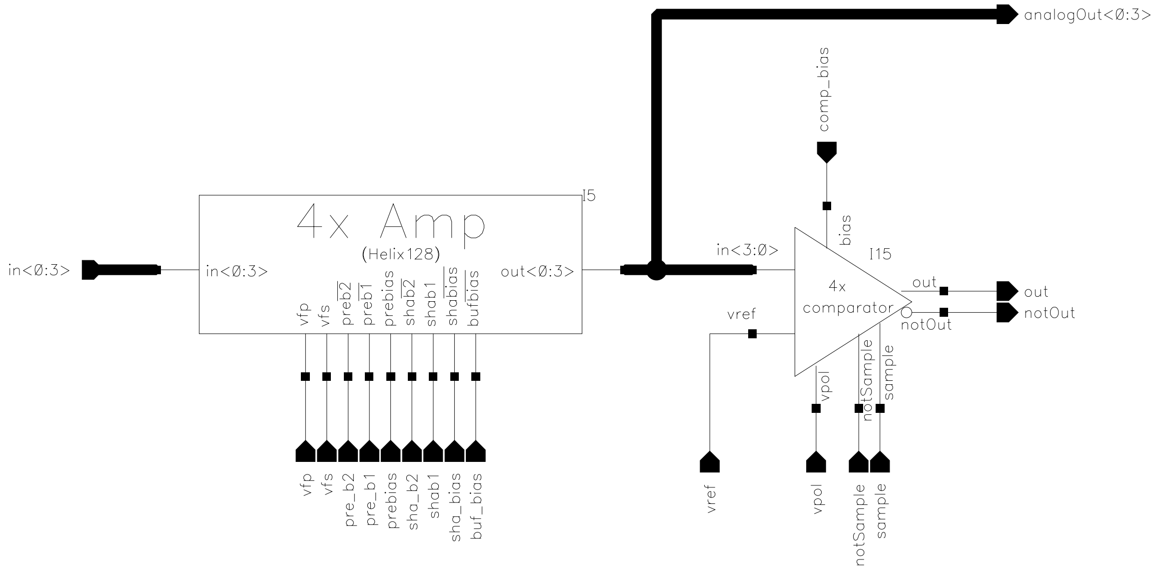


Abbildung 34: 4 Vorverstärker mit Komparatoren

- `OB83`: Dies sind 4+1 digitale Ausgangstreiber mit offenem Drainanschluß für die insgesamt zu fünf Ausgängen veroderten 20 Komparatoren.

- `jk1buf`: 3 × 4 analoge Ausgangstreiber für die vier ladungsempfindlichen Verstärker und acht Peakdetektoren.

Idefix wurde schließlich unter dem bürgerlichen Namen „MPW 8292-002“ bei AMS in Auftrag gegeben.

5.3 Testplatine

Für Messungen am Testchip „Idefix“ war es Teil dieser Arbeit, die Schaltung einer Testplatine zu erstellen. Die Elektronikwerkstatt des Physikalischen Instituts hat anhand dieses Schaltplanes ein Layout entworfen und die Leiterplatten produziert.

Um einen Chip in Betrieb nehmen zu können, müssen elektrische Kontakte hergestellt werden. Dafür gibt es mehrere Möglichkeiten:

- Benötigt man nur wenige (2 . . . 8) Kontakte, kann man diese auf einem Wafer-Prober-Station mit Testnadeln herstellen. Die Testnadeln lassen sich mit Mikrometerschrauben präzise auf die Bondpads absenken. Diese Methoden ist für die Untersuchung der Testtransistoren vorgesehen.

- Sind viele Verbindungen herzustellen, kann man eine Nadelkarte herstellen lassen. Dazu werden für die Bondpads eines Chips exakt passend die nötige Anzahl von Testnadeln an einer Platine befestigt. Die Nadeln sind elektrisch mit einem Stecker verbunden, an den sich die entsprechende Meßumgebung anschließen läßt. Allerdings ist das Hochfrequenzverhalten der langen Kontaktnadeln sehr schlecht, was keine präzisen Messungen ermöglicht. Eine solche Nadelkarte ist sehr kostspielig und lohnt sich nur, wenn sehr viele Chips vor dem Bonden elektrisch getestet werden sollen, wie z.B. der Helix128S-2.

- Für einen Testchip wird man aber normalerweise eine Platine herstellen, auf der gleich die gesamte Infrastruktur des Chips untergebracht werden kann, um komfortable Messungen zu ermöglichen. Man könnte den Chip direkt auf die Platine kleben und von den Bondpads direkt auf passende Leiterbahnen auf der Platine bonden. Bei einem Pitch der Bondpads kleiner als 200 μm wird die Platine aber sehr teuer.

- Der Normalfall schließlich ist es, den Chip in ein Gehäuse zu kleben. Chip-Gehäuse gibt es in vielen verschiedenen Größen und sind leicht zu bonden. Die passende Platine hierzu erhält einen Chip-Sockel für das Gehäuse. Die Anschlüsse des Sockels sind in der Regel in einem $\frac{1}{10}$-Zoll-Raster (2,54 mm) angeordnet. Eine Platine hierfür stellt keine besonderen Ansprüche an den Herstellungsprozeß und läßt sich daher kostengünstig herstellen.

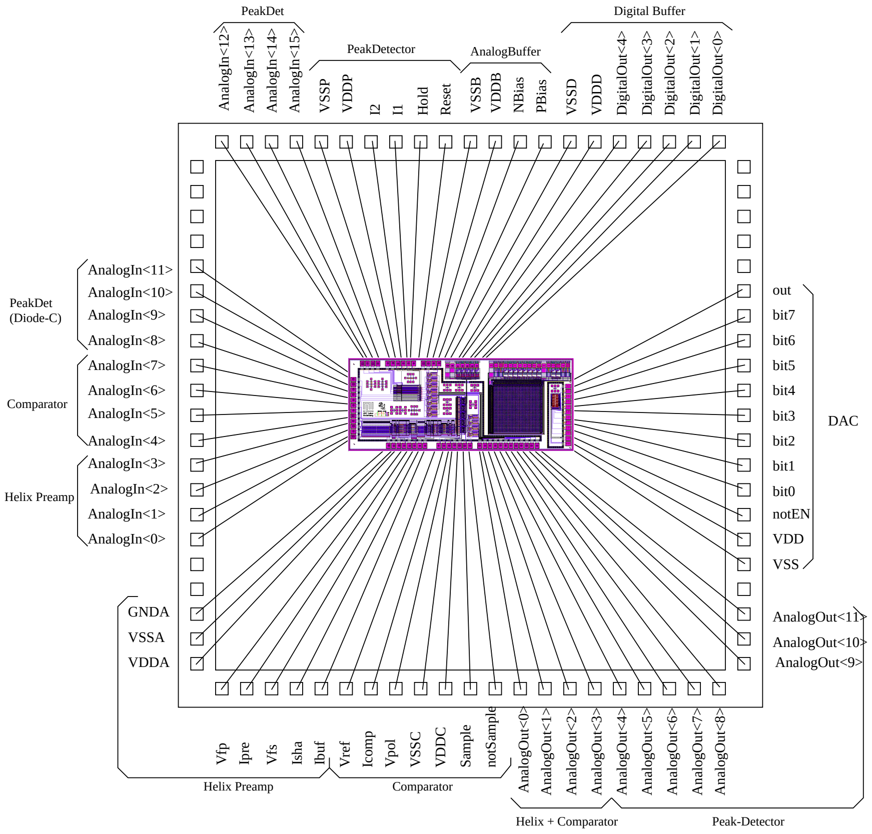


Abbildung 35: Bondplan

Die Testchips werden in ein Gehäuse gebondet, das wiederum in eine Fassung auf die Platine gesteckt wird. Als Gehäuse wurde ein 84poliges PLCC (plastic leaded chip carrier) ausgesucht. Das Gehäuse ist in der 84poligen Ausführung zwar sehr groß, aber eine Pinzahl dieser Größenordnung ist erforderlich. Die 17 Anschlüsse des Vision-Matrix werden nicht angeschlossen. Dafür wäre sonst ein noch größeres Gehäuse wie z.B. ein 114poliges PGA (pin grid array) nötig. Dies bedeutet höhere Kosten und noch längere Bonddrähte als ohnehin schon nötig. Die Messungen an der Vision-Matrix werden auch mit einer anderen Platine durchgeführt. Ein gemeinsam nutzbares Gehäuse wäre nur bei einer zu geringen Stückzahl funktionsfähiger Chips interessant gewesen.

Vor dem Entwurf einer Testplatine wurde ein Bondplan festgelegt, und damit auch die Pinbelegung des PLCC (Abb. 35). Am Bondplan wird deutlich, wie klein der Chip im Gehäuse wirkt. Der Chip ist 2 mm × 5 mm groß, die innere Fläche des Gehäuses ist ein Quadrat von 12,7 mm Kantenlänge. Die Bonddrähte müssen daher bis zu 7 mm Strecke überbrücken. Die Anordnung wird dadurch anfällig für elektromagnetische Einstreuungen. Das Bonden selbst wird außerdem durch den spitzen Winkel zwischen Bonddraht und Chiprand erschwert, der den Abstand zwischen den Bonddrähten sehr stark verringert.

Die zu bauende Testplatine soll die nötigen Messungen dahingehend vereinfachen, daß möglichst wenig externe Geräte und Schaltungen angeschlossen werden müssen. Messungen werden damit nicht nur bequemer, sondern auch übersichtlicher und weniger fehleranfällig. Auf der Platine wurde daher vorgesehen:

- Differentielle Eingangs- und Ausgangstreiber gewährleisten eine sichere Übertragung aller digitalen Signale. Die Steckverbindungen sind so ausgelegt, daß sie mit vorhanden Flachbandkabeln an den Chiptester[15] des ASIC-Labors angeschlossen werden können.
- Sehr schnelle Eingangsverstärker für die Peak-Detektor-Strukturen ermöglichen einen direkten Betrieb an Photomultipliern. Die Eingangsverstärker können wahlweise zugeschaltet werden.
- Die Eingänge des ladungsempfindlichen Verstärkers sind über Kondensatoren mit 1.6 pF angeschlossen. Damit können mit einem Pulsgenerator auf einfache Weise wohldefinierte Ladungen eingespeist werden.
- Differentielle analoge Ausgangstreiber dienen zur Anpassung an 50 Ω-Verbindungen. Damit können bei einem Systemtest Meßgeräte auch über Kabel in der Länge von mehreren zehn Metern angeschlossen werden.
- Strom- und Spannungsquellen sind für alle statischen Einstellungen an den Verstärkern zuständig. Die Einstellmöglichkeit über den gewünschten Bereich wird mit Spindeltrimmpotentiometern erreicht.
- Für den Digital-Analog-Konverter existiert zusätzlich ein DIP-Schalter, um statische Messungen auf einfache Weise durchführen zu können.
- Mit einfachen Schaltern (Jumper) für die Stromversorgung der verschiedenen Baugruppen können störende Komponenten ausschaltet werden.

---

[15] Der Chiptester (Hewlett-Packard 82000) dient zum Anlegen von Testmustern und Auslesen der Ausgänge eines Chips und ermöglicht umfangreiche automatisierte Messungen.

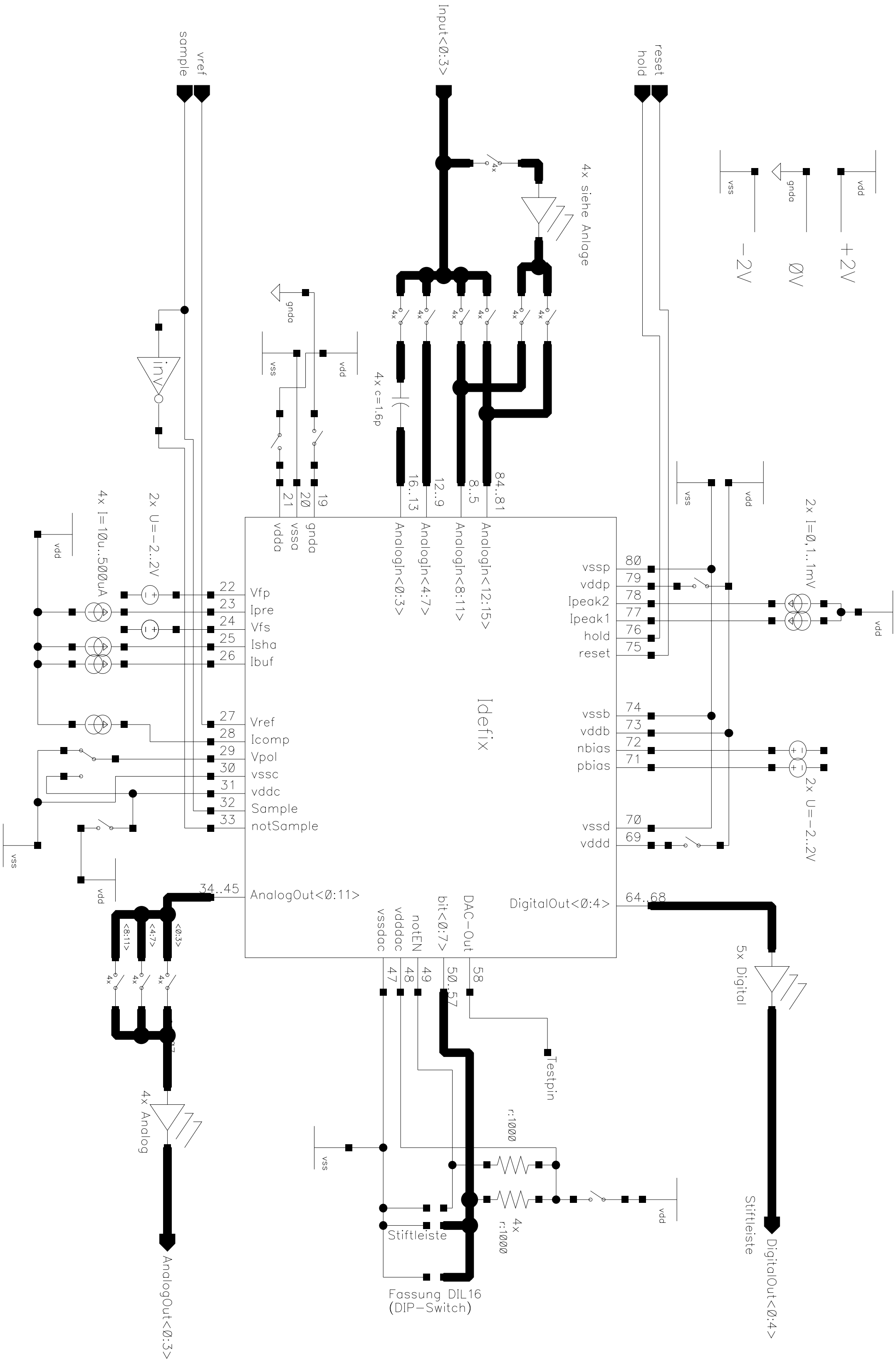


Abbildung 36: Schaltplan der Testplatine

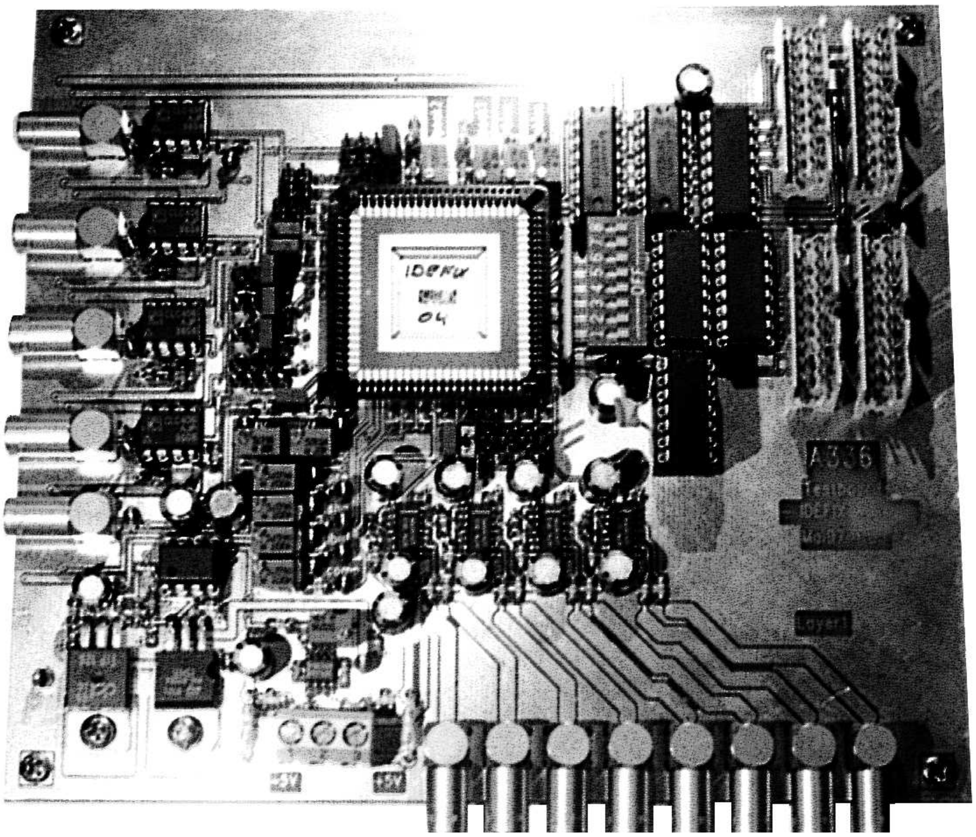


Abbildung 37: Platine für Messungen am Testchip

- Ein Schalter (Jumper) legt die Polarität der CompPol-Leitung des Komparators fest. Mit diesem Schalter muß die richtige Betriebsart für positive oder negative Signale eingestellt werden.

- Vier analoge Eingänge und vier differentielle analoge Ausgänge sind über insgesamt acht Lemobuchsen zugänglich. Mit Jumpern werden die gewünschten Verbindungen zwischen Eingängen und Ausgängen des Testchips und den vier Kanälen der Testplatine ausgewählt.

- Eine Spannungsversorgung und -stabilisierung liefert eine symmetrische Spannungsversorgung von ±5 V für die Bauteile auf der Platine und ±2 V für die Spannungsversorgung des Testchips. Zwei Leuchtdioden dienen zur Kontrolle der Spannungsversorgung.

5.4 Messungen

5.4.1 Aufbau

Zur Messung wurden folgende Geräte verwendet:

Stromversorgung:	Rohde & Schwartz NGPT 35
Signalgenerator:	Tektronix AWG 2041
Oszilloskop:	Tektronix TDS 784
Pulsgenerator:	HP 8130A
Steuerung:	HP-UX Workstation mit HP-VEE Software

Das Schema des verwendeten Meßaufbaus ist in Abbildung 38 dargestellt. Mit dem Signalgenerator wurde ein beliebiges Signal auf einen Eingang des Testchips gegeben. Gleichzeitig erhält der Pulsgenerator einen Triggerimpuls. Der verwendete Pulsgenerator erzeugt daraufhin einen oder mehrere Pulse mit einstellbarer Verzögerung und Pulsdauer. Diese Pulse werden auf den CompClk Eingang der Komparatoren gegeben.

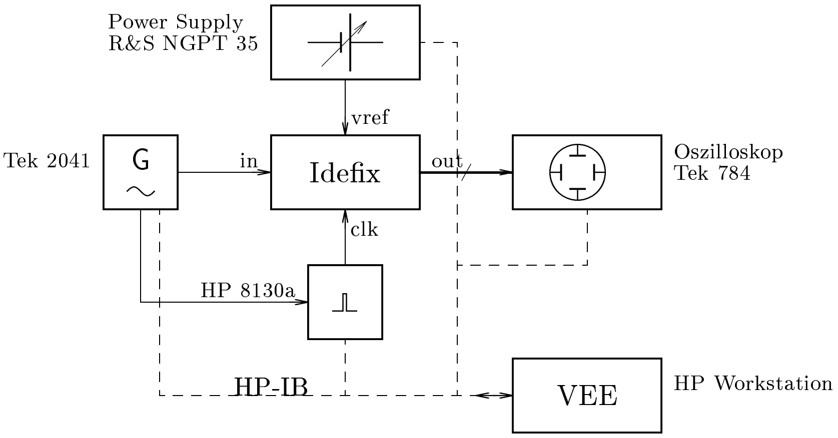


Abbildung 38: Meßaufbau

Das Dreifachnetzteil liefert gleichzeitig eine symmetrische Stromversorgung von ±5 V sowie die Referenzspannung für die Komparatoren.

Alle Meßgeräte waren über den Meßgerätebus HP-IB an eine Workstation angeschlossen. Mit der Software „HP-VEE“ der Firma Hewlett-Packard konnten sämtliche Funktionen der Meßgeräte ferngesteuert und Meßwerte ausgelesen werden. Somit konnten aufwendige oder umfangreiche Messungen automatisiert werden. Um auch Schwankungen der Meßgrössen zu ermitteln, wurde aus dem digitalen Oszilloskop Minimal- und Maximalwerte ausgelesen. Die in den Graphen dargestellten Fehlerbalken zeigen diese Minimal- und Maximalwerte und nicht etwa den im allgemeinen viel geringeren σ-Fehlerbereich!

5.4.2 Funktionstest

Zu Beginn wurden die einstellbaren Ströme und Spannungen auf Nominalwerte gebracht:

I_{pre}	$200\,\mu$A
I_{sha}	$100\,\mu$A
I_{buf}	$100\,\mu$A
I_{comp}	$50\,\mu$A

V_{fp}	0 V
V_{fs}	1,5 V
V_{nbias}	−0,5 V
V_{pbias}	0,5 V

Abbildung 39 zeigt einen ersten Funktionstest. Das Ausgangssignal (Kanal 4) weist hier noch eine sehr langsame steigende Flanke auf. Das liegt an den zuerst verwendeten 4 kΩ-Pullup-Widerständen. Die digitalen Ausgänge des Helix und Idefix besitzen Ausgangstreiber mit offenem Drain-Anschluß. Zum Betrieb dieser Ausgangsstufen ist es nötig, den Ausgang über einen sogenannten Pullup-Widerstand auf der Leiterplatte mit der positiven Betriebspannung zu verbinden, sodaß eine Art regelbarer Spannungsteiler entsteht. Durch Verkleinerung der Pullup-Widerstände auf 1 kΩ wurde akzeptable Anstiegszeiten erreicht.

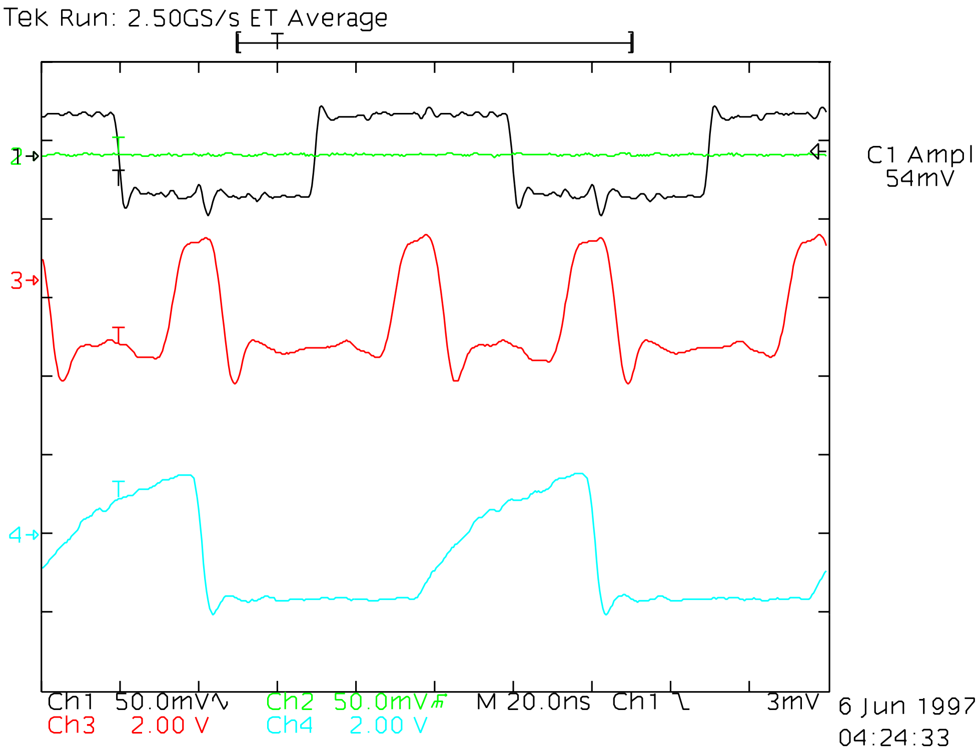


Abbildung 39: Dieses Oszilloskopbild zeigt einen ersten Funktionstest des Komparators. Auf Kanal 1 liegt ein 10 MHz-Rechtecksignal, das als Eingangssignal für den Komparator verwendet wird. Die durch die Rechtecke verlaufende konstante Spannung ist die Referenzspannung V_{ref} (Kanal 2). Kanal 3 zeigt die CompClk. Kanal 4 schließlich zeigt das Ausgangssignal des Komparators.

5.4.3 Schwellenverhalten

Zunächst sollte das Schaltverhalten der Komparatoren untersucht werden. Dazu wurde bei einem bestimmten Eingangssignal (Rechteckschwingung, $f = 1\,\text{MHz}, A = 0,1\,\text{V}$) und festgehaltener Verzögerung Δt die Referenzspannung langsam verändert.

Man erwartet, daß die Komparatoren in der Nähe der Schwellspannung statistisch ein- und ausschalten. Mittelt man das digitale Ausgangssignal, das selbst nur logisch '0' oder '1' annimmt, erhält man ein relatives Maß, wie oft der Ausgang auf 1 liegt (Abb. 40):

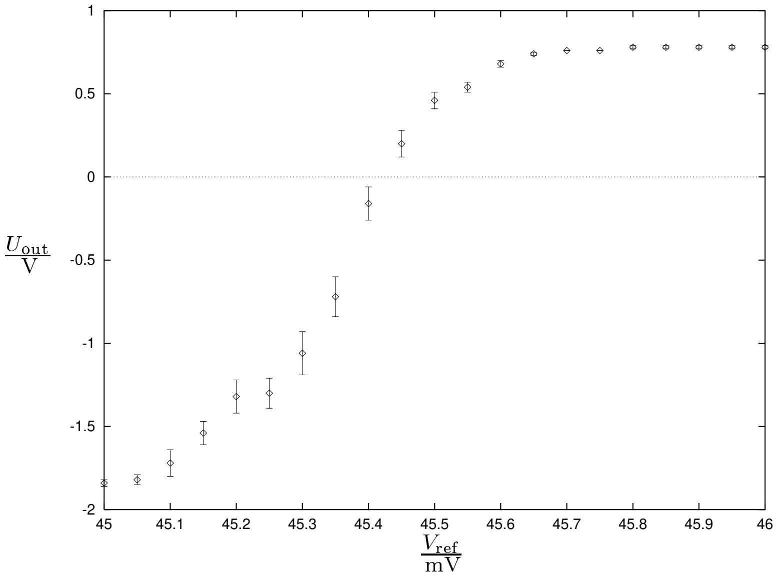


Abbildung 40: Mittelwert des Ausgangssignals beim Durchfahren der Referenzspannung über die Schaltschwelle. Wegen eines asymmetrisch arbeitenden Treibers auf der Testplatine war der Ausganshub hier nur $(0,8+1,8)\,\mathrm{V}$.

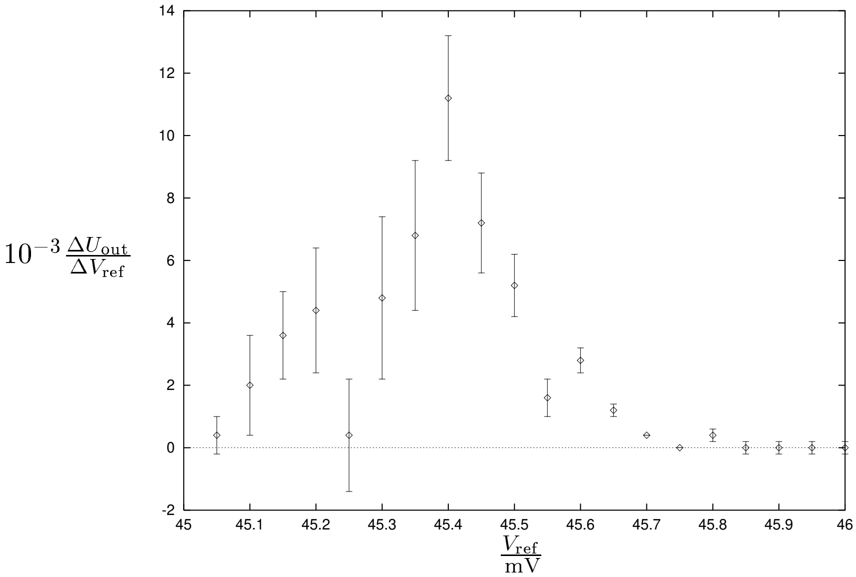


Abbildung 41: Die Schaltschwelle nach V_{ref} differenziert.

Der zweite Plot (Abb. 41) zeigt die gleiche Schaltschwelle, allerdings nach V_{ref} differenziert. Man sieht, daß die Komparatoren innerhalb einer Änderung der Referenzspannung von 0,5mV vollständig umschalten.

5.4.4 Rückkopplungsschaltung

Zu den entscheidenden Eigenschaften eines Verstärkers gehört das zeitliche Verhalten. Um das dynamische Verhalten der Komparatoren zu überprüfen, sollte das Eingangssignal abgetastet werden. Das heißt, in Abhängikeit von der Phasenlage eines Taktgebers (CompClk) wird gemessen, bei welcher Referenzspannung ein Komparator schaltet. Die Kurve $V_{\mathrm{ref}}(\Delta t)$ ist bei einem idealen Komparator mit dem Eingangssignal $U_{\oplus}$ identisch. Abweichungen vom Idealverhalten lassen auf die Qualitäten von Komparator und AC-Kopplung zurückschliessen.

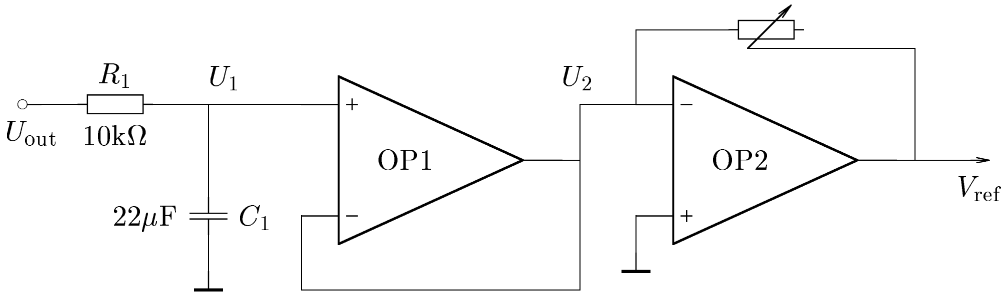


Abbildung 42: Schaltung zur automatischen Einstellung von V_{ref}

Nun zeigt sich, daß diese Art der Messung sehr mühsam ist, da beim Abtasten des Eingangsignals nach jedem Verstellen der CompClk-Phase Δt das passende V_{ref} gefunden werden muß, bei dem der Komparator umschaltet. Dies läßt sich durch die Fernsteuerung mit HP-VEE automatisieren. Das programmgesteuerte Suchen der richtigen Referenzspannung zwar weniger mühsam, aber immer noch zeitaufwendig, weil der Meßgerätebus nicht sehr schnell ist und vor allem nach jeder Änderung einige Sekunden gewartet werden muß, bis das ferngesteuerte Netzteil die neue Referenzspannung V_{ref} eingestellt und stabilisiert hat.

Abhilfe schafft eine Schaltung, die V_{ref} stets passend einstellt (Abb. 42). Aus dem digitalen Ausgangssignal der Testplatine wird durch ein RC-Glied mit grosser Zeitkonstante ein Mittelwert U_1 gebildet. OP1 ist als Spannungsfolger geschaltet. Durch den hohen Eingangswiderstand kann U_1 nicht verfälscht werden. OP2 arbeitet als invertierender Verstärker.

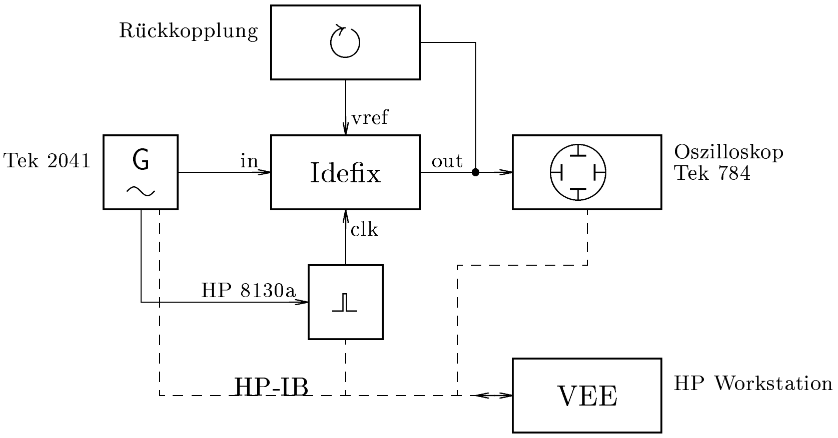


Abbildung 43: Meßaufbau mit Rückkopplungsschaltung

Die Idefixplatine besitzt eine symmetrische Spannungsversorgung. Das bedeutet $-2\,\mathrm{V}$ für logisch '0' und +2 V für logisch '1'. Ist U_{out} immer an, ist $U_2 = U_1 = 2\,\text{V}$. Am Ausgang von OP2 stellt sich nun eine negative Spannung ein, die dem Testchip als V_{ref} zugeführt wird. Damit die Rückkopplung richtig herum arbeitet, muß bei positiven Signalen (CompPol=0) U_{out} vor der Mittelwertbildung invertiert werden. Da die Ausgänge der Testplatine differentiell ausgeführt wurden standen beide Polaritäten zur Verfügung. Die Verstärkung oder besser gesagt die Abschwächung an OP2 ist über das Trimmpotentiometer einstellbar. OP2 befindet sich genau dann in einem stabilen Zustand, wenn der negative Eingang auf 0 V liegt (virtuelle Masse). Dann ist auch $U_1 = 0\,\text{V}$ und U_{out} ist im zeitlichen Mittel zu 50% an.

Für die folgenden Messungen wurden ein modifizierter Meßaufbau (Abb. 43) verwendet, in dem die beschriebene Rückkopplungsschaltung für die Einstellung der Referenzspannung genutzt wird. Die Einstellung der Referenzspannung geschieht innerhalb einiger Millisekunden bis auf 0, 1 mV genau.

5.4.5 AC-Kopplung

Um den Einfluß der AC-Kopplung zu bestimmen, wurde ein mit 100kHz relativ langsames Rechtecksignal vermessen. Bei der Messung muß zwischen positiven und negativen Signalen unterschieden werden und der Jumper für V_{pol} entsprechend gesetzt werden. Es sind daher die beiden Kurven aus zwei Meßreihen zu sehen. Die obere für die positive Hälfte des Signals, die untere für die negative.

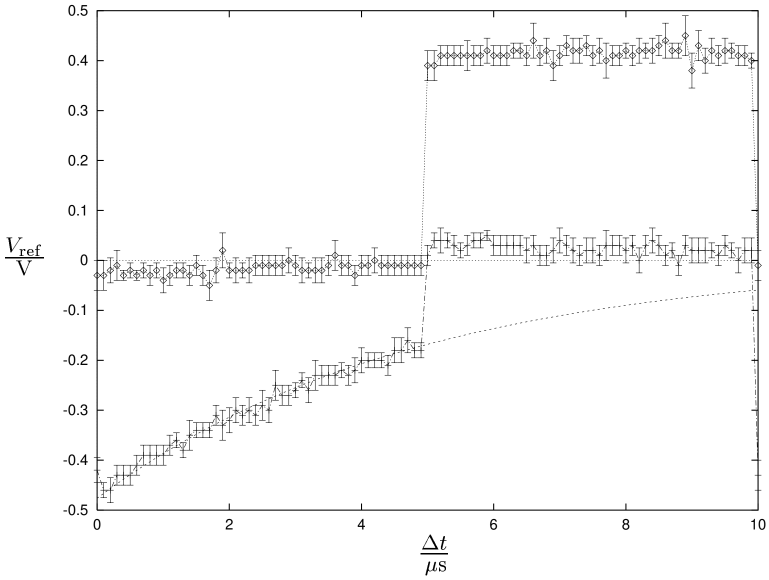


Abbildung 44: Abtastung eines 100 kHz Rechtecksignals

Beim negativen Impuls erkennt man einen exponentiellen Abfall mit $\exp\left(-\frac{t}{\tau}\right)$ an. Es ergibt sich eine Zeitkonstante von $\tau_- = 4,8\,\mu\text{s}$. Beim positiven Impuls ist dieser Abfall nicht sichtbar, d.h. $\tau_+ \gg 5\,\mu\text{s}$. Daraus kann der Widerstand der beiden gesperrten MOS-FETs für negative Signale berechnet werden: $R_- = \frac{\tau}{C} = \frac{4{,}8\,\mu\text{s}}{2\,\text{pF}} = 2,4\,\text{M}\Omega$. Für positive Signale ist der Widerstand wesentlich höher. Dies liegt an der Anordnung der beiden als Widerstand verwendeten Transistoren.

5.4.6 Flankensteilheit

Im Gegensatz zu langsamen Signalen spielt bei schnellen Spannungsänderungen der Hochpaß der AC-Kopplung keine Rolle mehr. Durch das Vermessen einer Signalflanke soll die Anstiegszeit des Komparators bestimmt werden. Als Eingangssignal wurde ein Rechtecksignal mit $f = 100\,\mathrm{kHz}$ und $100\,\mathrm{mV}$ Amplitude verwendet. Auch hier sind wieder die Ergebnisse der Messung für steigende und fallende Flanken übereinandergelegt (Abb. 45).

Daraus ergeben sich Anstiegsgeschwindigkeiten von $101\frac{\mathrm{mV}}{\mathrm{ns}}$ für positive und $94\frac{\mathrm{mV}}{\mathrm{ns}}$ für negative Signale.

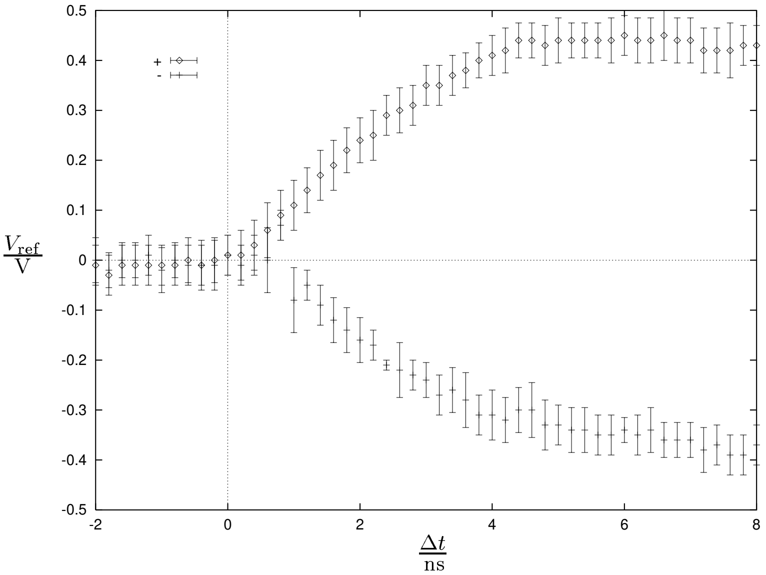


Abbildung 45: Abtastung fallender und steigender Flanke eines Rechtecksignals

5.4.7 Frequenzgang des Komparators

Um einen Überblick über das Frequenzverhalten zu bekommen, wurde ein Spektrum vermessen. Dazu wurde eine Sinusspannung einstellbarer Frequenz auf die Eingänge gelegt, V_{ref} mit der Rückkoppelschaltung ermittelt und Δt so eingestellt, daß V_{ref} maximal wird. Je ein Zweig gehört zu positiven bzw. negativen Signalen:

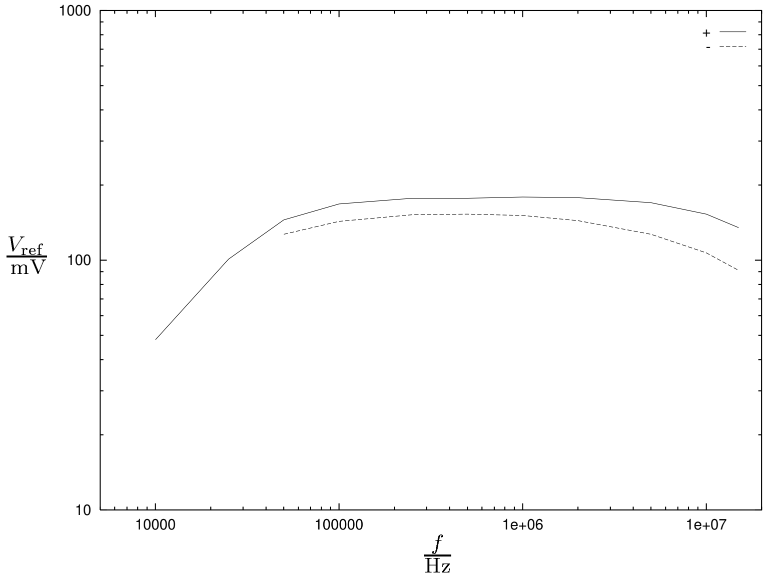


Abbildung 46: Übertragunsspektren für positive und negative Signale

Deutlich zu sehen ist die über den gesamten Frequenzbereich geringere Sensitivität für negative Signale.

5.4.8 Helix-Vorverstärker

Die entscheidende Frage überhaupt ist natürlich ob der Komparator gut genug ist, um im Betrieb am Helix-Vorverstärker ein MIP mit ausreichender Effizienz zu erkennen.

Dies ließ sich mit Hilfe der Vorverstärkerkanäle auf dem Testchip klären. Bei der Inbetriebnahme zeigte sich zunächst die naturgemäß hohe Einstreuempfindlichkeit der Verstärker. Die Taktfrequenz CompClk des Komparators bewirkte ein Störsignal von der Grösse einiger MIP (Abb. 47).

Dieses Problem wurde abgeschwächt durch

- guten Kontakt des Chip-Carriers mit der analogen Masse (gnda),
- möglichst kurzen Bonddrähten an den Verstärkereingängen und
- vor allem der Abflachung der Flanken des Clock-Signals.

Das Problem der offensichtlich sehr langen Bonddrähte ergibt sich aus dem Bonden des eher kleinen Chips in ein 84poliges PLCC, das wegen der Anzahl der Anschlußpads nötig war. Um möglichst kurze Bonddrähte zu erzielen, wurde ein Chip so asymmetrisch in das Gehäuse geklebt, daß die Drähte zu den Verstärkern relativ kurz wurden. Dabei wurden die gegenüberliegenden Drähte um so länger und es mußte unter sehr ungünstigen Winkeln gebondet werden.

Die Clockflanken wurden verlängert, indem der Clock-Treiber mit einem Kondensator von 150 pF gegen Masse belastet wurde.

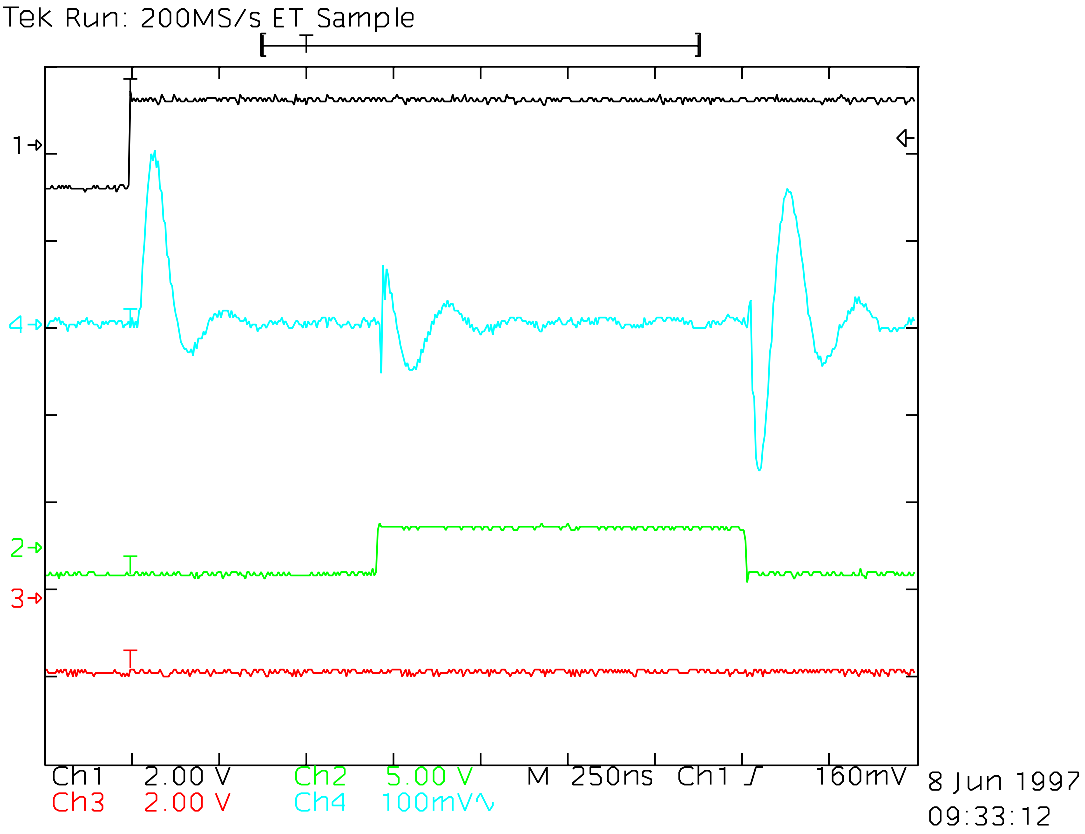


Abbildung 47: Übersprechen der CompClk in den Vorverstärker. Kanal 1 des Oszilloskopbildes zeigt die Signalflanke, mit der über einen Kondensator eine Ladung von 1MIP in den Vorverstärker gekoppelt wird. Darunter, in Kanal 4, sieht man das Ausgangssignal des Vorverstärkers. Der Impuls ganz links entspricht den Erwartungen. Die beiden anderen Ausschläge werden durch Übersprechen von der CompClk (Kanal 2) verursacht.

Nach diesen Maßnahmen waren die Störungen zwar immer noch sichtbar, aber immerhin kleiner als das Nutzsignal.

Die folgenden Plots (Abb. 48 und 49) zeigen über einen Kondensator eingekoppelte Signale ensprechend 39000 e$^-$ und 20000 e$^-$.

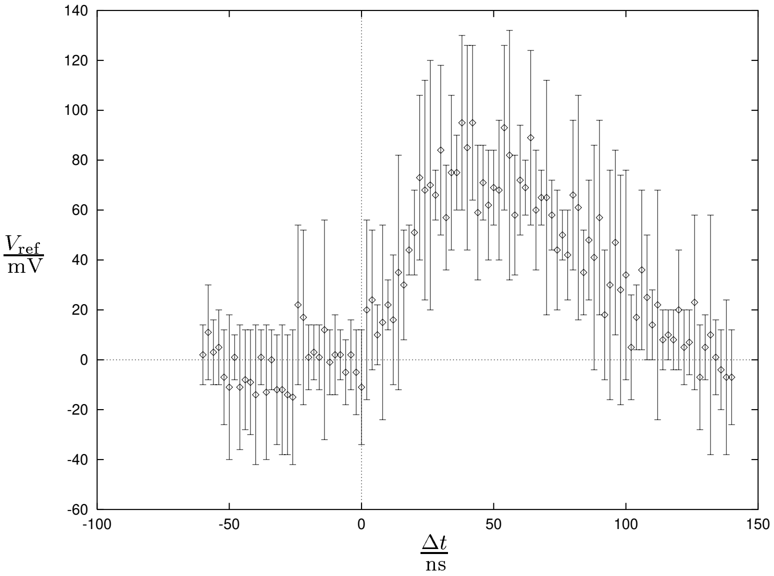


Abbildung 48: Abtastung eines Signals aus dem ladungsempfindlichen Vorverstärker. Eingekoppelt wurde eine Ladung von $39000\,\mathrm{e}^-\approx 1\,\mathrm{MIP}$.

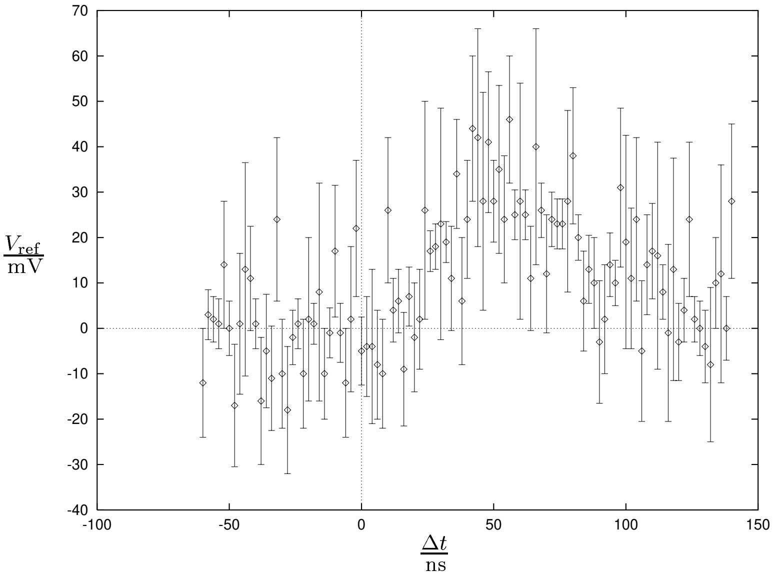


Abbildung 49: Abtastung eines Signals aus dem ladungsempfindlichen Vorverstärker. Eingekoppelt wurde eine Ladung von $20000\,\mathrm{e}^-\approx \frac{1}{2}\,\mathrm{MIP}$.

Die großen Fehlerbalken rühren zu großem Teil vom störenden Einfluß der Clockflanken her. Es sei nochmal erwähnt, daß es sich nicht um einen σ-Fehlerbereich handelt, sondern um Minimal- und Maximalwerte. Man sieht, daß der Testaufbau bei dem $2\cdot 10^4\mathrm{e}^-$-Signal am Rande seiner Auflösung arbeitet. Trotzdem lassen sich V_{ref} und Δt so wählen, daß die Pulse mit hoher Wahrscheinlichkeit erkannt werden.

5.4.9 Offsetschwankungen

Als Offset eines Differenzverstärkers bezeichnet man diejenige Eingangspannungsdifferenz, bei der die Ausgangsspannung (bei symmetrischer Spannungsversorgung) gerade 0 V beträgt. Ein systematischer Offset, der alle Kanäle gleichermaßen betrifft, bereitet beim Betrieb des Komparators im Helix-Chip keine Probleme, da er durch Anpassung der Referenzspannung kompensiert werden kann. Variieren die Offsets jedoch von Kanal zu Kanal, bedeutet dies effektiv eine von Kanal zu Kanal unterschiedliche Triggerschwelle.

Zur Untersuchung der Offsetvariation wurden bei einem Rechtecksignal (1kHz, 100mV) und festem Δt die Schwellenspannungen gemessen. Die Messungen wurde mit drei verschiedenen Chips mit jeweils 16 Kanälen durchgeführt.

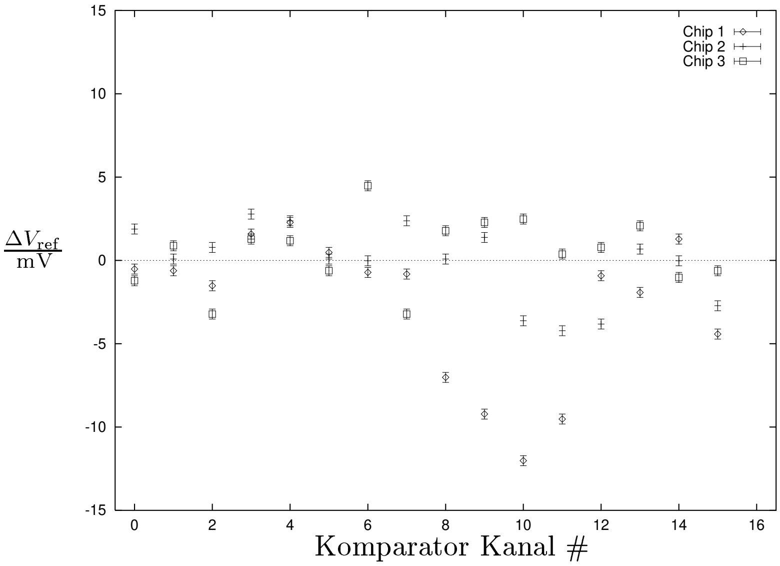


Abbildung 50: Offsetschwankungen

Die Offsets bewegen sich im allgemeinen in einem Rahmen von ±4 mV. Bei einem Chip wurden vier Offsets von bis zu 12 mV gemessen.

Die Bedeutung dieser Ausreißer für den Helix128S-2 bleibt noch zu untersuchen. Während beim Testchip „Idefix“ sämtliche Chips funktionieren und sich nur quantitativ unterscheiden, gibt es beim ungleich komplexeren Helix einen großen Anteil nicht funktionsfähiger Chips (Kap. 6.1). Es ist zu erwarten, daß ein quantitativ herausragend schlechtes Verhalten der Komparatoren mit der Funktionsuntüchtigkeit anderer Komponenten korreliert.

5.4.10 Temperaturverhalten

Zur Untersuchung des Einflusses von Temperaturänderungen auf den Komparator wurde die Testplatine in einem programmierbaren Wärme-/Kälteschrank betrieben.

Die Vermessung einer Signalflanke wurde für verschiedene Temperaturen durchgeführt:

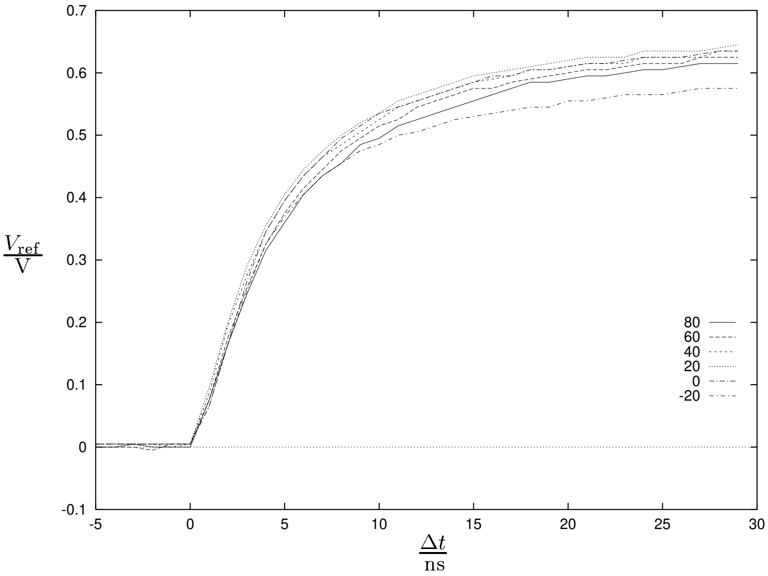


Abbildung 51: Vermessung einer Signalflanke im Wärmeschrank

Wie man sieht hängt die Anstiegsgeschwindigkeit nicht wesentlich von der Temperatur ab. Greift man nun V_ref bei $\Delta t = 25\,\mathrm{ns}$ heraus und trägt gegen die Temperatur auf, erhält man:

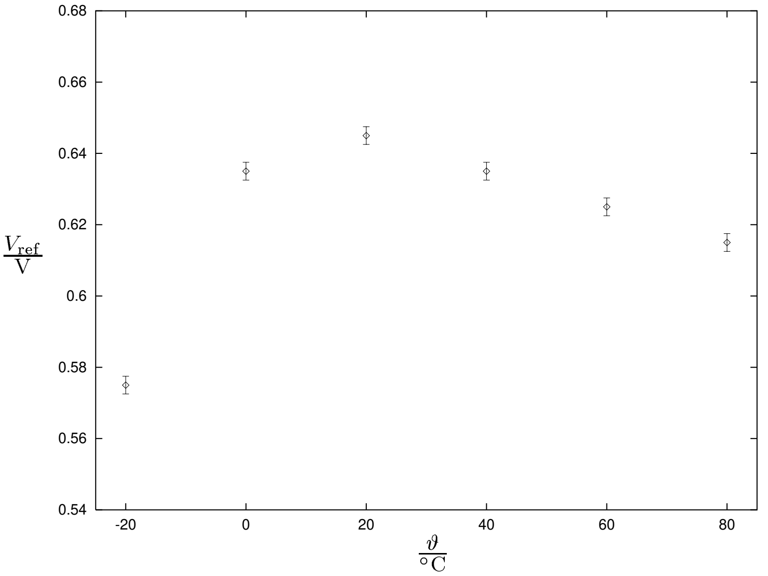


Abbildung 52: Drift der Schaltschwelle mit der Temperatur

Die Temperaturdrift verhält sich also nicht monoton, sondern hat etwa bei Zimmertemperatur ein Maximum. Für Temperaturen $> 20^\circ\mathrm{C}$ kann man einen Temperaturkoeffizenten angeben: $\frac{\Delta V_\mathrm{ref}}{\Delta\vartheta} = -0,5\frac{\mathrm{mV}}{\mathrm{K}}$.

6 Helix 128S-2

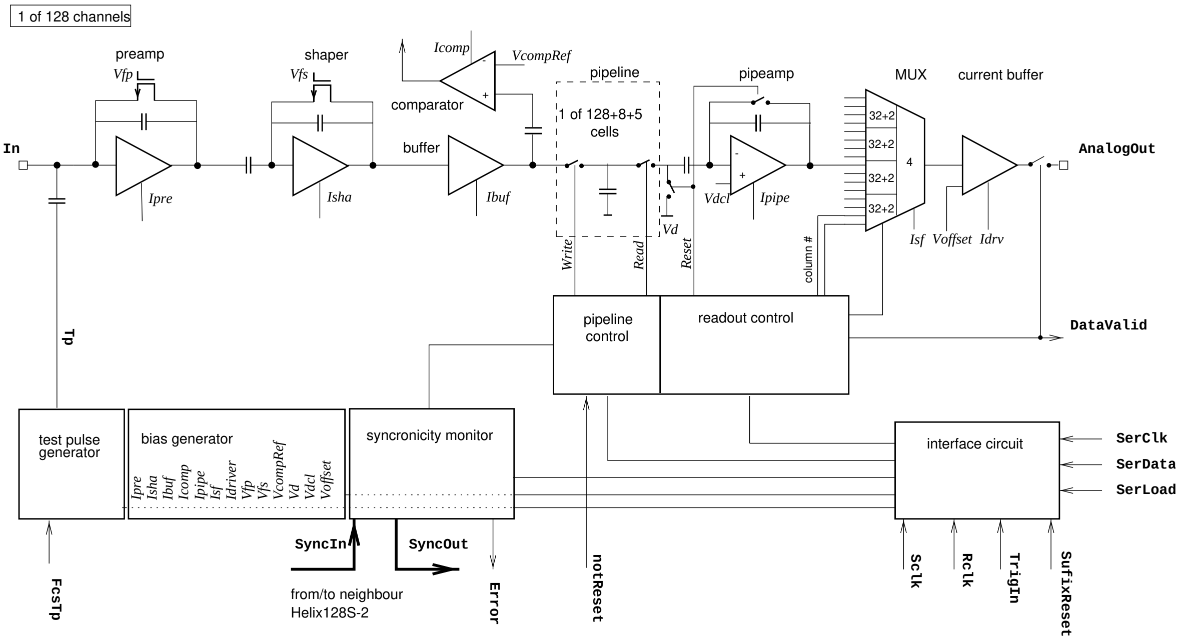


Abbildung 53: Prinzipschaltbild des Helix128S-2

Für die Auslese der Siliziumstreifenzähler des Vertex-Detektors und der Mikrostreifengaszähler des Inner Trackers wurde der Auslesechip Helix entwickelt.

Jede Anode einer MSGC wird, wie in den vorigen Kapiteln beschrieben, an einen der 128 Eingänge eines Helix angeschlossen. Danach durchläuft das Signal folgende Stationen (Abb. 53):

- Im ladungsempfindlichen Vorverstärker wird der Ladungsimpuls der MSGC integriert. Je nach Polarität des Eingangssignals steigt oder sinkt das Potential am Ausgang des Vorverstärkers. Ein Transistor wirkt, einstellbar durch die Spannung V_{fp}, wie ein Widerstand. Er entlädt langsam den Rückkopplungskondensator und sorgt damit dafür, daß die Ausgangsspannung des Integrators nicht an die Grenzen der Versorgungsspannung stößt.
- Danach folgt ein „Shaper“ der den Impuls auf eine Peakzeit von 50 bis 70 ns formt (Abb. 54).
- Hieran schließt sich ein Pufferverstärker an.
- Danach verzweigt sich das Signal zur analogen Auslese und zum Triggerpfad mit den Komparatoren.

Auf den analogen Pfad mit Pipeline (Speicherkette) und Ereignispuffer sowie auf den digitalen Teil zur Steuerung und Programmierung des Helix soll hier nicht weiter eingegangen werden. Eine ausführliche Beschreibung des Helix128S-2 bietet das Helix-Manual [ASIC33].

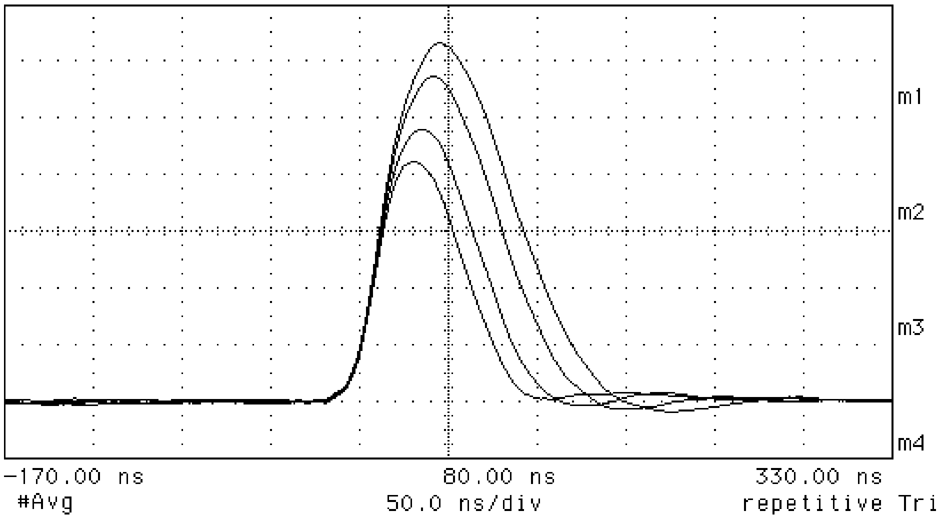


Abbildung 54: Pulsform des Helix128S-2 bei unterschiedlichen Einstellungen des Shapers [FB97]

Der Triggerpfad besteht aus AC-Kopplung, Komparator, Exklusiv-Oder, 4fach-Oder und D-Flip-Flop, wie in Kapitel 4 beschrieben. Für das Layout des Helix128S-2 wurde ein Viererblock (Abb. 28) 32fach aneinandergereiht. Die Referenzspannung V_{ref} wird wie alle anderen Bias-Spannungen und -Ströme von einem Digital-Analog-Konverter auf dem Helix bereitgestellt und kann von außen über eine einfache serielle Schnittstelle programmiert werden. Die 32 Ausgangskanäle der Flip-Flops steuern Padtreiber mit offenem Drain-Anschluß an.

6.1 Selektion funktionsfähiger Chips zur Leiterplattenbestückung

Schon ab einer geringen Komplexität einer integrierten Schaltung muß damit gerechnet werden, daß kleine Störungen bei der Produktion zu defekten Chips führen. Da ein Fehler genügen kann, um einen Chip unbrauchbar zu machen, ist die Ausbeute umso geringer, je größer die Fläche des Chips ist.

Vor der Bestückung der Platinen und dem Zusammenbau mit MSGC-Modulen müssen daher die Helix128S-2 geprüft werden. Für diese Tests wurde ein Chiptester[16] verwendet. Die Kontaktierung der Chips wurde mit einer für den Helix128S-2 angefertigten Nadelkarte vorgenommen. Überprüft wurde, ob der digitale Steuerungsteil des Helix128S-2 das Ausgangssignal „DataValid“ richtig generiert, ob Signale im analogen Ausgangssignal des Chips zu sehen sind und ob die Komparatoren des Triggerpfades auf die Signale des Vorverstärkers und Veränderungen von V_{ref} reagieren. Tabelle 2 zeigt das Resultat der Messung.

Von den 57 geprüften Helix128S-2 waren 17 im Sinne der Testmethoden in Ordnung. Dies ergibt eine Ausbeute von rund 30%. Diese Zahl stimmt mit den Erfahrungswerten des Herstellers überein. Weitere 7 Chips (10%) waren bis auf einige offensichtlich ausgefallene Kanäle brauchbar.

---

[16] Siehe Fußnote Seite 46

#	Digital	Analog	Trigger	GMA
1	●	○	-	
2	●	-	-	
3	●	●	●	1.1
4	●	●	●	1.2
5	●	●	●	1.3
6	●	●	●	1.4
7	●	-	●	
8	●	(2)	●	1.5
9	●	●	●	1.6
10	●	●	●	1.7
11	●	-	-	
12	●	●	●	1.8
13	-	-	-	
14	-	-	-	
15	●	●	●	1.9
16	●	-	●	
17	●	(2)	●	1.10
18	-	-	○	
19	●	●	●	2.1
20	●	-	-	
21	●	-	-	
22	-	-	●	
23	-	-	-	
24	-	-	-	
25	●	●	-	
26	●	(1)	-	
27	●	●	-	
28	●	-	-	
29	●	●	●	2.2
30	●	●	-	
31	●	●	●	2.3
32	-	-	-	
33	●	●	●	2.4
34	●	(2)	●	2.5
35	-	-	-	
36	●	-	●	
37	●	●	●	2.6
38	●	(1)	●	2.7
39	●	(2)	●	2.8
40	●	-	-	
41	●	(3)	●	2.9
42	-	-	-	
43	●	-	-	
44	●	-	-	
45	●	-	-	
46	●	●	●	2.10
47	●	-	-	
48	●	-	-	
49	●	-	-	
50	●	(3)	●	3.1
51	●	-	-	
52	●	-	-	
53	●	●	●	3.2
54	●	●	-	
55	●	●	●	3.3
56	●	-	-	
57	●	●	●	3.4

●	ok
○	teilweise ok
(n)	ok, bis auf n Kanäle
-	nicht ok

Tabelle 2: Ergebnisse des Chip-Tests. Untersucht wurden der Digitalteil, der Analog- und der Triggerpfad. Unter der Spalte „GMA“ ist die Nummerierung vermerkt, mit der 24 funktionstüchtige Chips zur Bestückungsfirma gesendet wurden.

6.2 Leiterplatte für Betrieb des Helix128S-2 an der MSGC

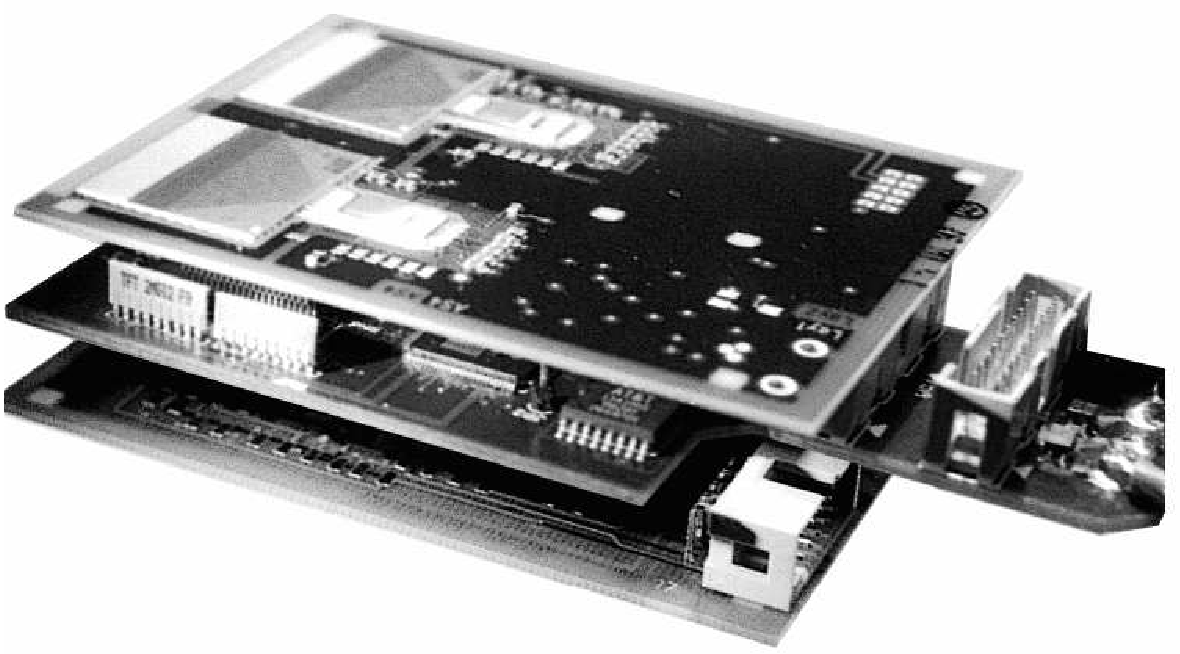


Abbildung 55: Der sogenannte „Dreidecker" (Fotomontage). Je eine Helix-Leiterplatte mit je zwei Dünnschicht-Keramik-Adaptern und zwei Helix128S-2 wird von oben und unten auf die Triggerkarte der Universität-GH-Siegen in der Mitte gesteckt. Bis zur Abgabe dieser Arbeit existierte allerdings erst ein unbestücktes Musterexemplar der Helix-Leiterplatte.

Der Prototyp einer Leiterplatte für den Betrieb des Helix an der MSGC wurde unter meiner Leitung in der Elektronik-Werkstatt des Physikalischen Intstituts entworfen. Abbildung 58 zeigt den Schaltplan der Platine. Je eine dieser Platinen sollte auf jede der beiden Seiten einer in der Universität-GH-Siegen entwickelten Trigger-Karte zu stecken. Dieser „Dreidecker" (Abb. 55) bildet eine Einheit, die zusammen mit einer MSGC auf einer Trägerplatte befestigt wird[17].

Die Abbildungen 59 bis 62 zeigen die vier Kupferlagen dieser Platine im Maßstab 1:1. Auf der Chipseite (Abb. 59) fallen oben die beiden freien Flächen mit gestrichelter Umrandung auf. Hier wird jeweils ein Keramik-Adapter aufgeklebt. Die Umrandungen dienen dem Bestücker als Referenz zur exakten Positionierung unter dem Mikroskop. An die beiden Freiflächen schließt sich unten jeweils ein ausgefülltes Rechteck an. Hier werden die Helix-Chips aufgeklebt. Durch die elektrisch leitende Verbindung wird das Chip-Substrat auf das Potential $V_{\mathrm{ss}} = -2\mathrm{V}$ gebracht. Die übrigen sichtbaren Strukturen sind Lötpads für Kondensatoren (unterhalb der Chips), Lötjumper (links neben den Chips) zur Adreßeinstellung, Anschlüsse für die Stromversorgung (unten rechts), die Sendediode für die analoge Auslese (unten links), ein Trimmpotentiometer (rechts darüber), sowie einige Marker und zahlreiche Vias. Unter Via (Abb. 56) versteht man die Verbindung zwischen verschiedenen Lagen einer Platine.

---

[17] Wegen Platz- und Kühlungsproblemen wurde inzwischen von diesem Konzept abgewichen. Der Prototyp wurde trotzdem gefertigt, um Erfahrungen bei einem Strahltest zu sammeln und bei der Realisierung des nachfolgenden „Zweidecker"-Konzepts einzubringen.

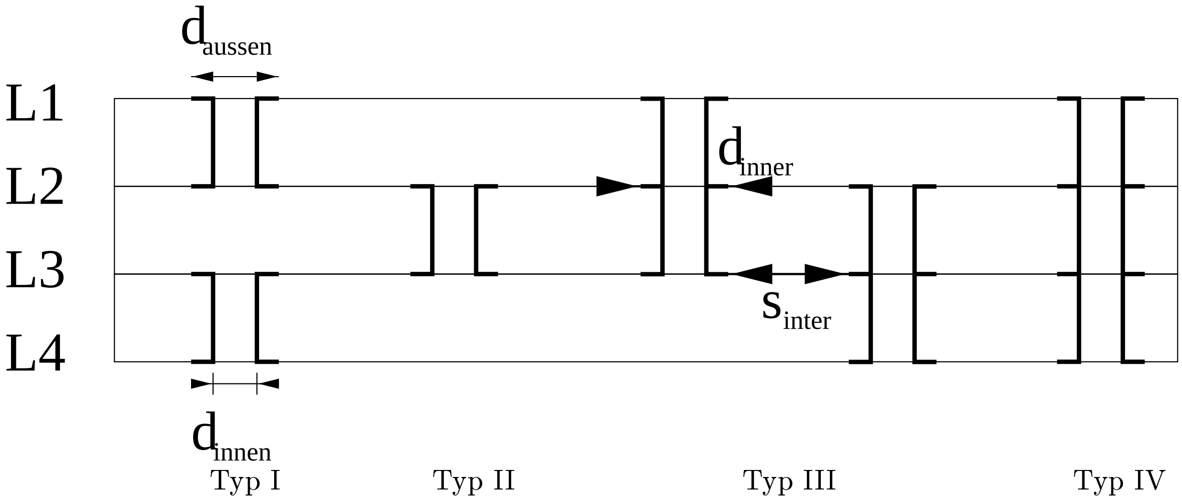
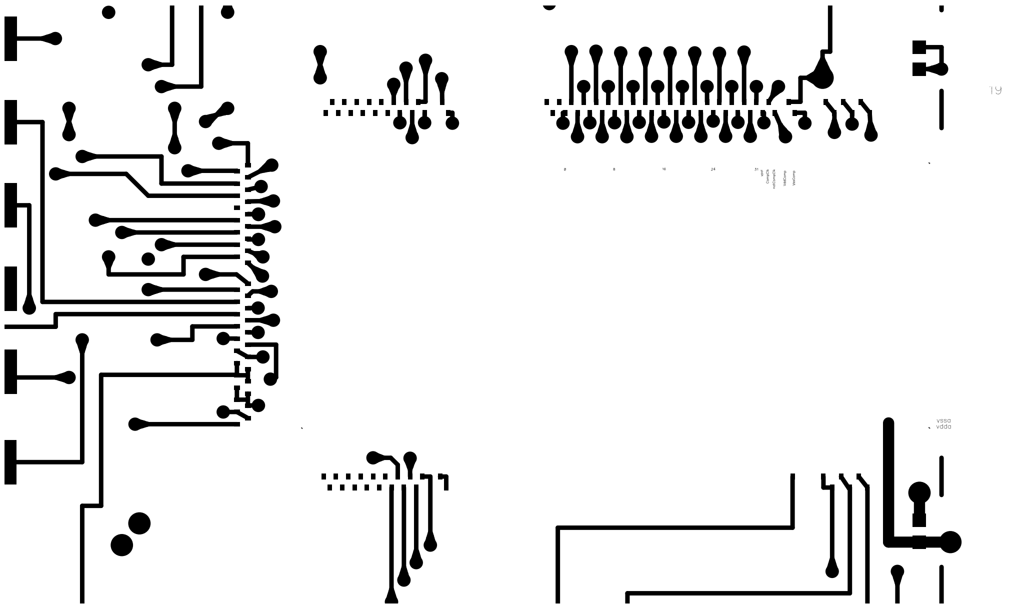


Abbildung 56: Die vier möglichen Via-Typen einer 4lagigen Leiterplatte. Je nach Hersteller gelten unterschiedliche Designvorschriften für Abstände und Mindestdurchmesser. Außerdem gestatten die unterschiedlichen Herstellungsprozesse im allgemeinen nicht alle der vier Typen.



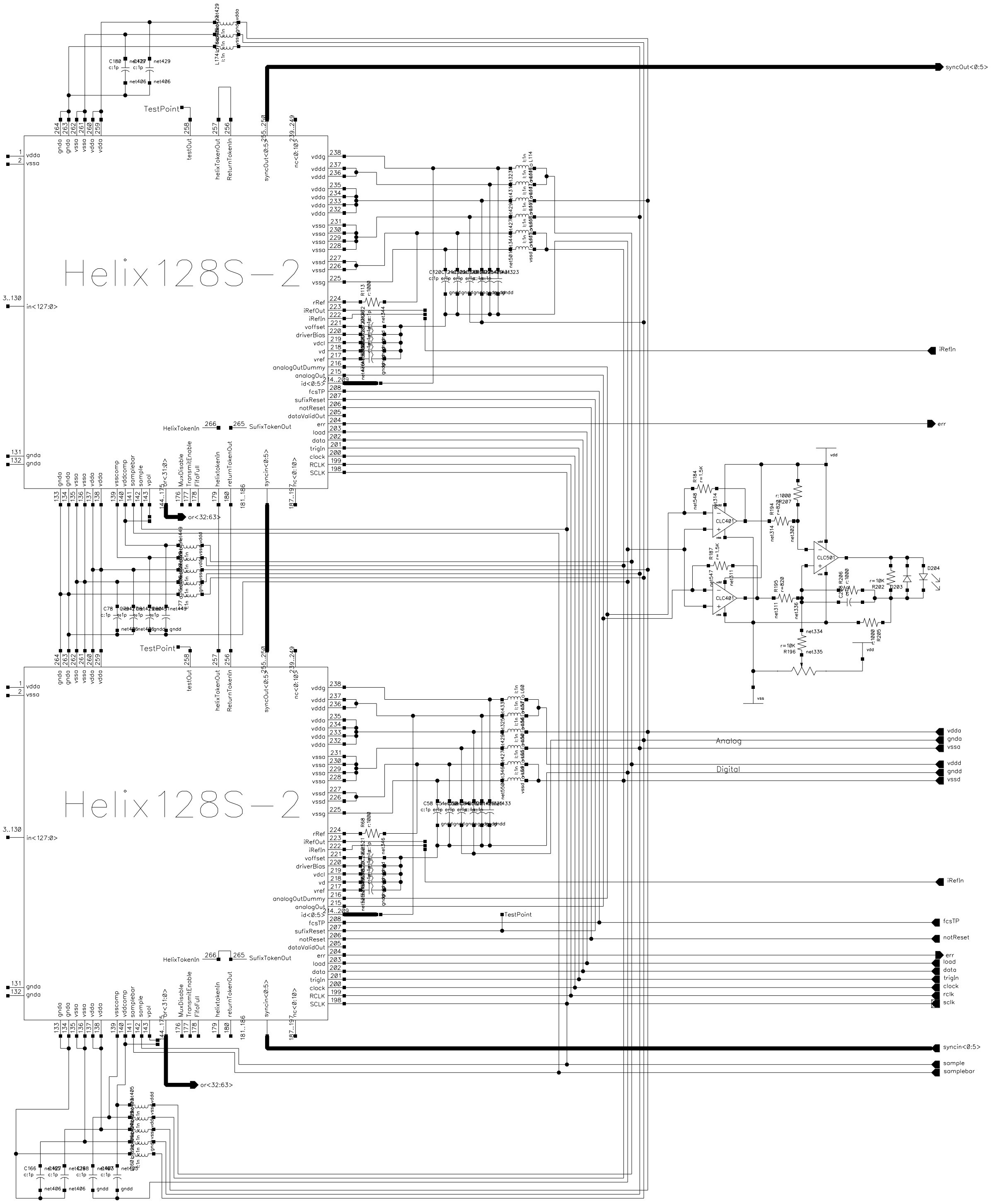


Abbildung 58: Schaltplan der Helix-Platine. Die Pads 1 bis 132 der Helix-Chips (links) werden zu den Keramik-Adaptern gebondet.

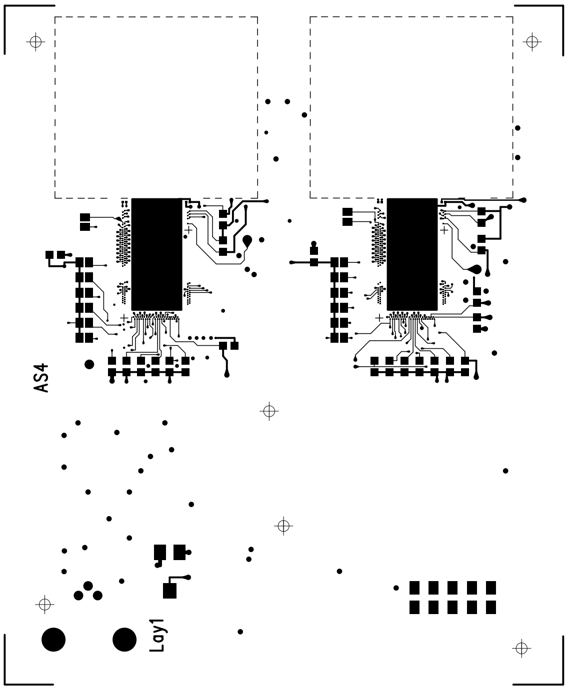


Abbildung 59: Die Chipseite der Platine (Layer 1)

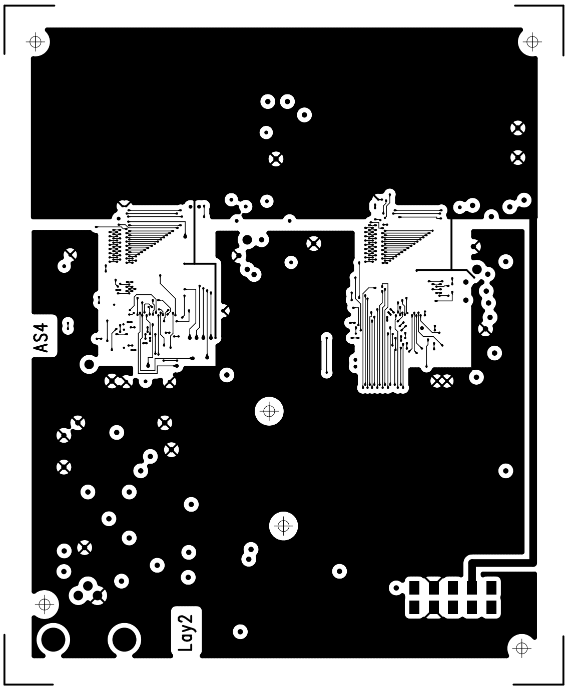


Abbildung 60: Die Massenlage (Layer 2)

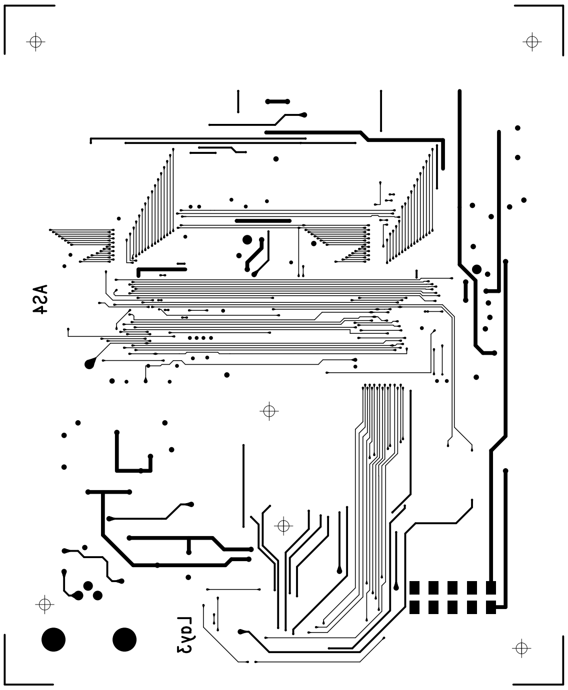


Abbildung 61: Eine Verbindungslage (Layer 3)

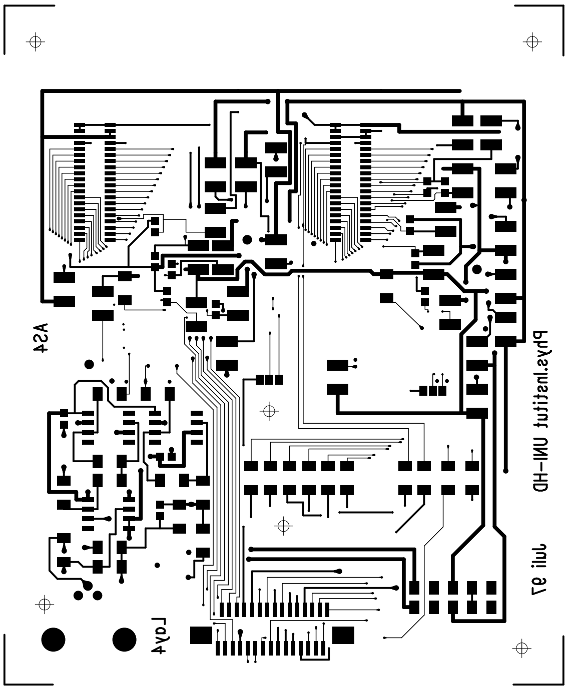


Abbildung 62: Die Rückseite (Layer 4).

Besondere Aufmerksamkeit verdienen aber die feinen Strukturen, die sich am Rand der beiden Chipklebeflächen befinden. Abbildung 57 zeigt einen Ausschnitt des Layouts, in das die Bondpads des Helix-Chips und des Keramik-Adapters (rechts) eingeblendet wurden. Die Anordnung der Bondpads des Keramik-Adapters sind bis auf eine Spiegelung identisch mit dem Helix-Chip. Die 128 Eingänge werden übereinander in vier verschiedenen Bogenhöhen gebondet. Die feine Strukturierung des Adapters ist zwar kostenintensiv, stellt aber keine besonderen Anforderungen an die verwendete Dünnschichttechnologie. Die übrigen Anschlüsse des Chips werden zur Platine gebondet. Probleme bereiteten dabei vor allem die 32 Ausgänge des Triggerpfades auf der oberen Seite des Chips. Sie besitzen einen Pitch von $140\,\mu$m und sollen mit Steckern auf der Rückseite der Platine verbunden werden. Das vorliegende Layout sieht eine zweireihige Anordnung der Bondpads vor, wodurch der effektive Pitch auf $280\,\mu$m vergrößert wird. Jedes Bondpad auf der Platine führt nach oben bzw. unten zunächst zu einem Via, mit dem eine weiterführende Leitung in Lage 2 kontaktiert wird. Diese Vias sind ebenfalls in zwei Reihen angeordnet, was den Pitch der vier Reihen Vias auf $560\,\mu$m bringt. Innerhalb dieser $560\,\mu$m müssen nun ein Via, eine Leiterbahn und zwei Zwischenräume Platz finden. Verwendet wurden Vias mit einer Bohrung von $100\,\mu$m und einem Außendurchmesser von $300\,\mu$m. Während viele Leiterplattenhersteller Leiterbahndicken und -abstände bis minimal $50\,\mu$m fertigen, sind Vias in Multilayerplatinen nur bis minimal $400\,\mu$m üblich. Schließlich geht das Layout von der Verwendung dreier Viatypen (Abb. 56) aus: durchgängige Vias (Lage 1-4), Sacklöcher (Lage 1-2 oder 4-3) und „Buried Vias“ (Lage 2-3). Die Verwendung der beiden letzteren Typen erwschwert die Produktion einer Platine mit kleinen Vias. Nur eine Firma[18] erklärte sich bereit, diese Leiterplatten anzufertigen, allerdings nur für eine begrenzte Stückzahl. Beim Entwurf der endgültigen Platine muß ein Layout entwickelt werden, das mit Vias von $400\,\mu$m Durchmesser auskommt. Durch eine günstigere Anordnung der Stecker zur Triggerkarte sollte dies erleichtert werden.

Die zweite Lage der Platine ist größtenteils als Massefläche ausgebildet. Das obere Drittel der Lage überlappt die Keramik-Adapter und den analogen Vorverstärkerteil der Auslesechips. Dieser Teil ist daher an die analoge Masse (gnda) angeschlossen. Die übrigen zwei Drittel unten gehören zur digitalen Masse (gndd). Die Trennung der analogen und digitalen Masse stellt eine Fortsetzung des Stromversorgungskonzepts auf den Chips dar, und soll den analogen Teil möglichst vor Übersprechen der digitalen Komponenten schützen.

Lage drei dient zusammen mit Lage vier zur Führung von Leiterbahnen. Es wurde versucht, nur möglichst wenige und kurze Leiterbahnen, die digitale Signale führen, auf Lage eins zu verlegen.

Die vierte Lage beherbergt zwei 40polige SMD-Stecker zur Verbindung mit der Trigger-Karte (oben, rechts und links), einen 30poligen Folienstecker (unten Mitte) zur Verbindung mit der FrontEnd-Elektronik, den Stecker für die Stromversorgung (unten rechts), die Sende-LED für die analoge Auslese (unten links), sowie die übrigen Standardbauteile (Operationsverstärker, Widerstände, Induktivitäten und Kondensatoren) in SMD-Bauform. Sämtliche Lagen sind abgebildet, als betrachte man sie von der Chipseite (Lage 1) aus. Die Rückseite (Lage 4) erscheint daher spiegelverkehrt.

Eine Lötstoppmaske definiert alle Flächen, an denen gelötet, geklebt, gebondet oder vergossen werden soll und daher kein Lötstopplack aufgebracht werden darf. Der Lötstopplack

---

[18] Andus Electronic GmbH, Berlin

verhindert an den übrigen Stellen, daß bei automatischen Lötverfahren Lötzinn an der Platine haftet.

Das Sägen der Keramik-Adapter, das Aufkleben der Adapter und Helix-Chips, das Bonden der Chips mit Adaptern und Platinen erfolgt bei der Firma GMA[19]. Nach dem Bonden wird der Chip und ein Bereich bis etwa 1 mm um die Bondpads auf Platine und Adapter herum mit einer aushärtenden Masse (glob top) vergossen. Details, wie die Anordnung der nötigen Marker für die Bestückung, Löt- und Bondbarkeit der verwendeten Materialien oder auch die Verwendung des Lötstopplackrandes als Flußgrenze für die Vergußmasse, wurden in enger Zusammenarbeit mit der Firma GMA geklärt.

---

[19] Gesellschaft für Mikroelektronik-Assemblierung mbH (GMA), Duisburg

7 Zusammenfassung

Aufgabe dieser Diplomarbeit war im wesentlichen die Entwicklung und Charakterisierung eines Komparators für den integrierten Schaltkreis Helix128S-2, der zur Auslese von Teilchen-Nachweis-Kammern im HERA-B-Experiment verwendet werden soll. Ferner wurden Simulationen zur Signalentstehung durchgeführt und eine Leiterplatte für den Betrieb des Helix128S-2 an Mikrostreifen-Gaszählern entworfen.

Kernstück des Komparators ist ein Differenzverstärker. Beim Entwurf dieser Schaltung mußten die Anforderungen des Experiments, der MSGCs und des Helix128S-2-Chips berücksichtigt werden. Im Februar 1997 wurde der Komparator in den Helix128S-2 integriert und im März konnte die Produktion des neuen Auslesechips in Auftrag gegeben werden.

Beinahe gleichzeitig wurde ein Testchip entworfen, der im Juni die Produktion verließ und für die Messungen am Komparator zur Verfügung stand. Die an den Testchips ermittelten Eigenschaften des Komparators entsprechen den Erwartungen. Verbesserungen an der Dimensionierung der Schaltung könnten Auflösung und Offsetvariationen noch geringfügig verbessern.

Ebenfalls im Juni wurde die Produktion der Helix128S-2 abgeschlossen. Bis dahin wurden zwei schwerwiegende Designfehler entdeckt. Zum einen sorgt ein Fehler in der Steuerungslogik des Chips dafür, daß nach jedem Ereignis ein Reset durchgeführt werden muß und damit die effektiv mögliche Ausleserate von 10 MHz auf 30 kHz sinkt. Zum anderen besitzt die programmierbare Spannungsquelle zur Erzeugung der Referenzspannung des Komparators nicht die nötige Auflösung. Die Spannung kann mit einer Genauigkeit von 7 bit zwischen $-2\,\mathrm{V}$ und $+2\,\mathrm{V}$ verstellt werden. Dies ergibt eine Schrittweite von 31 mV. Um eine ausreichend hohe Effizienz bei der Erkennung der Signale von minimal ionisierenden Teilchen ($\approx 40\,\mathrm{mV}$) zu erreichen, soll die Triggerschwelle in Schritten von 5 mV oder weniger einstellbar sein. Ein korrigierter Chip mit einem 1:10-Spannungsteiler ermöglicht die Einstellung der Referenzspannung über von $\pm 0,2\,\mathrm{V}$ bei $3,1\,\mathrm{mV}$ Schrittweite und befindet sich derzeit in der Produktion.

Schließlich wurde eine Platine für den Betrieb der Helix128S-2 an den MSGCs entwickelt. Die benötigte Feinheit der Leiterbahnstrukturen stellt hohe Anforderungen an den Leiterplattenhersteller, denn die Chips sollen direkt auf die Platine geklebt und die Anschlüsse direkt an Leiterbahnen gebondet werden. Für die Produktion in der benötigten Stückzahl müssen kritische Stellen des Layouts beseitigt werden. Zum Zeitpunkt der Abgabe dieser Arbeit waren die Leiterplatten bereits fertig, aber noch nicht bestückt.

Für eine abschließende Untersuchung der Komparatoren des Helix128S-2 sind Messungen am Helix128S-2 selbst nötig. Dies kann erst geschehen, wenn der Chip in der korrigierten Form vorliegt und die Referenzspannung präzise eingestellt werden kann. Quantitative Messungen erfordern außerdem eine störungsarme elektrische Umgebung, die bei der Kontaktierung des Chips mit einer Nadelkarte nicht erreicht werden kann. Diese Messungen sollen mit den in Kürze fertiggestellten Platinen durchgeführt werden.

A Empirische Wahrscheinlichkeitsverteilungen zur Monte Carlo Simulation

A.1 Fischle-Verteilung

Für die auftretenden Clustergrößen n_{e^-} wurden folgende Verteilungen für Argon und DME angenommen [Sch96]. Für die 1:1-Mischung der beiden Gase wurde aus beiden Verteilungen eine Zufallszahl ermittelt und der Mittelwert als primäre Clustergröße weiterverwendet.

n_{e^-}	0	1	2	3	4	5	6	7	8
$P_{n_{\mathrm{e}^-},\mathrm{Ar}}$	65.6	15.0	6.4	3.5	2.25	1.55	1.05	0.81	0.61
$P_{n_{\mathrm{e}^-},\mathrm{DME}}$	78.6	12.0	3.4	1.6	0.95	0.6	0.44	0.34	0.27

n_{e^-}	9	10	11	12	13	14	15	16	17
$P_{n_{\mathrm{e}^-},\mathrm{Ar}}$	0.49	0.39	0.3	0.25	0.2	0.16	0.12	0.095	0.075
$P_{n_{\mathrm{e}^-},\mathrm{DME}}$	0.21	0.17	0.13	0.1	0.08	0.06	0.05	0.042	0.037

G

A.2 Verteilung der durch Ionen verzögerten Elektronen

Für den Anteil der verzögerten Elektronen wurden zur Modellierung einer empirischen Wahrscheinlichkeitsdicht p [Sch96] folgende Funktionen verwendet:

$$f(t) = \frac{\mathrm{e}^{5,7}}{\sqrt{\mathrm{t}^3}}$$

$$g(t) = 8\,\mathrm{e}^{\frac{1-t}{14}}$$

$$u(t) = \frac{1}{2}\tanh\left(\frac{1}{10}(t-20)\right)^2$$

$$r(t) = f(t)\,u(t) + g(t)\,(1-u(t))$$

$$p(t) = 1,2\,r(10\,t)$$

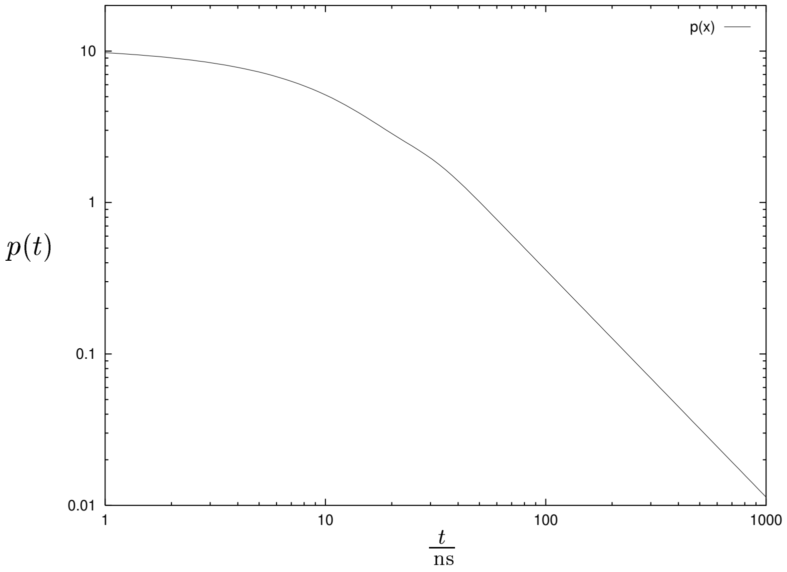


Abbildung 63: Wahrscheinlichkeitsdichte der Verzögerungsdauer durch Ionen

Literatur

[Alb87] H. Albrecht et al. (ARGUS): Phys. Lett. **B192** (1987) 245

[AH87] Phillip E. Allan and Douglas R. Holberg: *CMOS Analog Circuit Design*, Oxford University Press, New York (1987)

[Bec96] Tobias Beckmann: *Tests von Auslesechips für Mikrostreifengaskammern und Kammertest im Teilchenstrahl*, Diplomarbeit, Universität Heidelberg (1996)

[Bre97] Carola Bresch: *Neuere Untersuchungen von Prototypen der Gas-Mikrostreifen-Kammern (MSGC) des inneren Spurkammersystems des HERA-B Experiments*, Diplomarbeit, Universität Heidelberg (1997)

[Cuj97] Michael Cujé: Dissertation in Vorbereitung, Universität Heidelberg

[Dro97] Dirk Droste: persönliche Mitteilungen, ASIC-Labor, Universität Heidelberg (1997)

[End97] Dirk Enderlein: *Herstellung von Fan-In Adaptern für HELIX-Projekt*, persönliche Mitteilungen, HL-Planar Technik GmbH, Dortmund (Aug 1997)

[FB97] Wolfgang Fallot-Burghardt: Dissertation in Vorbereitung und persönliche Mitteilungen, Universität Heidelberg (1997)

[ASIC33] Martin Feuerstack-Raible, Boris Glass, Wolfgang Fallot-Burghardt and Ulrich Trunk: *Helix128S-2 User Manual*, Technical Report HD-ASIC-33-0697, ASIC Labor, Universität Heidelberg (1997)

[Geb97] Dieter Gebauer: *Hybridtechnik/Dickschichttechnologie*, persönliche Mitteilungen, Universität-GH-Siegen (Aug 1997)

[Kap95] Jan Kaplon: *Fast, low power, analogue multiplexer for readout of multichannel electronics*, Technical Report CERN/ECP 95-11, CERN (Jun 1995)

[LS94] Kenneth R. Laker and Willy M. C. Sansen: *Design of analog integrated circuits and systems*, McGraw-Hill (1994)

[Leo87] William R. Leo: *Techniques for nuclear and particle physics experiments*, Springer-Verlag (1987)

[Loo97] Markus Loose: Dissertation in Vorbereitung, Universität Heidelberg

[Oed97] Anton Oed: *Ortsempfindliche Gasdetektoren mit Mikrostreifendetektoren*, Physikalische Blätter **4** (1997) 681

[pro94] *HERA-B — An Experiment to Study CP Violation in the B System Using an Internal Target at the HERA Proton Ring*, Proposal, DESY-PRC 94/02 (May 1994)

[PRSZ95] Bogdan Povh, Klaus Rith, Christoph Scholz und Frank Zetsche. *Teilchen und Kerne*, Springer Verlag, 3. Auflage (1995)

[RG86] Roubik Gregorian and Gabor C. Temes: *Analog MOS integrated circuits for signal processing*, John Wiley & Sons (1986)

[Sch96] Bernhard Schmidt: *Parameter zur Simulation der Signalentstehung in der MSGC*, persönliche Mitteilungen (Nov 1996)

[SP97] W. Schmidt-Parzefall: *HERA-B - Ein neues Experiment bei DESY*, Physikalische Blätter **4** (1997) 319.

[SS91] Adel S. Sedra und Kenneth C. Smith: *Microelectronic Circuits*, Oxford University Press (1991)

[Str97] Ulrich Straumann: *Wirkungsquerschnitt bei der b-Produktion*, persönliche Mitteilungen (Aug 1997)

[Tru97] Ulrich Trunk: Dissertation in Vorbereitung, Universität Heidelberg

[TS93] Ulrich Tietze und Christoph Schenk: *Halbleiter-Schaltungstechnik.* Springer-Verlag, 10. Auflage (1993)

[UG61] Albert Uderzo et René Goscinny: *Astérix le Gaulois* **1**, Dargaud (1961)

[WM94] C. Wong und G. Melcher: *Device Matching in CBQ*, mitgeteilt von Austria Mikro Systeme (Nov 1994)

Herzlichen Dank . . .

. . . Herrn Prof. Ulrich Straumann für die sehr freundliche Betreuung und das optimale Verhältnis zwischen Anleitung und Selbständigkeit bei der Arbeit.

. . . Herrn Prof. von Krogh für die Übernahme der Zweitkorrektur.

. . . Herrn Andreas Hölscher, der mich zu dieser Arbeit überredet hat.

. . . Herrn Alexander Mass, der mich nicht für eine Diplomarbeit gewinnen konnte, aber trotzdem immer zum Kaffee trinken und Korrekturlesen bereit war.

. . . Herrn Wolfgang Fallot-Burghardt, der mir die höheren Weihen der Elektronik nähergebracht hat.

. . . Herrn Ulrich Trunk, dessen Hilfen und Bemerkungen mich in jeder Lebenslage begleiteten.

. . . Herrn Martin Feuerstack-Raible für die Betreuung dieser Arbeit im ASIC-Labor.

. . . Herrn Joachim Boelsems für seine väterliche Fürsorge.

. . . Herrn Ernst Damaschek für seine unbezahlbare Hilfsbereitschaft.

. . . allen Mitgliedern des ASIC-Labors für die sehr angenehme Arbeitsatmosphäre.

. . . den Mitarbeitern der Elektronikwerkstätten des Instituts für Hochenergiephysik und des Physikalischen Instituts.

. . . Herrn Stefan Schnadt vom Interdisziplinären Zentrum für Wissenschaftliches Rechnen für die Rücksicht auf meine Zeitplanung während dieser Arbeit.

. . . Herrn Wolfgang Gradl, der immer da ist wenn es brennt. Sei es in stark frequentierten Fahrwassern oder kurz vor Abgabe dieser Arbeit.

. . . und Herrn Peter Ernst für die Hilfe beim Korrekturlesen in später Stunde.