

**INAUGURAL-DISSERTATION**  
zur  
Erlangung der Doktorwürde  
der  
Naturwissenschaftlich-Mathematischen  
Gesamtfakultät  
der  
Ruprecht-Karls-Universität  
Heidelberg

vorgelegt von  
Dipl.-Phys. Dirk Wiedner  
aus Heidelberg am Neckar

Tag der mündlichen Prüfung: 15. Dezember 2004



**Aufbau der Ausleseelektronik  
für das  
äußere Spurkammersystem  
des LHCb-Detektors**

**Gutachter: Prof. Dr. Franz Eisele  
Prof. Dr. Norbert Herrmann**



## Zusammenfassung

Die Ausleseelektronik des äußeren Spurkammersystems des LHCb-Detektors mißt die Driftzeiten in den Straw-Proportionalzählern, digitalisiert das Zeitsignal und speichert es in einem 160 Worte tiefen Speicher. Bei positiver Vortriggerentscheidung wird die Driftzeitinformation serialisiert und über Glasfaserkabel zu einer Speicher- und Triggerkarte geschickt. Hier werden die Daten deserialisiert, geprüft, in eine Ortsinformation umgewandelt und maximal 60 ms zwischengespeichert. Die in der ersten Entscheidungsebene selektierten Ereignisse gelangen zu einer PC-Farm mit ca. 1000 Prozessoren.

Durch die hohe Proton-Wechselwirkungsrate von 40 MHz und einer Belegungsdichte von bis zu 10 %, ergeben sich große Anforderungen an die Geschwindigkeit der Elektronik, die im Strahlungsbereich eingesetzt wird. Drei strahlenharte Mikrochips kommen in der Ausleseelektronik zum Einsatz. Der ASDBLR-Vorverstärker verstärkt und diskriminiert die Ladungspulse der Driftelektronen. Speziell für das äußere Spurkammersystem wurde der OTIS-TDC entwickelt, er muß alle 25 ns Driftzeiten von 32 Detektorkanälen messen. Für die Datenübertragung mit Glasfasern wird der GOL-Serialisierer genutzt, der die Daten von vier TDCs serialisiert und mit 1.6 GBit/s in eine strahlenharte Laserdiode speist.

In der vorliegenden Arbeit wurden die Komponenten der Ausleseelektronik entwickelt, in die Ausleseketten integriert und getestet.

## Abstract

The readout electronics of the LHCb outer tracker measures the drift time in the straw tubes, digitizes the time signal and stores it in a 160 word deep buffer. For a positive pre-trigger (L0) decision the drift time information is serialized and transmitted over optical fiber to a trigger and L1 buffer board. Here the data are de-serialized, checked, translated into spacial information and stored for a maximum of 60 ms. The level 1 trigger (L1) selected events are broadcasted to a PC farm with about 1000 CPUs.

Because of the high interaction rate of 40 MHz and an occupancy of up to 10 %, the electronics used in the irradiated area must be fast. Three radiation hard chips are used for the readout. The ASDBLR preamplifier amplifies and discriminates the charge pulse from the drift electrons. For the outer tracker the OTIS TDC was developed, it must measure drift times of 32 channels every 25 ns. The GOL chip is used for the data transmission via optical fiber. It serializes the data from four TDCs and feeds them at 1.6 Gbit/s into a radiation hard laser diode.

This thesis describes how the components of the readout electronics were developed, combined to a readout chain and tested.



# Inhaltsverzeichnis

<b>Einleitung</b>	<b>1</b>
Der LHCb-Detektor . . . . .	1
Das Physikprogramm . . . . .	3
Das äußere Spurkammersystem in LHCb . . . . .	5
Die Ausleseelektronik . . . . .	5
<b>1 Modultest in Hamburg</b>	<b>15</b>
1.0.1 Untersuchungen während der Installationsphase bei HERA-B . . . . .	15
1.0.2 Beobachtungen im HERA-B-Betrieb . . . . .	17
<b>2 OTIS-TDC</b>	<b>23</b>
2.1 OTISmem . . . . .	23
2.1.1 DLL . . . . .	23
2.1.2 Speicher . . . . .	25
<b>3 Slow-Control</b>	<b>29</b>
3.1 Implementierung des I <sup>2</sup> C-Busses im Labor . . . . .	29
3.2 Entkoppelung der I <sup>2</sup> C-Signale . . . . .	30
3.2.1 Entkoppelung mit Optokopplern . . . . .	30
3.2.2 I <sup>2</sup> C-LVDS-Entkoppelung . . . . .	31
<b>4 Aufbau einer Auslekette</b>	<b>35</b>
4.1 Optische Datenübertragung: Erster Prototyp . . . . .	35
4.2 Optische Datenübertragung: Zweiter Prototyp . . . . .	41
4.3 Datenübertragung mit TTC, GOL 1.0 und OTIS 1.0 . . . . .	49
4.3.1 Taktverteilung über den TTCrx . . . . .	51
4.3.2 OTIS-TDC mit TTCrx . . . . .	56
4.3.3 TTCrx, OTIS-TDC und FPGA . . . . .	59
4.3.4 TTCrx, OTIS-TDC, GOL und FPGA . . . . .	62
<b>5 GOL-Auxiliary-Board</b>	<b>67</b>
5.1 Spezifikation . . . . .	68
5.2 Meßprogramm für das GOL-Auxiliary-Board . . . . .	68
5.3 Prüfen der Spannungsregler . . . . .	69

5.3.1	Messungen ohne Last . . . . .	69
5.3.2	Messungen unter Last . . . . .	70
5.3.3	Beseitigung der Oszillationen . . . . .	78
5.4	Betrieb GOL-Aux-Karte mit TLK2501-EVO-Karte . . . . .	82
5.4.1	Grundeinstellungen . . . . .	82
5.4.2	Stabilität der Datenübertragung . . . . .	87
5.5	QPLL-Inbetriebnahme . . . . .	92
5.5.1	QPLL an einer externen Taktquelle . . . . .	93
5.6	TFC-System . . . . .	93
5.7	Takteigenschaften der einzelnen Bausteine . . . . .	96
5.7.1	Temperaturabhängigkeit des QPLL-Arbeitsbereiches . . . . .	97
5.7.2	Taktverteilung über die GOL-EV2-Karte . . . . .	100
5.7.3	Einfluß der anderen TFC-Signale auf das Taktsignal . . . . .	100
5.8	Bitfehlerratenentest . . . . .	100
5.9	LVDS-Signalverteilung . . . . .	102
5.9.1	LVDS-Verteilung mit kommerziellem Treiber . . . . .	105
5.9.2	LVDS-Verteilung mit QPLL . . . . .	105
5.9.3	Messung des Jitters am OTIS-TDC . . . . .	107
5.10	Optischer Tastkopf . . . . .	112
5.10.1	Inbetriebnahme des optischen Tastkopfes . . . . .	112
5.10.2	Messungen . . . . .	113
<b>6</b>	<b>Front-End-Box</b>	<b>117</b>
6.1	Inbetriebnahme der FE-Box 1.0 . . . . .	117
<b>7</b>	<b>O-RxCard</b>	<b>123</b>
7.1	Funktionsprüfung . . . . .	124
7.1.1	Pseudozufallszahlen . . . . .	125
7.1.2	Zählerdaten . . . . .	125
7.1.3	LVDS-Adapterkarte . . . . .	129
7.2	Bitfehlerratenentest . . . . .	129
7.2.1	ACEX-Fehlerratenentestprogramm . . . . .	130
7.2.2	Signalform an den O-RxCard-Ausgängen . . . . .	133
7.2.3	Signalqualität an den seriellen 1.6 GHz-Signalleitungen . . . . .	137
<b>8</b>	<b>L1-Buffer-Board</b>	<b>141</b>
8.1	Stratix-EVO-Kit-Inbetriebnahme . . . . .	144
8.1.1	Registerzugriff per PCI-Interface . . . . .	147
8.1.2	Datenübertragung vom OTIS 1.0 . . . . .	147
<b>9</b>	<b>Outer-Tracker-Clusteralgorithmus</b>	<b>153</b>
9.1	Das Prinzip des Clusterbildens . . . . .	154
9.1.1	Winkelabhängigkeit . . . . .	155
9.1.2	Datenformat . . . . .	156



9.2	Trigger-Tracker 1 Studie . . . . .	160
<b>10</b>	<b>Teststand zur Untersuchung von Straw-Kammern</b>	<b>165</b>
10.1	Szintillatortrigger . . . . .	166
10.2	ASDBLR-Vorverstärker . . . . .	171
10.2.1	Testsignale aus dem Pulser . . . . .	173
10.3	Anschluß an den Cosmicstand . . . . .	175
10.3.1	Kammerpulse . . . . .	176
	<b>Zusammenfassung und Ausblick</b>	<b>181</b>
<b>A</b>	<b>GOL 0.1 Leiterplatte</b>	<b>183</b>
<b>B</b>	<b>GOL 1.0 Leiterplatte</b>	<b>185</b>
<b>C</b>	<b>I2CEXT-Leiterplatte</b>	<b>189</b>
<b>D</b>	<b>TBOTIS1-1 Leiterplatte</b>	<b>191</b>
<b>E</b>	<b>GOL-Auxiliary-Board IF13-0</b>	<b>195</b>
<b>F</b>	<b>O-RxCard IF14-0</b>	<b>201</b>
<b>G</b>	<b>Optischer Tastkopf SM4-0</b>	<b>209</b>
<b>H</b>	<b>OT-Clusteralgorithmus C-Programm</b>	<b>211</b>
	<b>Abkürzungen</b>	<b>217</b>
	<b>Danksagung</b>	<b>237</b>



# Einleitung

Im Rahmen dieser Arbeit wurde eine schnelle Ausleseelektronik für das äußere Spurkammersystem des Large Hadron Collider beauty (LHCb) Detektors entwickelt und getestet.

## Der LHCb-Detektor

Das Large Hadron Collider beauty Experiment (LHCb)[1] zur Präzisionsmessung der CP-Verletzung und seltener Zerfälle ist eines der vier <sup>1</sup> Experimente am Large Hadron Collider (LHC) am CERN. Die Datennahme bei LHCb soll 2007 beginnen. Am LHC sollen bei einer Schwerpunktsenergie von  $\sqrt{s} = 14$  TeV Proton-Proton-Wechselwirkungen stattfinden. Im Gegensatz zu den reinen B-Fabriken, die resonant nur  $B^\pm$ - und  $B^0$ -Mesonen erzeugen, werden alle B-Hadronen ( $B^\pm$ ,  $B^0$ ,  $B_s^0$ ,  $B_c^\pm$ ,  $\Lambda_b$  und weitere) produziert. Der Wirkungsquerschnitt zu Produktion von  $b\bar{b}$  liegt bei  $500 \mu\text{b}$ , was mit der angestrebten Luminosität von  $2 \times 10^{32} \text{cm}^{-2} \text{s}^{-1}$  pro Jahr ( $10^7$  s) Laufzeit ca.  $10^{12}$   $b\bar{b}$ -Paaren entspricht. Die  $b\bar{b}$ -Paare werden vorwiegend durch Gluon-Gluon-Fusion erzeugt. Da meist  $b$  und  $\bar{b}$  in die gleiche Richtung in geringem Winkel zum Strahlrohr produziert werden, wurde LHCb als magnetisches Vorwärtsspektrometer konzipiert.

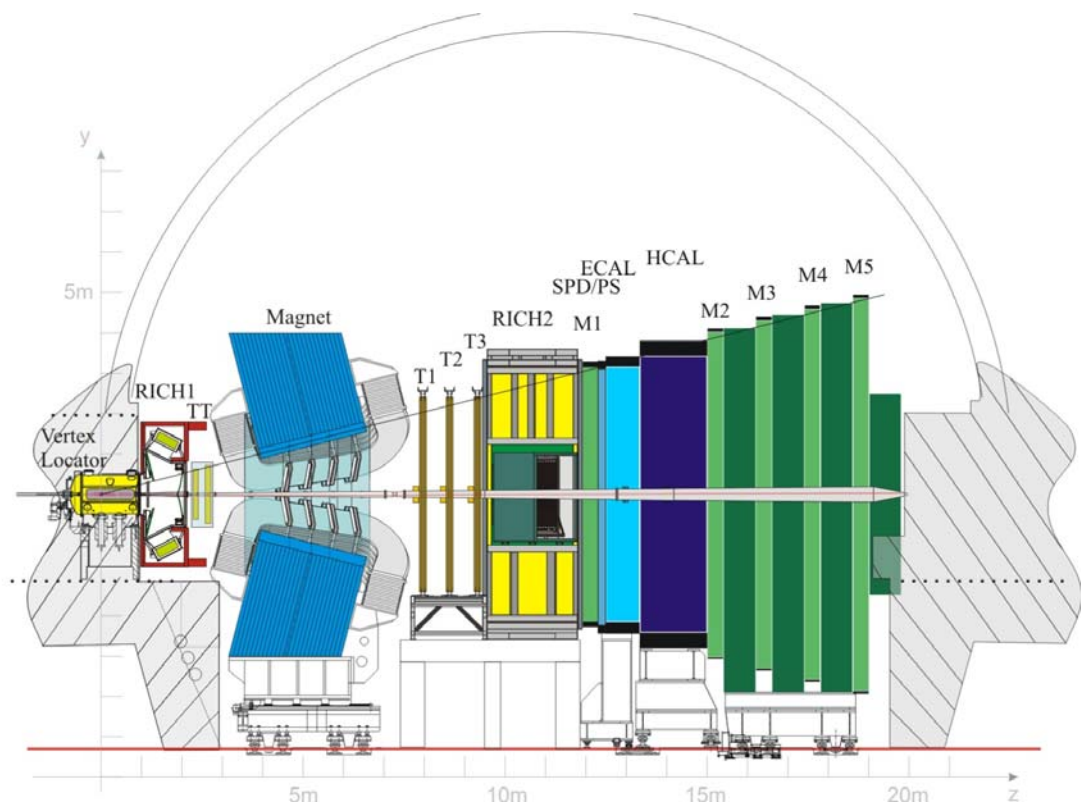
Der LHCb-Detektor (Abb. 1) deckt einen Winkelbereich von 10 mrad bis 300 mrad in horizontaler Ebene <sup>2</sup> und zwischen 10 mrad bis 250 mrad in vertikaler Ebene ab. Der Vertex-Detektor liefert präzise Messungen der Spurkoordinaten nahe des Wechselwirkungspunktes. Eine hohe Ortsauflösung in der Nähe des Wechselwirkungspunktes ist zur genauen Bestimmung der Sekundärvertices und bei der Untersuchung von  $B_s^0$ -Mixing erforderlich. Der Vertex-Detektor besteht aus 21 Stationen von  $220 \mu\text{m}$  dicken Siliziumstreifendetektoren, die senkrecht angeordnet den radialen Abstand ( $r$ ) und den Winkel ( $\phi$ ) um das Strahlrohr messen.

Das Spurkammersystem wird zur Impulsbestimmung geladener Teilchen benötigt und ermöglicht die von einem Teilchen in verschiedenen Subdetektoren erzeugten Treffer einander zuzuordnen. Die Trigger-Tracker-(TT) Station vor dem Magneten besteht aus Siliziumstreifendetektoren. Die Stationen T1 bis T3 sind in inneres und äußeres Spurkammersystem unterteilt, den Inner-Tracker (IT) und den Outer-Tracker (OT). Der IT deckt die Region um das Strahlrohr ab. Auf Grund der hier vorherrschenden hohen Teilchenflußdichten ist auch der IT ein Siliziumstreifendetektor. Das äußere Spurkammersystem,

---

<sup>1</sup>Mit TOTEM sind es fünf Experimente am LHC.

<sup>2</sup>In dieser Ebene werden geladene Teilchen vom Magneten abgelenkt.



**Abbildung 1:** Der LHCb-Detektor, das äußere Spurkammersystem (T1-T3) befindet sich hinter dem Magneten

welches Gegenstand dieser Arbeit ist (s.u.), besteht aus Straw-Proportionalzählrohren.

Zur Teilchenidentifikation trägt der Ring-Imaging-Cherenkov counter (RICH) ( $\pi$ , K, p), das Elektromagnetische CALorimeter (ECAL) und das Hadronische CALorimeter (HCAL) ( $e^\pm$ ,  $\gamma$ , Hadronen) und das Myonsystem bei.

Das RICH-System besteht aus zwei Detektoren: RICH1 vor dem Magneten hat Aerogel- sowie  $C_4F_{10}$ -Radiatoren und dient dem Nachweis von Teilchen mit Impulsen bis 60 GeV/c. RICH2 hat einen  $CF_4$ -Radiator und weist Teilchen mit Impulsen bis zu 100 GeV/c nach. In beiden RICH-Detektoren sollen Multi-Anode-Photovervielfacher eingesetzt werden.

Das ECAL ist in „Shashlik“ Bauweise mit Bleiabsorbern aufgebaut, das HCAL nutzt Eisenabsorber und szintillierende „Kacheln“. Dazu kommen der Silicon-Pad-Detektor (SPD), um den Untergrund durch hochenergetische  $\pi_0$  im Elektrontrigger zu unterdrücken, und der Pre-Shower-Detektor zur Unterscheidung von Photonen und Elektronen.

Das Myonsystem besteht aus fünf Stationen in Vieldrahtproportionalkammertechnik. Da Myonen im Endzustand vieler auf CP-Verletzung sensitiver Zerfälle vorkommen, tragen die Myonstationen entscheidend zum Triggersystem bei.

Entscheidungsstufen des Triggersystems sind der Level-0-Trigger (L0), der Level-1-Trigger (L1) und der Higher-Level-Trigger (HLT). Der L0-Trigger akzeptiert Ereignisse auf Grund von Myonen, Elektronen und Hadronen mit hohem Transversalimpuls. Ereignisse mit mehreren Primärwechselwirkungen werden vom sogenannten Pile-Up-Veto unterdrückt. Der L0-Trigger arbeitet bei der Proton-Proton-Wechselwirkungsrate von 40 MHz, positive Entscheidungen werden mit 1 MHz bei 4  $\mu$ s Entscheidungszeit (bzw. Latenz) gefällt. Die L1-Triggerentscheidung basiert auf dem Vorhandensein eines Sekundärvertex. Dabei geht die Information des Vertex-Detektors, des L0-Triggers und der Trigger-Tracker-Station ein. Die Nutzung der Spurinformaton aus den Stationen T1 bis T3 ist optional vorgesehen. Bei einer Eingangsrate von 1 MHz und einer 40 kHz-Rate positiver Entscheidungen besitzt der L1-Trigger eine variable Latenz von maximal 1.6 s. Im HLT werden alle Detektorinformationen genutzt und die Ereignisse voll rekonstruiert. Die vom L1-Trigger mit 40 kHz akzeptierten Ereignisse werden vom HLT geprüft und „gute“ Ereignisse mit ca. 200 Hz auf permanenten Speicher geschrieben.

## Das Physikprogramm

Das LHCb-Experiment ist mit seinem aufwendigen Triggersystem und der hohen Rate von  $10^{13}$   $b\bar{b}$ -Paaren bei 10 Jahren Laufzeit und dem energetisch praktisch nicht eingeschränkten Spektrum an B-Hadronen besonders sensitiv auf seltene B-Zerfälle. Für einige Zerfallskanäle, die anfangs im Vordergrund des Physikprogramms für LHCb standen, existieren mittlerweile präzise Messungen der B-Fabriken Babar und Belle. Anlässlich der Optimierung des LHCb-Experiments wurden Monte-Carlo-Studien gemacht, um die Anzahl der Ereignisse in den interessanten Zerfallskanälen zu bestimmen. In Tabelle 1 ist die von diesen Studien vorhergesagte jährliche Rate für einige Zerfallskanäle zusammengefasst.

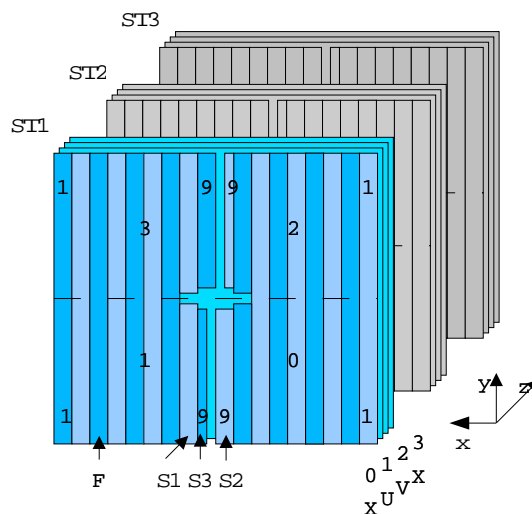
Zerfallskanal	Jährliche Ereignisausbeute [k]	Untergrund zu Signal (inklusive $b\bar{b}$ -Untergrund)
$B^0 \rightarrow \pi^+ \pi^-$	26	<0.7
$B^0 \rightarrow K^+ \pi^-$	135	$0.16 \pm 0.04$
$B_s^0 \rightarrow K^+ K^-$	37	$0.31 \pm 0.10$
$B_s^0 \rightarrow \pi^+ K^-$	5.3	<1.3
$B_s^0 \rightarrow D_s^- \pi^+$	80	$0.32 \pm 0.10$
$B_s^0 \rightarrow D_s^\pm K^\pm$	5.4	<1.0
$B^0 \rightarrow J/\Psi(\mu^+ \mu^-) K_s^0$	216	$0.80 \pm 0.10$
$B^0 \rightarrow J/\Psi(e^+ e^-) K_s^0$	25.6	$0.98 \pm 0.21$
$B_s^0 \rightarrow J/\Psi(\mu^+ \mu^-) \Phi$	100	<0.3
$B_s^0 \rightarrow J/\Psi(e^+ e^-) \Phi$	20	$0.7 \pm 0.20$
$B^0 \rightarrow K_s^{*0} \gamma$	35	<0.7
$B_s^0 \rightarrow \Phi \gamma$	9.3	<2.4
$B^0 \rightarrow \mu^+ \mu^- K^{*0}$	4.4	<2.0

**Tabelle 1:** Erwartete Menge interessanter B-Zerfälle jährlich [1];

Angegeben ist die Zahl der Ereignisse, die vom Triggersystem korrekt selektiert wurden. Der Berechnung von Anzahl und Fehler liegt eine Monte-Carlo-Simulation mit 10.8 Millionen inklusiven  $b\bar{b}$ -Ereignissen zu Grunde. Die Fehler im Untergrund-zu-Signal-Verhältnis basieren auf Monte-Carlo-Statistik. Bei weniger als 10 Monte-Carlo-Untergrundereignissen ist eine obere Grenze mit 90% Sicherheit angegeben.

## Das äußere Spurkammersystem in LHCb

Durch das äußere Spurkammersystem wird eine Fläche von über  $300 \text{ m}^2$  durch 12 Doppellagen von Straw-Detektoren abgedeckt, siehe Abbildung 2. Die Straw-Detektoren sind mit Proportionalzählrohren (Strawtubes) von 5 mm Durchmesser bestückt. Jeweils 256 Strawtubes von 2.5 m Länge sind Teil eines 5 m langen Modules (Abb. 3), wobei die Straws in zwei versetzt hintereinander liegenden Lagen angeordnet sind.



**Abbildung 2:** Das äußere Spurkammersystem besteht aus den drei Stationen T1- T3. In den vier Lagen jeder Station sind Module senkrecht (X), unter  $+5^\circ$  (U), unter  $-5^\circ$  (V) und wieder senkrecht (X) angeordnet.

Die Strawtubes sind Proportionalzählrohre mit einem  $25 \mu\text{m}$  dicken goldbeschichteten Wolfram Anodendraht und dem aus leitfähigem Kapton und Aluminium-Kapton-Folie gewickelten Straw (siehe Abbildung 4). Der Straw wird von Zählgas durchströmt. Durchquert ein ionisierendes Teilchen das Zählgas im Innern des Straws, werden Elektronen und Ionen erzeugt. Die Elektronen werden durch das elektrische Feld zwischen Kathode und Anode zum Anodendraht beschleunigt. Gasverstärkung in der Nähe des Anodendrahtes führt zu einem Ladungspuls von ca.  $60 \text{ fC}$ .

Zur auf  $200 \mu\text{m}$  genauen Ortsmessung des Spurdurchgangs wird die Driftzeit der durch Primärisionisation erzeugten Elektronen zum Anodendraht genutzt.

## Die Ausleseelektronik

Abbildung 5 zeigt schematisch die im Rahmen der Arbeit gebaute Auslekette.

Aufgrund der hohen Proton-Proton-Wechselwirkungsrate von  $40 \text{ MHz}$ , der Belegungs-

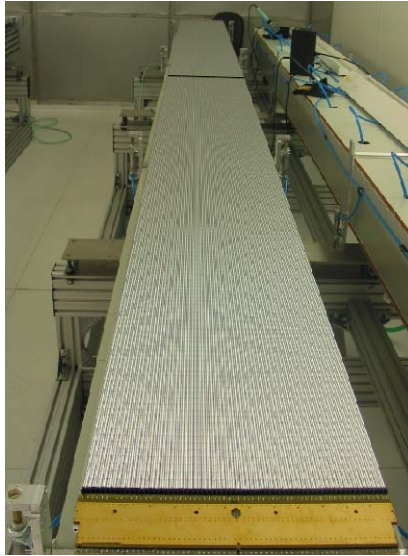


Abbildung 3: Straw-Modul des äußeren Spurkammersystems.

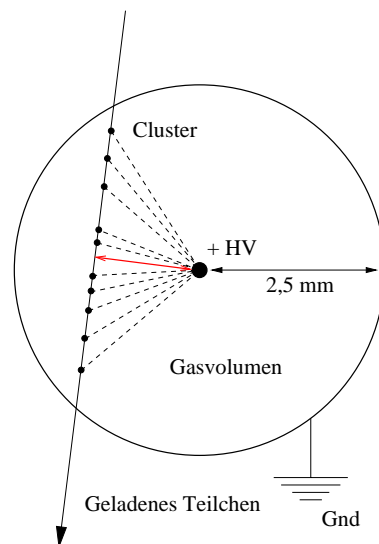
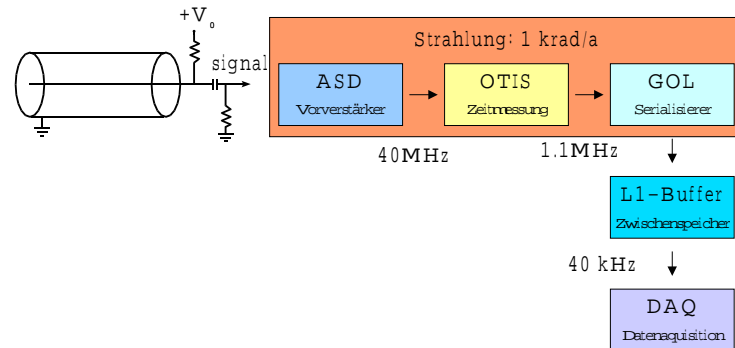


Abbildung 4: Prinzip eines Straw-Proportionalzählers.





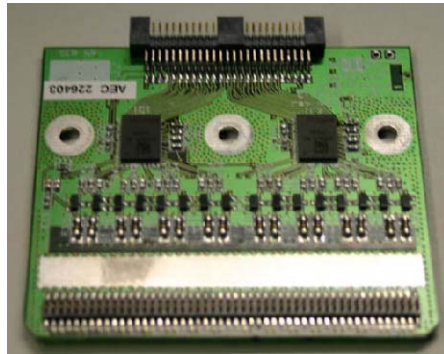
**Abbildung 5:** Schema der Ausleseelektronik

dichte von bis zu 10 % und der Strahlung von ca. 2 kRad in der geplanten Betriebszeit von zehn Jahren ergeben sich besondere Anforderungen an die Elektronik beim äußeren Spurkammersystem von LHCb. Die Strahlenbelastung von mehreren kRad in der Betriebszeit des Experimentes erfordert den Einsatz strahlenharter Elektronik. Es werden für die Elektronik im bestrahlten Bereich speziell entwickelte Mikrochips eingesetzt. Die hohe Wechselwirkungsrate erfordert eine Datenauslese der ca. 55 000 Detektorkanäle alle 25 ns. Dies führt zu einer Datenrate von ca.  $16 \cdot 10^{12}$  Bit/s nach der Digitalisierung der Detektorsignale. Die hohe Datenrate erfordert eine extreme Bandbreite der Elektronik. Gleichzeitig muß das Übersprechen auf die empfindlichen Vorverstärkereingänge minimiert werden.

Um diesen Anforderungen zu genügen, wurden zur Auslese des äußeren Spurkammersystems drei strahlenharte Mikrochips eingesetzt:

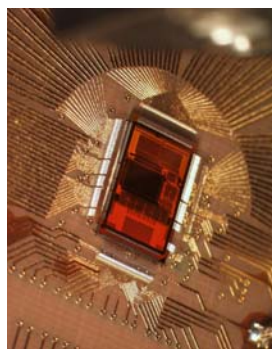
- der ASDBLR-Vorverstärker,
- der OTIS-TDC zur Bestimmung der Driftzeiten,
- sowie der GOL-Serialisierer, der die Daten über eine Laserdiode in ein Glasfaserkabel zum Zählraum verschickt.

Die Ladungspulse (von ca. 60 fC) aus 8 Straw-Detektorkanälen werden von einem Vorverstärker aus der ASD-Familie, dem Amplifier Shaper Discriminator with BaseLine Restoration (ASDBLR) [2], verstärkt und geformt. Liegt ein Puls über einer festgelegten Schwelle, die etwa ein bis zwei Primärelektronen im Strawtube entspricht, erzeugt der ASD-Verstärker ein digitales differentielles Stromsignal, welches vom OTIS-TDC zur Zeitmessung genutzt wird. Vier ASDBLR-Vorverstärker, die auf zwei Leiterplatten (Abb. 6) verteilt sind, sind an einen TDC angeschlossen.



**Abbildung 6:** Vorverstärker ASDBLR montiert auf einer Leiterplatte.

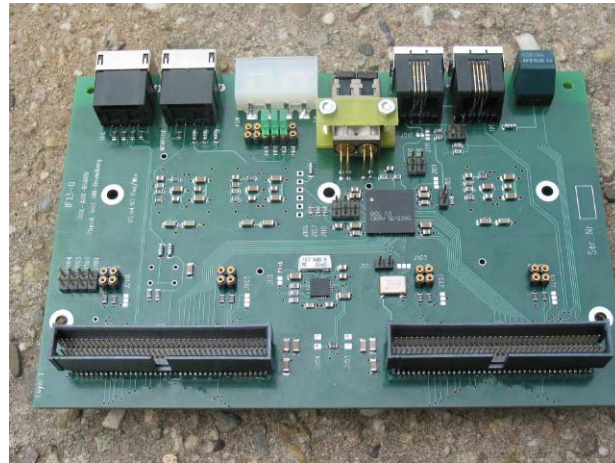
Der Outer tracker Time Information System (OTIS) [3] TDC mißt den Zeitpunkt, zu dem das Signal des Vorverstärkers anliegt relativ zum Zeitpunkt der Wechselwirkung der Protonen des LHC-Strahls, mit einer Genauigkeit von  $< 1$  ns. Eine DLL (delay locked loop), bestehend aus 64 Invertern, unterteilt den LHC-Takt von 40.08 MHz in 64 Zeitabschnitte (je 390 ps). Für jeden Detektorkanal gibt es ein Hitregister aus 64 Zellen, jede Zelle entspricht einem Zeitabschnitt in der DLL. In die Hitregisterzelle, die zur aktiven DLL-Zelle gehört, wird bei anliegendem Vorverstärkersignal eine Eins geschrieben. In der Dekoderstufe werden die 64 Einträge des Hitregisters in eine 6-Bit-Zahl umgewandelt. Die 6-Bit-Zeitinformation wird zusammen mit einem Hit-Bit, dem BX-Zähler und Statusinformation in die LO-Pipeline, einem 240 Bit breiten Speicher [4], geschrieben. Nach einer Latenzzeit von 160 Zyklen ( $4 \mu\text{s}$ ) entscheidet der L0-Trigger, ob die Daten verworfen oder ausgelesen werden sollen. Die maximale mittlere L0-Rate ist 1.1 MHz. Zur weiteren Auslese werden die Daten in einen 48 Worte tiefen Speicher geladen und mit einem 32-Bit-Datenkopf versehen, um in 36 Takten auf einen 8-Bit-Datenbus ausgegeben zu werden.



**Abbildung 7:** Outer tracker Time Information System (OTIS-TDC)

Die Daten von vier OTIS-TDCs, die auf getrennten Leiterplatten montiert sind, werden durch einen Gigabit Optical Link (GOL) [6] Chip serialisiert und mit dem 8/10-

Bit-Verfahren [7] kodiert. Der serielle 1.6 GBit/s Datenstrom wird vom GOL-Chip ohne weitere Verstärkerstufe mit einer VCSEL-Diode in eine optische Faser eingespeist. Daten von allen 128 Kanälen eines Detektormodulendes werden über eine optische Faser ausgelesen. Der GOL-Chip teilt sich eine GOL-Auxiliary-Leiterplatte (Abb. 8) mit dem Quartz crystal based Phase-Locked-Loop (QPLL) Taktfilter und drei Spannungsreglern (+3 V, -3 V, +2.5 V).



**Abbildung 8:** Gigabit Optical Link Chip auf GOL-Auxiliary-Karte

Eine GOL-Auxiliary-Karte, vier OTIS-Karten, 8 ASDBLR-Karten mit je zwei Vorverstärkern und 4 HV-Verteilerkarten bilden die Ausleseelektronik für die 128 Kanäle einer Detektormodulhälfte, die Front-End-Box (FE-Box) (Abb. 9).

Bis zu zwölf optische Fasern werden zu einem Optical-Ribbon zusammengefaßt, welches vom Rahmen des äußeren Spurkammersystems zum gegen Strahlung abgeschirmten Teil der Ausleseelektronik führt. Die Daten von zwei optischen Zwölfachleitungen gelangen auf ein Trigger Electronics and L1 board (TELL1) [8], das von den meisten LHCb-Subdetektoren genutzt wird (Abb. 8.2). Die optischen Daten werden auf einer Tochterkarte, der Optical-Receiver-Card (O-RxCARD) [9] (Abb. 7.3), in parallele elektrische Daten zurücktransformiert, mit einer Rate entsprechend dem doppelten Systemtakt. Bei der 8/10-Bit-Decodierung werden spezielle 10-Bit-Worte zur Synchronisation genutzt, sowie Ein-Bit-Datenfehler erkannt und über Statussignale (Dv, Er) deklariert. Die Deserialisierer [11] auf der O-RxCARD synchronisieren sich auf den eintreffenden Datenstrom. Der gewonnene Takt sowie die parallelen Daten und die Statusinformation werden an die TELL1-Hauptplatine gegeben.

Auf der TELL1-Karte verarbeiten zunächst vier getrennte programmierbare Bausteine (PreProcessing-FPGAs) die Daten weiter. Es erfolgt eine Synchronisation der Daten zur Taktphase auf der TELL1-Karte, danach vergleicht der FPGA, ob alle anliegenden Daten zur selben Wechselwirkung gehören. Die Daten werden nach Nullunterdrückung und Umformatierung in den L1-Speicher geschrieben, der DDR-RAM nutzt und eine Tiefe von

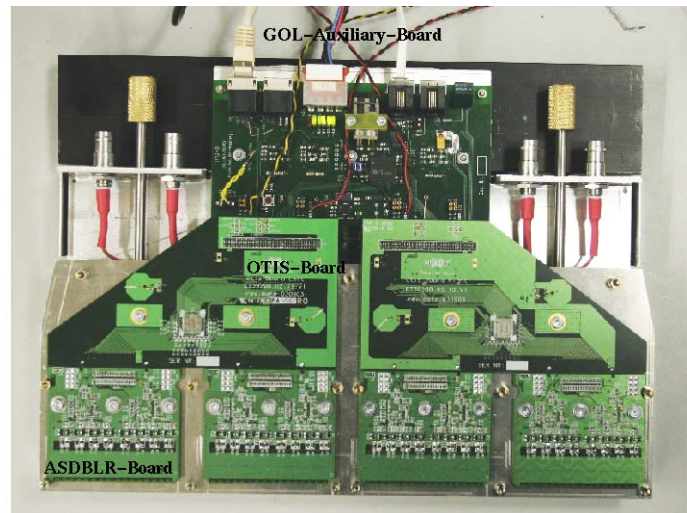


Abbildung 9: Front-End-Box

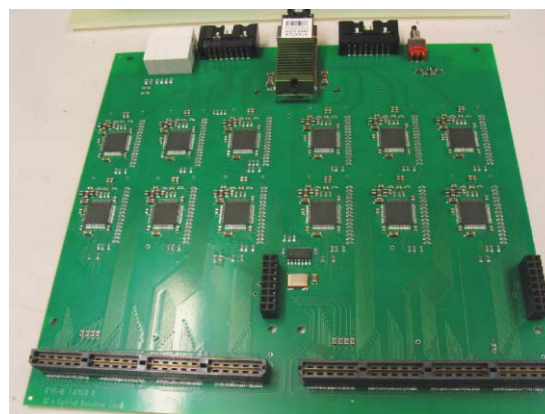


Abbildung 10: Optische Empfängerkarte (O-RxCard)



Abbildung 11: Trigger ELelectronics and Level 1 board

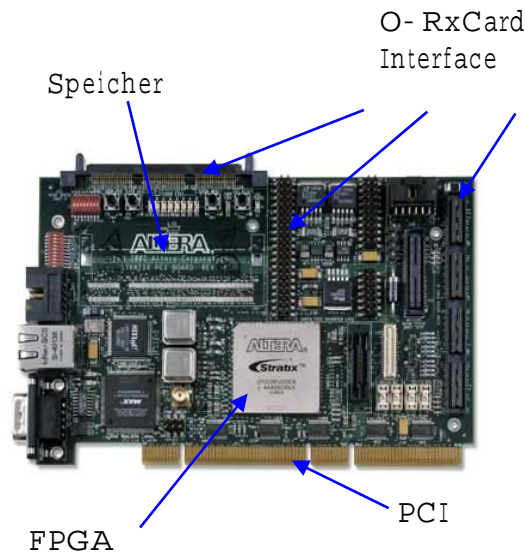


65 536 Ereignissen <sup>3</sup> hat.

Tragen die Daten des Subdetektors zur L1-Entscheidung bei, was für das äußere Spurkammersystem als Option vorgesehen ist, so werden sie direkt nach der Synchronisation komprimiert und an den SyncLink-FPGA genannten programmierbaren Baustein übertragen. Dieser sammelt die Ausgabedaten der TELL1-Karte und leitet sie über eine Gigabit-Ethernet kompatible Ausgabekarte [12] an das L1/HLT-Netzwerk weiter. Während die L0-Entscheidung auf eigens entwickelter Elektronik gefällt wird, erfolgt die L1-Entscheidung auf einer PC-Farm (> 1000 PCs). Bei positiver L1-Entscheidung, die Rate beträgt maximal 40 kHz, werden alle Daten aus dem L1-Speicher in den PreProcessing-FPGA zurückgelesen und ebenfalls über den SyncLink-FPGA an die PC-Farm ausgegeben.

Auf der PC-Farm werden aus den Daten nun die Ereignisse im Rahmen des Higher-Level-Triggers mit voller Spurinformaton rekonstruiert. Ereignisse, die wahrscheinlich interessante B-Zerfälle darstellen, werden mit ca. 200 Hz für die spätere Datenanalyse auf Band geschrieben.

Im Rahmen dieser Arbeit wurde zur Datennahme mit dem PC die O-RxCard mit einer kommerziellen PCI-Karte (Abb. 12) verbunden, welche den gleichen programmierbaren logischen Baustein (FPGA) nutzt wie die TELL1-Karte, aber eine PCI-Schnittstelle besitzt.



**Abbildung 12:** Stratix-PCI-Karte zur Datennahme mit dem PC.

Zum Betrieb der beschriebenen Ausleseelektronik war desweiteren die Nutzung eines Timing and Fast Control (TFC) Systems zur Verteilung der synchronen Signale wie 40 MHz-Takt, Trigger oder Reset-Signalen, sowie eine Slow-Control, Experiment Control System (ECS), zum Setzen von Registerinstellungen auf dem OTIS-TDC und dem GOL-

<sup>3</sup>Dieser Speicher kann ohne Änderungen des TELL1-Layouts auf die doppelte Größe aufgerüstet werden.

Serialisierer erforderlich.

Über das TFC-System [13] werden der Systemtakt von 40.0786 MHz, die L0- und L1-Entscheidungen, der Bunch-Counter<sup>4</sup>, der Event-Counter<sup>5</sup>, Testpulse, sowie Reset-Signale für Bunch-Counter, Event-Counter und die Elektronik verteilt. Alle TFC-Informationen werden im Readout-Supervisor gesammelt und von dort über ein Verteilungsnetz und schließlich optische Leitungen (über optische Sender, TTCtx) an strahlenharte TTCrx-[14] Mikrochips geleitet. Im Fall des äußeren Spurkammersystems gibt es sowohl in der Servicebox auf dem Rahmen der Spurkammer als auch auf der TELL1-Karte im Trailer TTCrx-Chips. Der TTCrx-Chip dekodiert das serielle Signal und gibt fast alle TFC-Signale an gesonderten Anschlüssen aus. Einige Signale wie Testpuls sind jedoch in 8-Bit-Worte am parallelen Ausgang des TTCrx verschlüsselt und werden mit einem FPGA dekodiert. Von der Servicebox wird der Takt, die L0-Entscheidung, L0-Reset, Event-Counter-Reset und Bunch-Counter-Reset sowie Testpulse an die Elektronik in den Detektormodulen weitergeleitet. Der GOL-Chip benötigt davon den 40.08 MHz-Takt, der OTIS-TDC den Takt, L0-Entscheidung, L0-Reset, Event-Counter-Reset und Bunch-Counter-Reset und der ASD-Vorverstärker die Testpulse.

Das ECS-System verteilt die weniger zeitkritischen Signale über den I<sup>2</sup>C- und den JTAG-Bus zur Programmierung und Auslese von Registern auf Chips. Außerdem werden Daten für Temperatur, Spannung etc. über das ECS-System ausgelesen. Im bestrahlten Bereich kommt ein FPGA SPECS-Slave [15] zum Einsatz, auf der TELL1-Karte wird ein CreditCard-PC für die Slow-Control genutzt.

In jeder Servicebox gibt es einen SPECS-Slave über den der I<sup>2</sup>C-Zugriff auf die OTIS-TDCs und den GOL-Chip implementiert ist. Spannung und Temperatur an der Ausleseelektronik in den Detektormodulen werden von einem strahlenharten ADC-Chip via JTAG-Bus und den SPECS-Slave ausgelesen.

Im Rahmen dieser Arbeit wurde die gesamte Ausleseelektronik für das äußere Spurkammersystem aufgebaut und getestet. Der Schwerpunkt lag auf der Entwicklung der optischen Übertragungsstrecke. Die GOL-Auxiliary-Karte als strahlenharte Sendekarte und die O-RxCard auf der Empfangsseite der optischen Datenübertragung wurden im Rahmen dieser Arbeit entwickelt. Es wurde angefangen mit dem Test eines 3 m-Straw-Detektors, der Untersuchung des Speichers auf dem OTIS-TDC, der optischen Datenübertragung, der Synchronisation, Überprüfung und Prozessierung der Daten auf der L1-Speicherkarte, zur PC-Datennahme bis hin zum Aufbau, Test und Einsatz funktionierender Slow- und Fast-Control-Systeme Beiträge geleistet. Am Ende der Arbeit konnten an einem Straw-Detektor unter Nutzung der gesamten entwickelten Ausleseketten die Driftzeiten von kosmischen Myonen über ganze Tage unterbrechungsfrei gemessen werden.

---

<sup>4</sup>Der Bunch-Counter zählt Teilchenpakete seit dem letzten Bunch-Counter-Reset, läuft also bei 40.08 MHz.

<sup>5</sup>Der Event-Counter ist der Zähler für die in L0 akzeptierten Ereignisse.





# Kapitel 1

## Modultest in Hamburg

Neben der Entwicklung der Ausleseelektronik wurde im Rahmen der Arbeit auch ein 3 m-Strawdetektorprototyp bei HERA-B im DESY in Betrieb genommen und getestet. Dieser Test bei einer hadronischen Strahlung in Energie und Zusammensetzung vergleichbar mit der bei LHC sollte die Betriebssicherheit der Strawdetektoren unter realistischen Bedingungen zeigen.

Bei HERA-B wechselwirken 920 GeV-Protonen des HERA-Strahlhalos mit Targetdrähten. Um den maximal verfügbaren Teilchenfluß zu nutzen wurde eine Montage so dicht wie möglich am Strahlrohr gewählt. Der Modulprototyp für das äußere Spurkammersystem von LHCb wurde horizontal über dem Strahlrohr an der ersten Muon-Kammer (M1) von HERA-B installiert. Abbildungen 1.1, 1.2 zeigen den HERA-B-Detektor und eine Skizze der Position des Modules. Die Distanz zur Strahlrohrmitte und der rechten unteren Ecke des Moduls betrug 65.2 cm vertikal und 55.2 cm horizontal.

Als Gas wurde  $\text{Ar CO}_2 \text{ CF}_4$  im Mischungsverhältnis (75/10/15) gewählt. Wesentlicher Bestandteil des Modultest bei HERA-B waren Alterungsuntersuchungen. Einerseits kann das Zählgas bei den hohen Teilchenflüssen bei LHCb durch Radikalbildung oder Clustern zu Schäden führen, andererseits sind Schäden durch das Ausgasen von Modulmaterialien möglich. Insbesondere wurden Ätzprozesse am Anodendraht oder anderen Modulkomponenten befürchtet.

Für den überwiegenden Teil der Strahlzeiten wurde die Hochspannung (HV) auf 1550 V gesetzt, was einem Verstärkungsfaktor von 45 000 [16] entspricht.

Die Meßgröße während des 15 Monate dauernden Strahltests war der Anodenstrom. Kammerschäden können zu einem erheblichen Anstieg der freigesetzten Ladung oder zu Kurzschlüssen führen.

Die 256 Straws des Moduls waren in acht Gruppen von 16 bzw. 48 Kanälen unterteilt. Abbildung 1.2 zeigt die Verteilung der HV-Kanäle auf das Modul.

### 1.0.1 Untersuchungen während der Installationsphase bei HERA-B

In der Installationsphase bei HERA-B wurden eine Reihe von Untersuchungen wie Bestimmung der Dunkelpulsrate mit  $\text{Ar CO}_2 \text{ CF}_4$  und  $\text{CO}_2$  sowie  $^{55}\text{Fe}$ -Pulshöhenspektren durchgeführt.

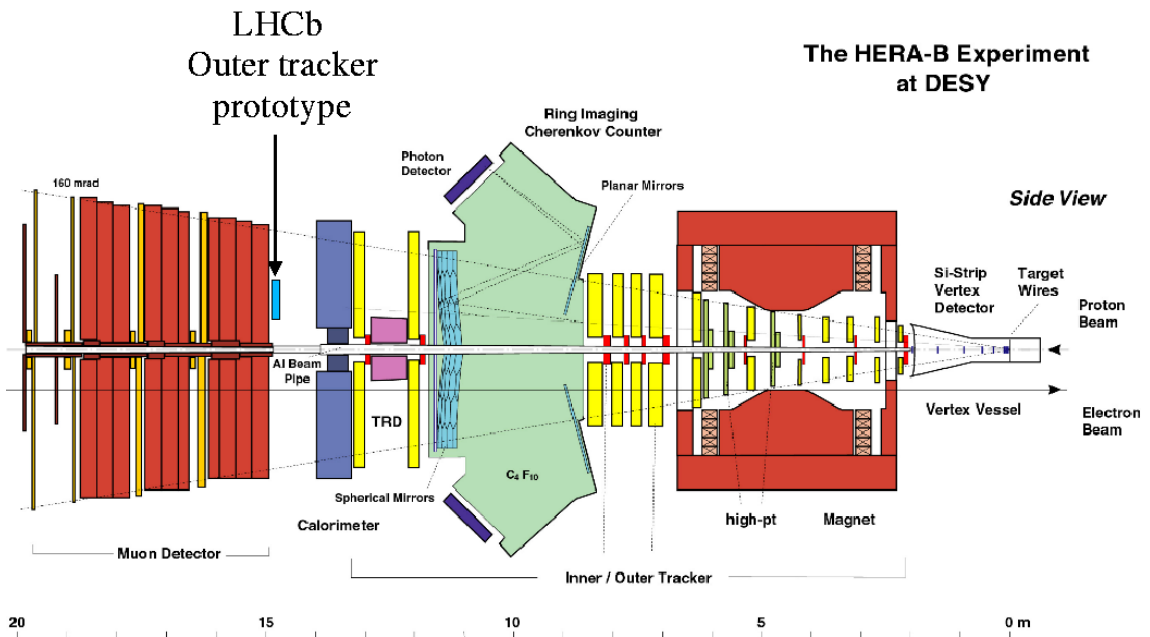


Abbildung 1.1: Das LHCb-Strawmodul wurde im HERA-B-Detektor an der ersten Muon-Kammer gegenüber dem ECAL ("Calorimeter") montiert.

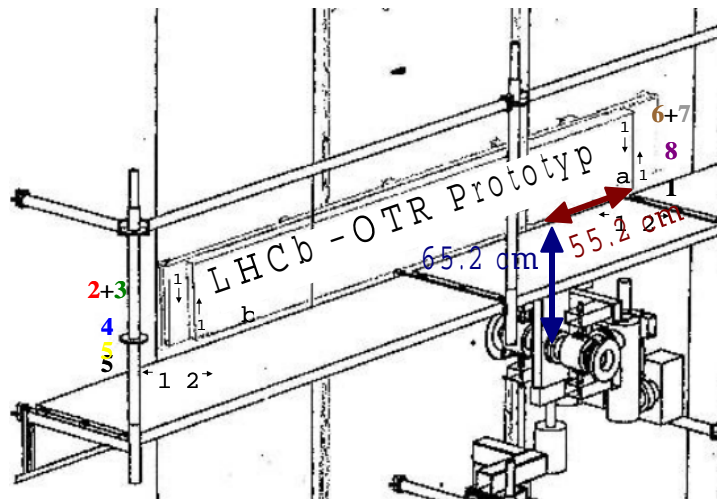


Abbildung 1.2: Position des LHCb-Moduls relativ zum Strahl, die Lage der HV-Gruppen 1 bis 8 ist eingezeichnet.

Untersuchungen in der Installationsphase zeigten Dunkelpulsraten von im Mittel 5 Hz pro Straw für  $\text{Ar CO}_2 \text{ CF}_4$ , die Dunkelpulsrate mit  $\text{CO}_2$  war 0.1 Hz.

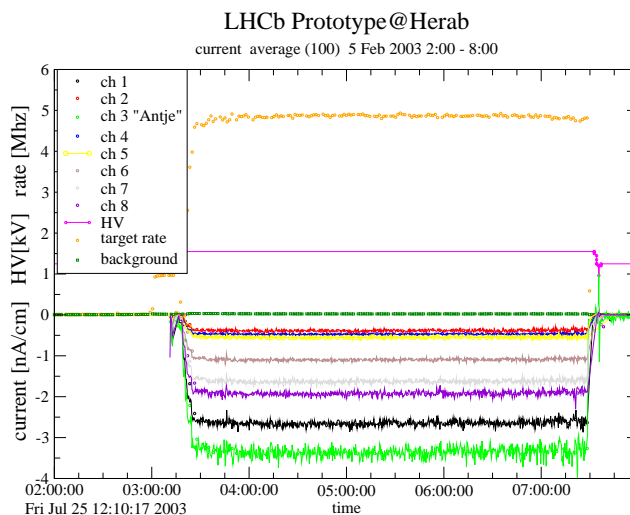
## 1.0.2 Beobachtungen im HERA-B-Betrieb

Während der 2002/2003 Strahlperiode wurde der Anodenstrom als Maß der Langzeitbetriebsstabilität gemessen. Dabei wurden in manchen HV-Gruppen kurzzeitig ein außerordentliches Ansteigen des Stromes festgestellt.

Der Anodenstrom wurde bei dem 3 m-Prototypen für 7 HV-Gruppen gemessen, eine HV-Gruppe bildete die Referenz. Zusätzlich wurde im November 2002 ein kleineres Modul "Antje" installiert, für das ebenfalls der Anodenstrom untersucht wurde. Das kleine Modul war ohne Drahtpositionierer ausgeführt, von denen man glaubte, sie würden im großen Prototypen für Aufladungseffekte und insbesondere für die oben erwähnten Dunkelpulse verantwortlich sein.

Die integrierte Ladungsdeposition für den Zeitraum 2002/2003 ist in Tabelle 1.1 zusammengefaßt. In 10 Jahren LHCb erwartet man bis zu 2.5 C/cm, also ca. das 1000-fache der Ladungsdeposition dieses Tests. Dosimeter die am Modul positioniert waren zeigen Werte von 1.2 Gy bis 17.9 Gy und 10.8 Gy für das Modul "Antje" (30% Genauigkeit). Bei LHCb werden in 10 Betriebsjahren 32 kRad = 320 Gy erreicht [17].

Neben dem Anodenstrom wurde auch die Spannung und die Targetrate registriert. Abbildung 1.3 zeigt den Anodenstrom für stabile Bedingungen: Die Targetrate ist stabil bei 5 MHz, die HV liegt bei 1550 V und der Strom/Länge [nA/cm] ist für alle HV-Gruppen konstant.



**Abbildung 1.3:** Ladungsdeposition pro Länge [nA/cm] für 3 m-Prototyp und "Antje" bei stabilen Bedingungen.

Dagegen zeigte der Anodenstrom in 67 Fällen einen Anstieg in einem einzelnen Kanal, unkorreliert zum Verhalten der übrigen HV-Gruppen und der Targetrate. Diese unkorrelierten Stromanstiege sollen im folgenden "Ereignis" genannt werden. Zudem überstieg in 114 Fällen der Anodenstrom den eingestellte Stromgrenzwert. Tabelle 1.1 zeigt die Anzahl der "Ereignisse" in den verschiedenen HV-Gruppen (vgl. Abbildung 1.2).

**Tabelle 1.1:** "Ereignisse" und gesammelte Ladung für den 3 m-Prototyp und "Antje".

HV-Kanal	Ladungsdeposition [mC/cm ]	Anzahl der "Ereignisse"
slow control		
1	3.1	43
2	0.46	0
3	0.065	0
4	0.57	8
5	0.68	0
6	1.4	0
7	1.8	1
8	2.2	1
"Antje"	1.7	14

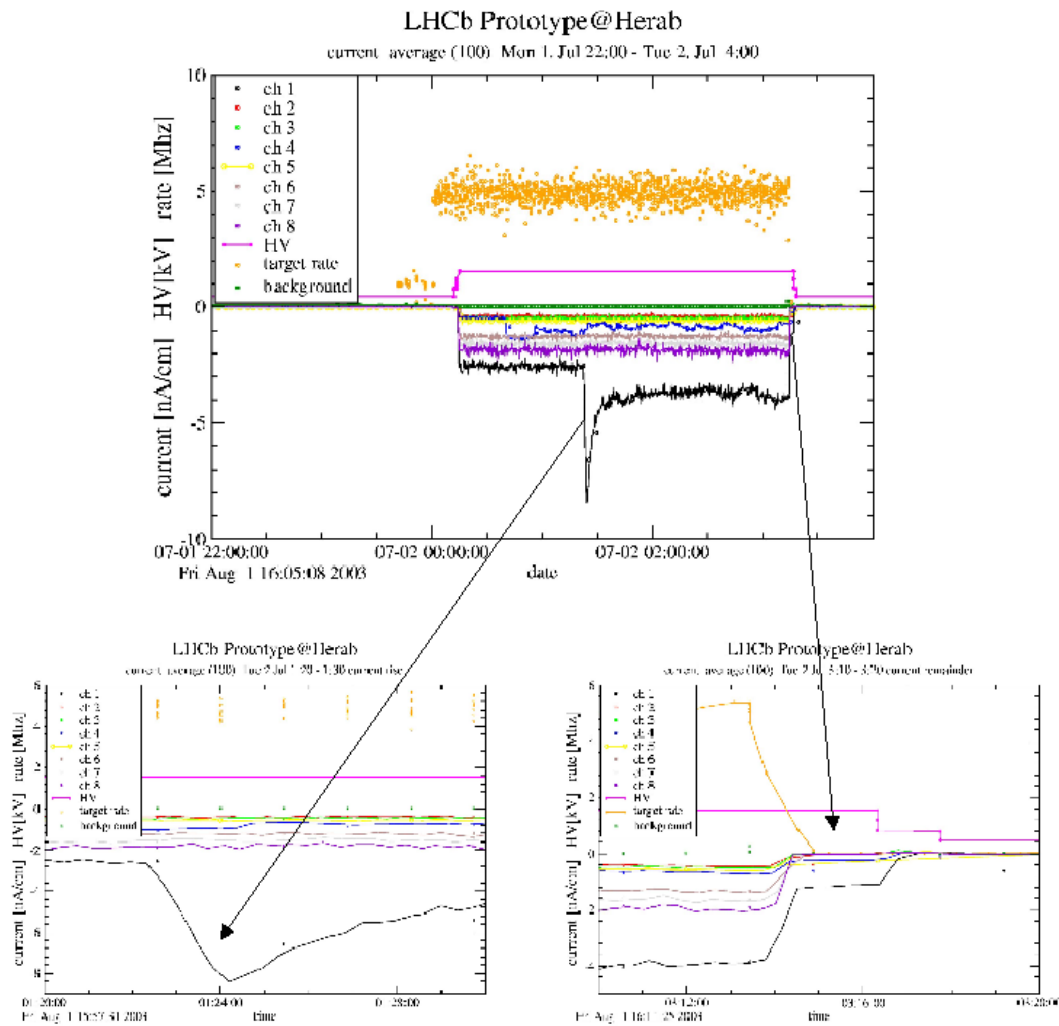
Abbildung 1.4 zeigt "Ereignisse" in Gruppe 1 und 4. Das "Ereignis" in Gruppe 1 zeigt einen Anstieg von  $4.65 \text{ nA/cm}$  in 2 min. und einen Stromabfall mit der Zeitkonstante  $\tau = 4 \text{ min.}$ . Nach dem exponentiellen Abfall bleibt ein zusätzlicher Strom von  $1.1 \pm 0.1 \text{ nA/cm}$ . Selbst nach dem Ende der Bestrahlung verbleibt ein Strom von  $1.15 \pm 0.05 \text{ nA/cm}$  in Gruppe 1, wie auch ein Reststrom in Gruppe 4.

Das Auftreten der "Ereignisse" in HV-Gruppe 1, 4 und in "Antje" ist stark mit der Ladungsdeposition korreliert, siehe Abb. 1.5. Der lineare Fit ergibt  $16.7 \text{ "Ereignisse"}/(160 \text{ cm} \cdot \text{mC})$  für Gruppe 1,  $15.17 \text{ "Ereignisse"}/(160 \text{ cm} \cdot \text{mC})$  für Gruppe 4 und  $17.8 \text{ "Ereignisse"}/(160 \text{ cm} \cdot \text{mC})$  für "Antje". Da die Rate der "Ereignisse" nicht zunimmt, scheint mit gesammelter Ladung keine Verschlechterung der Kammern einherzugehen.

Eine Untersuchung der Kurzzeitstabilität der Module ergab innerhalb von 30 Minuten bei konstanter Wechselwirkungsrate maximale Änderungen des Anodenstromes um  $+2.3 \pm 1.16 \%$  (HV-Gruppe 5), es kann hier keine deutliche Änderung der Gasverstärkung beobachtet werden.

Da Fluktuationen der Gasverstärkung über längere Zeiträume vom Luftdruck, der Temperatur etc. abhängen, ist hier der Strom in jeder HV-Gruppe auf die übrigen Gruppen ohne "Antje" normiert. Die relative Änderung zwischen den ersten drei Monaten und den letzten drei Monaten zeigt nur für HV-Gruppe 6 einen signifikanten Stromabfall von  $12 \pm 6 \%$ , in den anderen HV-Gruppen lag die Änderung der relativen Stromaufnahme innerhalb der Fehlergrenzen.

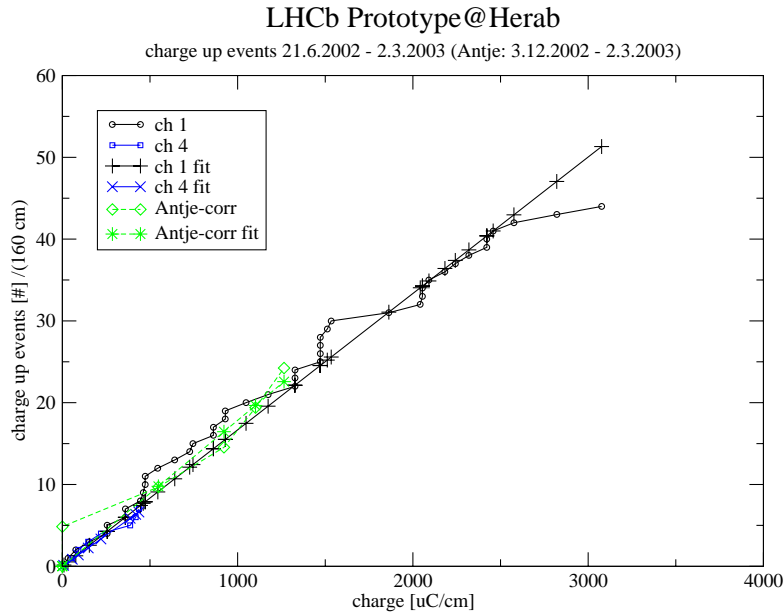
Ein möglicher Hinweis auf den Ursprung der sogenannten "Ereignisse" ist die Beobachtung sehr ähnlicher Stromanstiege in den HERA-B-MSGC-Kammern, siehe Abb. 1.6. Der Stromanstieg um  $5 \mu\text{A}$  und die Zeitkonstante von 24 min. beim Abfall sind mit den



**Abbildung 1.4:** “Ereignis” in HV-Gruppe 1 und 4. Das “Ereignis” in Gruppe 1 zeigt einen Anstieg in 2 min. und ein Abklingen mit  $\tau = 4$  min. Der Strom steigt um  $4.65 \text{ nA/cm}$  entsprechend  $36 \mu\text{A}$  an. Nach dem exp. Abfall verbleiben  $1.1 \pm 0.1 \text{ nA/cm}$ ,  $1.15 \pm 0.05 \text{ nA/cm}$  sogar nach Ende der Bestrahlung.

Werten aus Abb. 1.4 vergleichbar. Da für die HERA-B-MSGCs und die LHCb-Module die gleichen Strommeßgeräte verwendet wurden, ist es möglich, daß ein Defekt an den Strommeßboxen die zusätzlichen Ströme verursacht hat.

Andererseits zeigten alle Strawtube-Kanäle mit Drahtpositionierern des hier verwendeten Typs ein hohe Dunkelpulsrate, siehe [18]. In den später produzierten Modulen wurden andere Drahtpositionierer und Endstücke benutzt, hier traten keine erhöhten Dunkelpulsraten mehr auf. Wenn die beobachteten “Ereignisse” durch den selben Mechanismus wie



**Abbildung 1.5:** “Ereignisse” in HV-Gruppe 1, 4 und “Antje” auf 160 cm lange Straws normiert gegen die akkumulierte Ladung aufgetragen.

Ein linearer Fit ergibt

16.7 “Ereignisse”/(160 cm x mC) für HV-Gruppe 1,

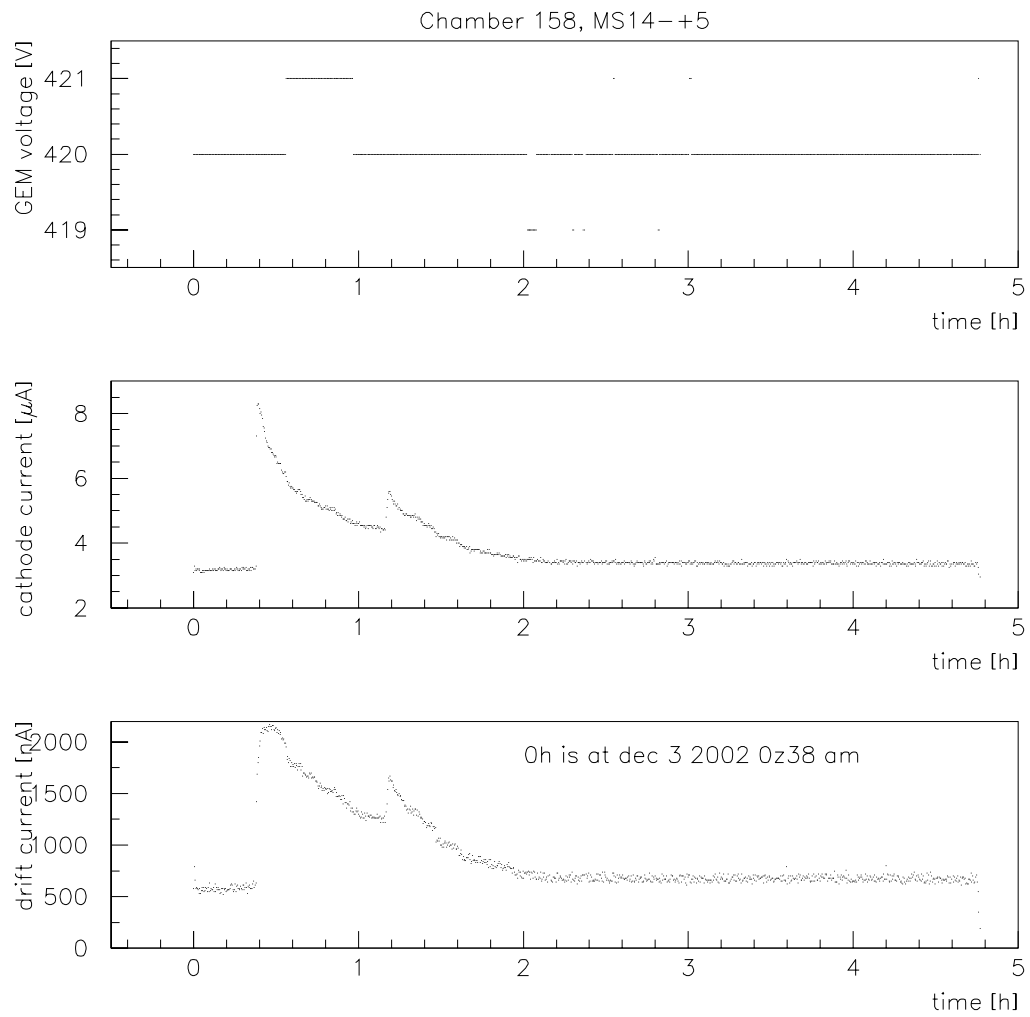
15.2 “Ereignisse”/(160 cm x mC) für HV-Gruppe 4

und 17.8 “Ereignisse”/(160 cm x mC) für “Antje”.

die Dunkelpulse, nämlich Aufladungseffekten an den alten Positionierern, hervorgerufen werden, sollten in Modulen mit neuen Drahtpositionierern und Endstücken keine solchen Stromanstiege mehr auftreten.

Bei dem Bau des 3 m-Straw-Detektors wurden zahlreiche Schwachstellen der bisherigen Konstruktion sichtbar, ihre Behebung hat wesentlich zur Konstruktion der jetzt produzierten Kammern beigetragen [19]. Die oben geschilderten Beobachtung von stark ansteigenden Anodenströmen führte zusammen mit dem Auftreten hoher Dunkelpulsraten zu einem Wechsel bei den Drahtpositionierern und Endstücken. Da bei dem kleinen Modul “Antje” zwar keine Drahtpositionierer, aber die alten Endstücke verwandt wurden, zeigten sich auch bei diesem Modul “Ereignisse” (vgl. Abb.1.5).

Für die Entwicklung der Elektronik entscheidend war eine grundsätzliche neu konzipierte und konsequente Masseführung, die die auf wenigen Kontakten beruhende Masseführung des 3 m-Prototypen ersetzte.



**Abbildung 1.6:** MSGC-“Ereignis” an einer HERA-B der Inner Tracker-Kammer 158. Das erste “Ereignis” in der Kathode zeigt eine Stromanstieg um  $5 \mu\text{A}$  und eine Zerfallszeit von 24 min..





# Kapitel 2

## OTIS-TDC

Der OTIS-TDC [3] [20] wurde am ASIC-Labor in Heidelberg entwickelt. Abbildung 2.1 zeigt das Blockschaltbild des OTIS-TDCs, Abbildung 2.2 zeigt ein Bild des OTIS-TDCs Version 1.0.

Seine Zeitauflösung ist besser als 1 ns, gleichzeitig ist er bis  $> 1$  MRad strahlenhart. Der OTIS-TDC arbeitet taktsynchron bei 40 MHz, d.h. alle 25 ns werden für 32 Kanäle Driftzeiten mit 6-Bit Genauigkeit aufgenommen und in einem L0-Buffer gespeichert. Diese Anforderung führte zum Design eines 240 Bit breiten und  $164 + 48$  Worte tiefen Speichers mit unabhängigem Lese- und Schreibzugriff alle 25 ns. Bei einer positiven L0-Triggerentscheidung werden die Driftzeiten dann mit einem Datenkopf versehen und über einen 8-Bit-Bus an die Sendeseite des optischen Links, den GOL- [6] Serialisierer, weitergegeben. Die L0-Triggerrate liegt bei maximal 1.1 MHz, 16 konsekutive Trigger sind maximal zugelassen.

Im Rahmen dieser Arbeit wurde bereits in der Frühphase der Chipentwicklung zahlreiche Tests an TDC-Vorläufern durchgeführt.

### 2.1 OTISmem

Der OTISmem-Chip hatte mehrere funktionale Gruppen des späteren OTIS-TDCs, wie die DLL (delay locked loop) und der 240-Bit breite Speicher. In systematischen Untersuchungen wurde im Rahmen dieser Arbeit in Zusammenarbeit mit den Chipentwicklern, die DLL und der Speicher charakterisiert.

#### 2.1.1 DLL

Die DLL besteht aus einer Kette von Invertern, durch die in jedem Taktzyklus eine Signalflanke einmal durchwandert. Ein Phasenkomparator stellt die Spannung an den Invertern so ein, daß die Durchlaufzeit möglichst exakt mit der Taktperiode übereinstimmt. Die TDC-Zeitmessung beruht darauf, zu messen an welchem Inverter die Flanke bei Eintreffen des Detektorpulses lag. Abbildung 2.3 zeigt die gemessene differentielle Nichtlinearität, die ein Maß für die Gleichheit der 64 Zeitbins der DLL ist. Die differentielle Nichtlinearität

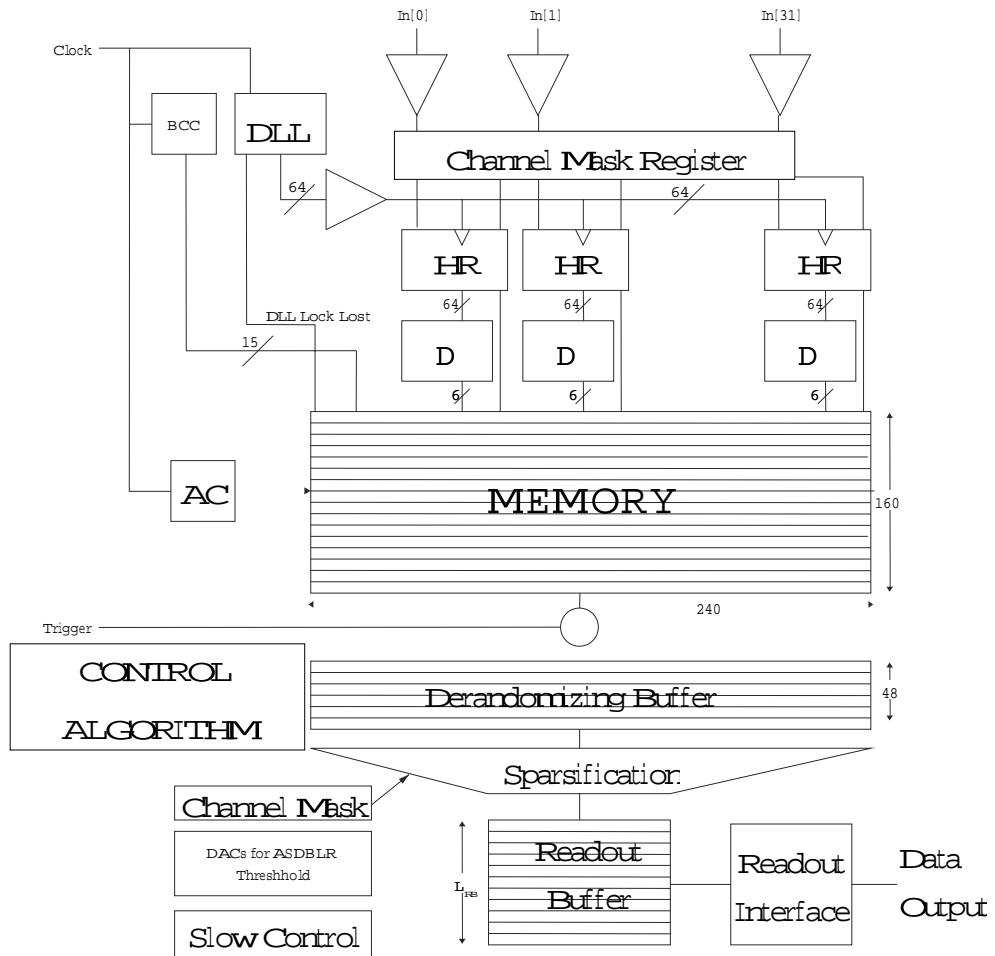
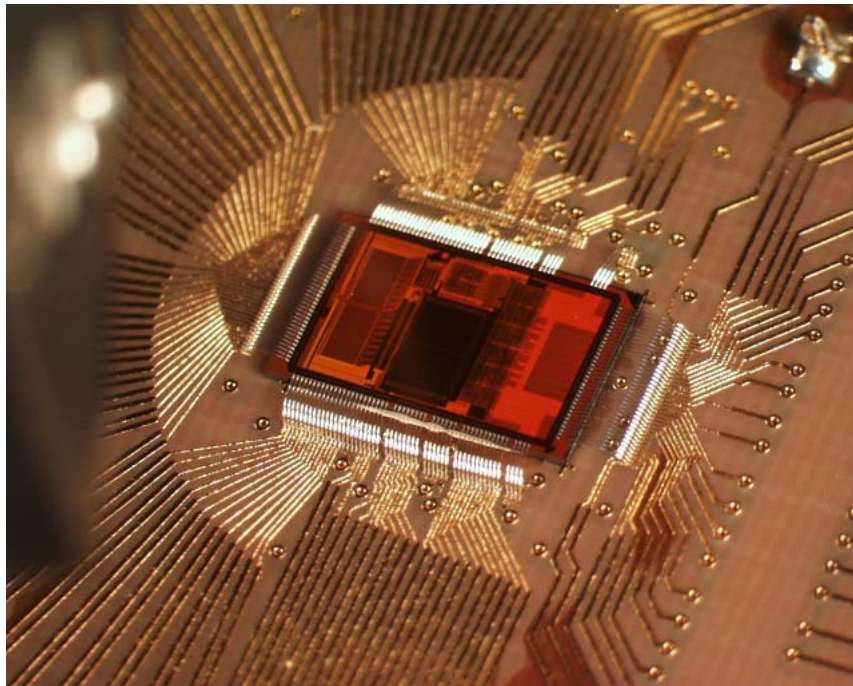


Abbildung 2.1: Blockschaltbild des OTIS-TDCs.



**Abbildung 2.2:** Bild des OTIS-TDC Version 1.0.

bemißt sich aus der Differenz der Länge jeweils zwei benachbarter Verzögerungsglieder.

Es werden hierzu zum Takt des TDCs unkorrelierte Signale erzeugt, deren Zeitpunkt mit dem TDC gemessen und histogrammiert wird. Bei einem zeitlich unkorrelierten Signalgeber kommen die Signale gleichverteilt zu jeder Taktphase des TDCs, die Anzahl der Einträge in einem TDC-Bin ist also proportional zur seiner Breite. Teilt man also die Einträge in einem Bin (Inverter) durch alle Einträge im Histogramm und multipliziert diese Wert mit der Länge des Taktzyklus erhält man die Verzögerungszeit des einzelnen Inverters.

Am Anfang, in der Mitte und am Ende der DLL gab es besonders große differentielle Nichtlinearitäten. Dies lag an der der Randlage der Verzögerungsglieder, die so eine andere Kapazität umladen mußten, als die Verzögerungsglieder zwischen anderen. Durch Anschluß zusätzlicher nicht zur Zeitmessung genutzter Verzögerungsglieder bei den weiteren Chips konnte dieses Problem weitgehend behoben werden.

### 2.1.2 Speicher

Um das Zeitverhalten des 240 Bit breiten, strahlenharten Speichers auf dem OTIS-TDCs zu messen, wurden auf dem OTISmem-Testchip alle zu Schreib- und Lesekontrolle nötigen Steuerleitungen sowie die Datenausgänge an Chipausgängen verfügbar gemacht. Abbildung 2.4 zeigt das Schema einer Speicherzelle des OTIS-TDCs.

Im Rahmen dieser Arbeit und einer Diplomarbeit wurden die Zeitkonstanten, wie

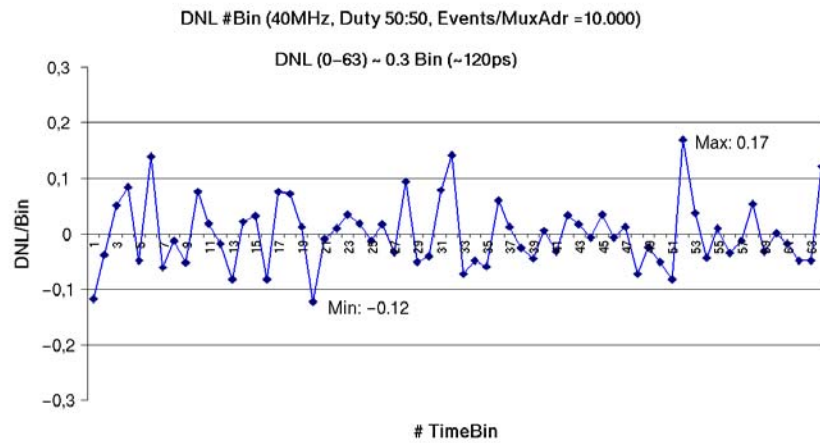


Abbildung 2.3: Differentielle Nichtlinearität am OTISmem.

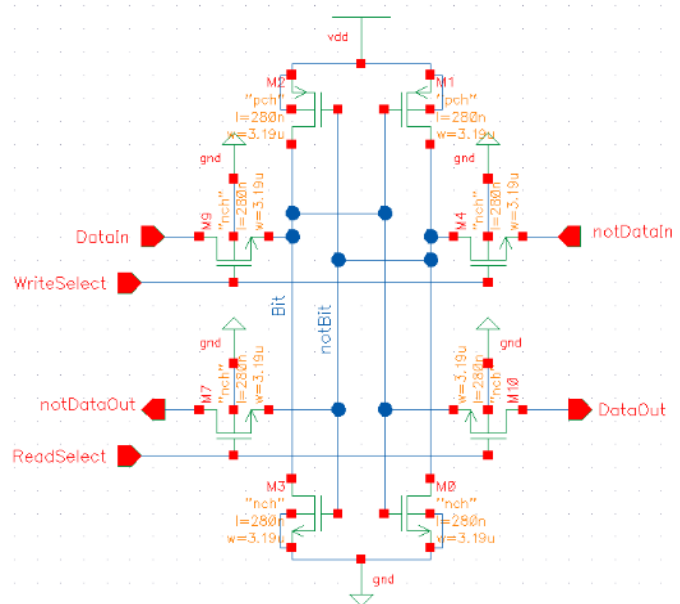
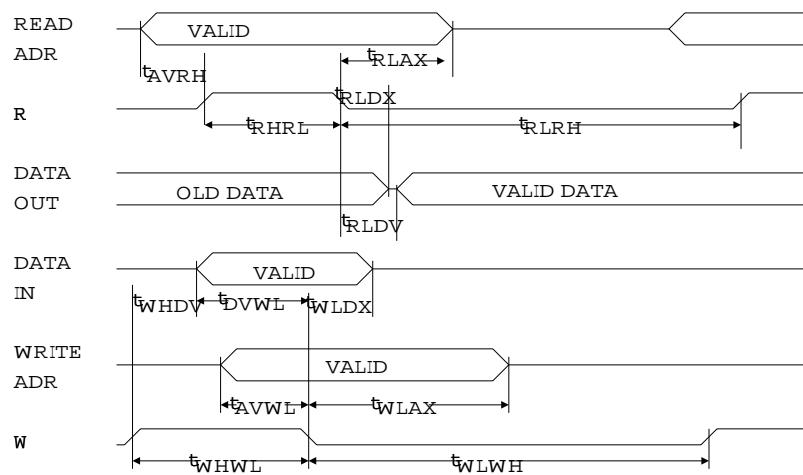


Abbildung 2.4: Speicherzelle des OTIS-TDCs schematisch.

Setup- und Holdzeiten für den 164 Worte tiefen L0-Speicher und den 48 Worte tiefen Derandomizing-Speicher ermittelt, alle Ergebnisse sind in [4] zusammengefaßt. Abbildung 2.5 zeigt einige relevante Zeitkonstanten des OTIS-Speichers. Die Messung floß in das Design der Kontrolllogik auf dem OTIS-TDC ein, die mit 40 MHz lesen und schreiben muß. Bei optimalen Einstellungen gelang es den Speicher mit 100 MHz Takt zu beschreiben und auszulesen.



**Abbildung 2.5:** Zeitkonstanten des TDC-Speichers, die Länge der einzelnen Zeitkonstanten beträgt einige ns.



## Kapitel 3

# Slow-Control

Die Steuerung der Elektronik im LHCb-Experiment ist zweigeteilt. Die sogenannte Fast-Control, hier auch als Timing and Trigger Control (TTC) oder Trigger and Fast Control (TFC) bezeichnet, zur Verteilung von Taktsignalen und taktsynchronen Signalen, sowie die Slow-Control<sup>1</sup> zur asynchronen Programmierung and Auslese von Registern. Diese Register enthalten Informationen wie die Temperatur oder Spannung, welche mit Hilfe eines ADCs gemessen wurde, sowie die Stromschwellen an den Vorverstärkern oder die Anzahl der verworfenen Ereignisse in einem OTIS-TDC.

Die Slow-Control-Signale gelangen über den SPECS-Bus [15] zum Rahmen des äußeren Spurkammersystems, wo der SPECS-Slave, ein FPGA, das Interface zu mehreren I<sup>2</sup>C- [21] bzw. JTAG-Bussen herstellt. Vom Rahmen des Spurkammersystems wird je ein I<sup>2</sup>C-Bus an 9 Detektormodulhälften (eine Viertellage) verteilt. Die Anordnung and das Adressierungsschema ist in [22] beschrieben.

### 3.1 Implementierung des I<sup>2</sup>C-Busses im Labor

Für die Programmierung der OTIS-TDC-Register im Labor, speziell um die Latenz und die ASD-Triggerschwellen einzustellen, wurde das bereits im ASIC-Labor [20] in Heidelberg entwickelte System genutzt. Es besteht aus einem PC unter Windows 2000 und der "ELV"-Box, die kommerziell erhältlich ist und die I<sup>2</sup>C-Signale von der Druckerschnittstelle des PCs auf die serielle Datenleitung (SDA) und den Strobe (SCL) umsetzt. Bei Verwendung von TDCs OTIS 1.0 sind in den seriellen Leitungen zusätzliche Pegelkonverter von 5 V auf 2.5 V nötig. Die Ansteuerung des I<sup>2</sup>C-Busses erfolgt von einer LabView-Applikation, welche Steuerelemente für alle TDC-Register bereitstellt.

Für den OTIS 1.0 und den OTIS 1.1, sowie für die kombinierte Ansteuerung der OTIS 1.1 TDCs und GOL 1.0 einer Viertellage (9 Modulenden) existieren Programme, die teilweise im Rahmen dieser Arbeit entstanden.

Im Labor wurde die LabView-Umgebung auf einem Laptop installiert, die ELV-Box an der parallelen Schnittstelle des PCs angeschlossen und via Pegelkonverter eine Verbindung der seriellen Datenleitungen zum OTIS 1.1 auf dem Testboard 1.0 hergestellt. Mit dem

---

<sup>1</sup>Bei LHCb heißt die Slow-Control Experimental Control System (ECS).

Oszilloskop wurde geprüft, ob die Signale auf den seriellen Datenleitungen die erwartete Amplitude hatten. Der zweite Schritt der Inbetriebnahme war die automatische Erkennung der Slave-Adresse durch das LabView-Programm (find ID). Wenn die I<sup>2</sup>C-Adressen des Chips korrekt gefunden wurde, wozu ein L0\_Electronics\_Reset am TDC nötig ist, sollten zur Vergewisserung einige Register beschrieben und zurückgelesen werden.

Beim Anschluß des I<sup>2</sup>C-Interface an die FE-Box (Kapitel 6), wurden die Adressen aller vier TDCs OTIS 1.0 korrekt gefunden. Das Programmieren der TDCs wurde durch Überprüfen der Spannungen an den DAC verifiziert, Tabelle 3.1. Während die Spannung für den DAC 0 auf OTIS 0 stark vom eingestellten Wert abweicht, produzieren die übrigen drei DACs innerhalb von  $\pm 9$  mV den eingestellten Wert.

Programmierter Wert	OTIS0		OTIS 1	
0	24	24	25	25
500	182	522	521	519
1000	340	1019	1018	1015
1500	560	1508	1509	1512

**Tabelle 3.1:** Pegel an den OTIS 1.0 DACs vs. Registerwert, alle Werte in mV.

## 3.2 Entkoppelung der I<sup>2</sup>C-Signale

Um Gleichtakteinstreuungen oder Massenschleifen auf den 5 m langen Leitungen zwischen dem I<sup>2</sup>-Master (SPECS-Slave) und der Elektronik in den Detektormodulen zu vermeiden, wurden verschiedene Möglichkeiten zur Potentialtrennung geprüft.

### 3.2.1 Entkoppelung mit Optokopplern

Die sicherste Entkoppelung von Signalen mit unterschiedlichen Potentialreferenzen stellen Optokoppler dar, welche das elektrische Signal mit der Versorgungsspannung des Signalgebers in ein optisches Signal wandeln und dieses mit einer auf Empfängerpotential arbeitenden Diode wieder empfangen. Da der I<sup>2</sup>C-Bus ein bidirektionales Datensignal besitzt, mußte dieses mit Hilfe eines integrierten Schaltkreises (P82B96) in Sende- und Empfangssignal aufgespalten werden, da die Optokoppler nur unidirektional arbeiten. Zusätzlich kam auf der Slave-Seite ein Transistor zum Einsatz, um die Datenleitung am Optokoppler für den Datenrückfluß besser zu kontrollieren, siehe Abbildung 3.1. Die Schaltung unterstützte in einem Laboraufbau das Schreiben und Lesen via I<sup>2</sup>C von einem Microcontroller auf einen Chip mit einem I<sup>2</sup>C-Register fehlerfrei. Trotz diese positiven Ergebnisses und obwohl die Schaltung bereits im HERA-B-Experiment bei hohen Teilchenflüssen erfolgreich eingesetzt worden war, überwog jedoch die Sorge, daß Optokoppler, IC oder Transistor bei der Strahlung von einigen kRad im Laufe des LHCb-Experiments zerstört werden könnten.



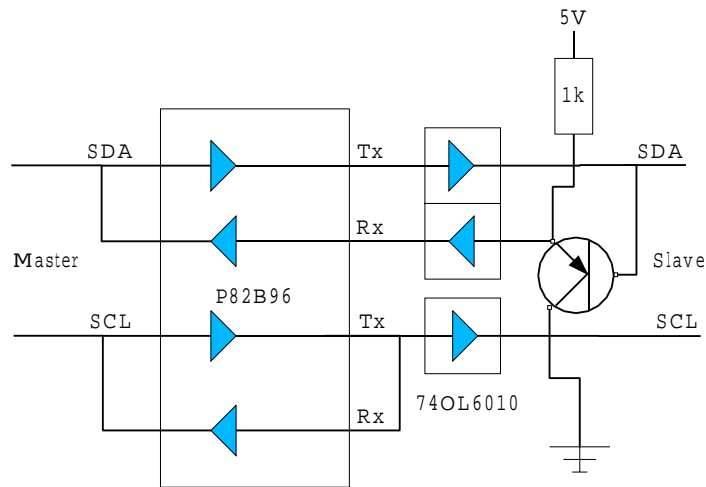


Abbildung 3.1: Galvanische Trennung mit Optokopplern für den I<sup>2</sup>C-Bus.

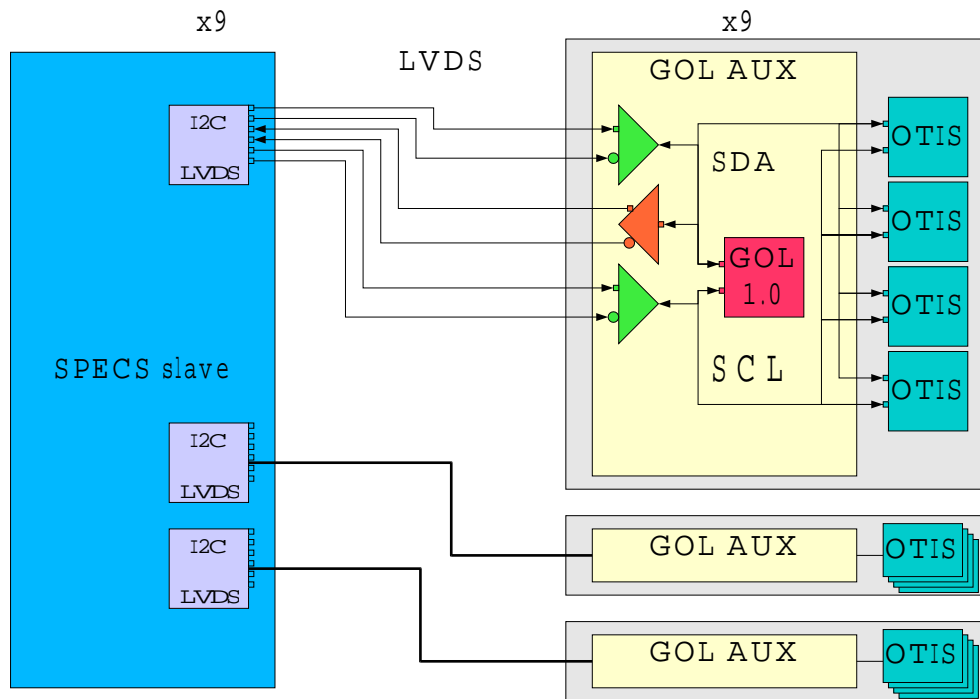
### 3.2.2 I<sup>2</sup>C-LVDS-Entkoppelung

Alternativ zu der in Abschnitt 3.2.1 erprobten völligen galvanischen Trennung mit Hilfe von Optokopplern wurde die Übertragung der I<sup>2</sup>C-Signale mit differentiellen Signalen getestet. So kann das Signal bei Potentialdifferenzen von maximal  $\pm 1\text{ V}$  zwischen dem SPECS-Slave [15] und der GOL-Aux-Boards (ab IF13-1 [24]) übertragen werden, siehe LVDS-Spezifikation [25]. Da die LVDS (Low Voltage Differential Signaling) Signale unidirektional sind, mußten die bidirektionalen I<sup>2</sup>C-Signale in Sende- und Empfangssignale aufgeteilt werden, siehe Abbildung 3.2.

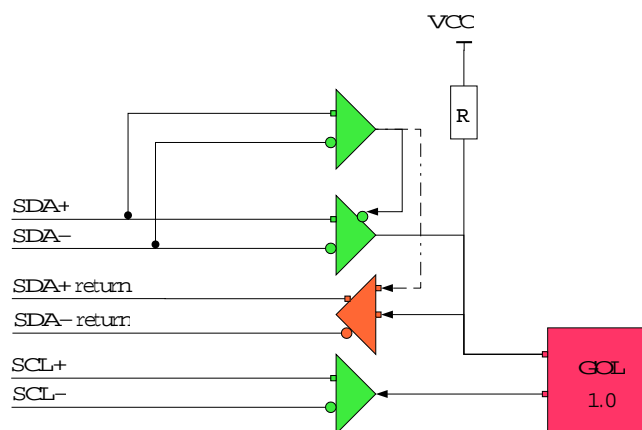
Das bedeutet es gibt sechs I<sup>2</sup>C-Leitungen pro Modul. Alle neun Module einer Viertellage des äußeren Spurkammersystems haben Punkt-zu-Punkt-Leitungen zu den I<sup>2</sup>C-LVDS-Tranceivern am SPECS-Slave (I<sup>2</sup>C-Master). Im Detektor sind die GOL-Aux-Karten durch ein 5 m langes 50-poliges SCSI-Kabel mit der Verteilerkarte verbunden, in diesem Kabel liegen auch die 6 differentiellen I<sup>2</sup>C-Leitungen.

Zusätzlich zum Trennen der Kabel mit den Sende- und Empfangssignalen ist es nötig sicherzustellen, daß der I<sup>2</sup>C-Bus immer nur vom aktiven Knoten beherrscht wird. Da der I<sup>2</sup>C-Standard vorsieht, daß der Bus im oberen Zustand ist, bis der aktive Teilnehmer das Datensignal auf Masse zieht, wird der LVDS-Empfänger für die I<sup>2</sup>C-Daten (auf der GOL-Aux-Karte) nur aktiviert, wenn das differentielle Signal im unteren Zustand ist, Abbildung 3.3. Um zu verhindern, daß das Signal vom Empfänger zum Sender zurückgeschickt wird, ist eine zweite Leitung (gestrichelt) nötig, die den Sender bei Empfang eines "low" Signals deaktiviert.

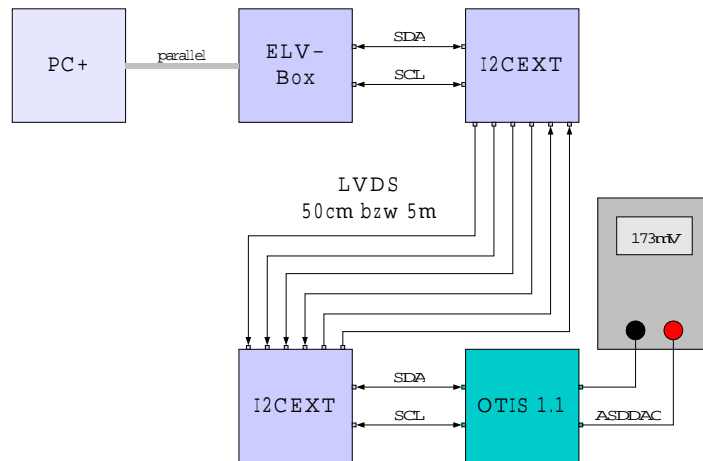
Im LHCb-Experiment sorgt der SPECS-Slave (I<sup>2</sup>C-Master) dafür, daß Sende- und Empfangssignal auf der Master-Seite getrennt sind. Das hier vorgestellte Schema wurde weitgehend übernommen, wie in den SPECS-Slave-Karten Spezifikationen [15] vorgeschlagen.



**Abbildung 3.2:** Entkopplung durch LVDS-Signalführung für den I<sup>2</sup>C-Bus. Jeweils sechs I<sup>2</sup>C-Leitungen gehen von einem I<sup>2</sup>C-Bus zu den neun angeschlossenen Modulen.



**Abbildung 3.3:** Abschalten des jeweils inaktiven I<sup>2</sup>C-Signals.

I<sup>2</sup>C-LVDS-Entkoppelungstest

**Abbildung 3.4:** Testaufbau für die Entkoppelung des I<sup>2</sup>C-Signals via LVDS.

Um Erfahrungen mit der LVDS-Entkoppelung des I<sup>2</sup>C-Busses zu sammeln, wurden Platinen “I2CEXT” mit der in Abbildung 3.2 und 3.3 gezeigten Schaltung entwickelt, siehe Anhang C. Im Labor war ein Laptop-PC mit dem OTIS-I<sup>2</sup>C-Steuerprogramm und der ELV-Box an der Druckerschnittstelle der I<sup>2</sup>C-Master, der OTIS 1.1 TDC auf der Laborplatine war der I<sup>2</sup>C-Slave, Abbildung 3.4. Sowohl auf der Master- als auch der Slave-Seite wurde je eine I2CEXT-Platine zwischen differenzielle und standard I<sup>2</sup>C-Leitungen geschaltet. Das nicht benutzte SCL\_return-Signal wurde auf der Masterseite vom SCL\_out-Signal getrennt und mit 1 k $\Omega$  auf 3.3 V gezogen. Auf beiden I2CEXT-Platinen wurde die in Abbildung 3.3 gestrichelt gezeichnete zusätzliche Leitung nachträglich eingefügt, um eine Rückkopplung des empfangenen Signals auf den Sender zu verhindern. Da der OTIS 1.1 TDC tolerant für 5 V Eingangsspannung ist, wurden die vorher genutzten Pegelkonverter ausgelötet. Mit einem Flachbandkabel von 50 cm Länge zwischen den differentiellen Sendern und Empfängern der I2CEXT-Platinen und den in Tabelle 3.2 aufgeführten Spannungen wurde auf den OTIS 1.1 geschrieben und davon gelesen.

Gerät	Spannung
ELV-Box	15 V
LVDS-Master I2CEXT	3.3 V, min. 2.50 V
LVDS-Slave I2CEXT	3.25 V, min. 2.50 V
OTIS TDC 1.1	2.3-2.5 V

**Tabelle 3.2:** Spannung an den Platinen bei der Entkoppelung der I<sup>2</sup>C-Signale mit LVDS im Labor.

Entscheidend für den Betrieb des OTIS-TDC mit I<sup>2</sup>C ist ein L0-Elektronik-Reset, damit die an den Kurzschlußbrücken anliegende I<sup>2</sup>C-Adresse aktiviert wird <sup>2</sup>. Im Betrieb wurden via I<sup>2</sup>C-Register des TDCs korrekt geschrieben und gelesen, die programmierte Spannung am ASDDAC wurde mit dem Voltmeter verifiziert, auch eine veränderte Adresse wurde korrekt übernommen.

Eine Funktionsprüfung bei verschiedenen Spannungen am I2CEXT (empfohlen sind 3.3 V) zeigte stabile Funktion bei 3 V, also der Spannung die im Experiment zur Verfügung steht, bei exakt 2.50 V funktionieren die I2CEXT-Karten noch, bei 2.495 V dagegen nicht mehr, sodaß der Betrieb an der 2.5 V-Versorgung auf dem GOL-Aux-Board als zu riskant ausschied.

Bei 5 m Flachbandkabel für die differentiellen Signale zwischen den beiden I2CEXT-Karten gab es keine Verschlechterung der Datenübertragung, die obigen Tests mit verschiedenen Registern und bei unterschiedlichen Versorgungsspannungen konnten erfolgreich wiederholt werden.

---

<sup>2</sup>Bei einem späteren Test stellte sich heraus, daß der OTIS 1.1 für den I<sup>2</sup>C-Betrieb mindestens 2.5 V Versorgungsspannung benötigt.

## Kapitel 4

# Aufbau einer Ausleseketten

### 4.1 Optische Datenübertragung: Erster Prototyp

Der erste Schritt zum Aufbau einer vollständigen Ausleseketten war eine optische Datenübertragungsstrecke, basierend auf dem Gigabit Optical Link (GOL) ASIC-Chip in der Version 0.1 [5] auf der Sendeseite und dem TLK2501 [11] auf der Empfängerseite, siehe Abbildung 4.1 und 4.2.

Die optische Übertragung wurde mit Zählerdaten getestet, die von einem programmierbaren Chip (FPGA) erzeugt wurden. Die Daten wurden von dem FPGA auf den strahlenharten GOL 0.1 Chip über 32 parallele Leitungen bei 40 MHz geschickt, dort serialisiert und mit dem 8 Bit/10 Bit-Schema <sup>1</sup> [7] kodiert. Die Daten werden seriell mit 1.6 GBit/s an einen optischen Sender <sup>2</sup> geleitet. Nach 5 m Lichtleiter werden die optischen Signale in einen optischen Empfänger gespeist und in differentielle elektrische Signale zurück gewandelt. Der TLK2501-Chip deserialisiert die Daten und dekodiert die 10-Bit-Worte wieder zu 8-Bit-Worten, die Daten liegen danach mit 16 Bit parallel bei 80 MHz an den Ausgängen an, also müssen sie nochmals deserialisiert werden, um das Datenformat am Eingang des GOL 0.1 Chips zurückzugewinnen. Springt während der optischen Übertragung ein einzelnes Bit (pro Wort), erkennt dies der Dekodierer (TLK2501) und gibt an einem separaten Ausgang ein Fehlerbit (RxEr) aus. Die Rate dieser Fehlerbits wurde mit dem gleichen FPGA-Chip gemessen, der auch die Zählerdaten erzeugt hat.

Die Qualität der Datenübertragung kann, einerseits wie oben beschrieben an Hand der Fehlerhäufigkeit, andererseits durch die Untersuchung der Signalform charakterisiert werden. Bei der Inbetriebnahme des Aufbaus wurde zunächst ein 16-Bit-Zähler auf dem FPGA programmiert, dessen Ausgabe auf eine Reihe Leuchtdioden gegeben und mit einem Oszilloskop überprüft wurde.

Danach wurden sogenannte Augendiagramme mit einem Oszilloskop Tektronix TDS 782A und einem aktiven Tastkopf (PB6245) mit 1.5 GHz Bandbreite aufgenommen. Bei

---

<sup>1</sup>Das 8/10-Bit-Encoding nach dem IEEE Std 802.3 1998 Edition übersetzt jedes 8-Bit-Wort in ein 10-Bit-Wort mit (fast) gleich vielen Nullen und Einsen.

<sup>2</sup>Der optische Sender und der optische Empfänger sind STRATOS MLC-25-8-1-TL Transceiver, mit PECL I/O, und arbeiten bei 850 nm Wellenlänge mit Multimode-Glasfaser von 50 oder 62.5  $\mu\text{m}$  innerem Durchmesser.

## Übersicht GOL 0.1 Aufbau

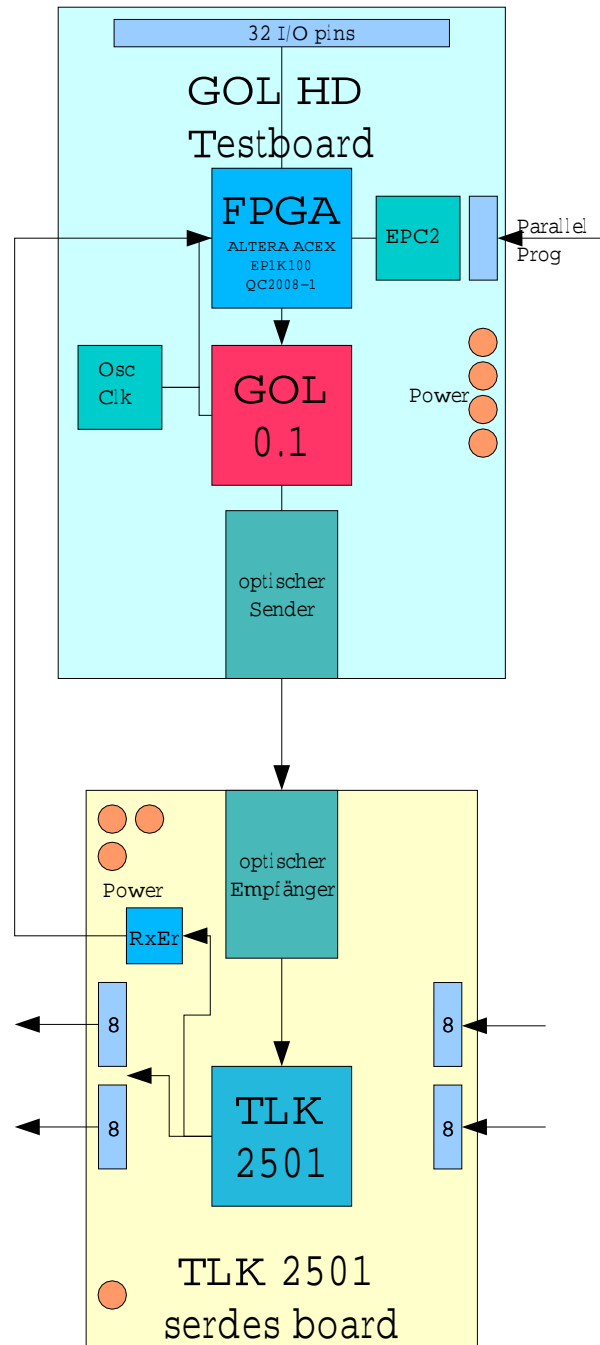
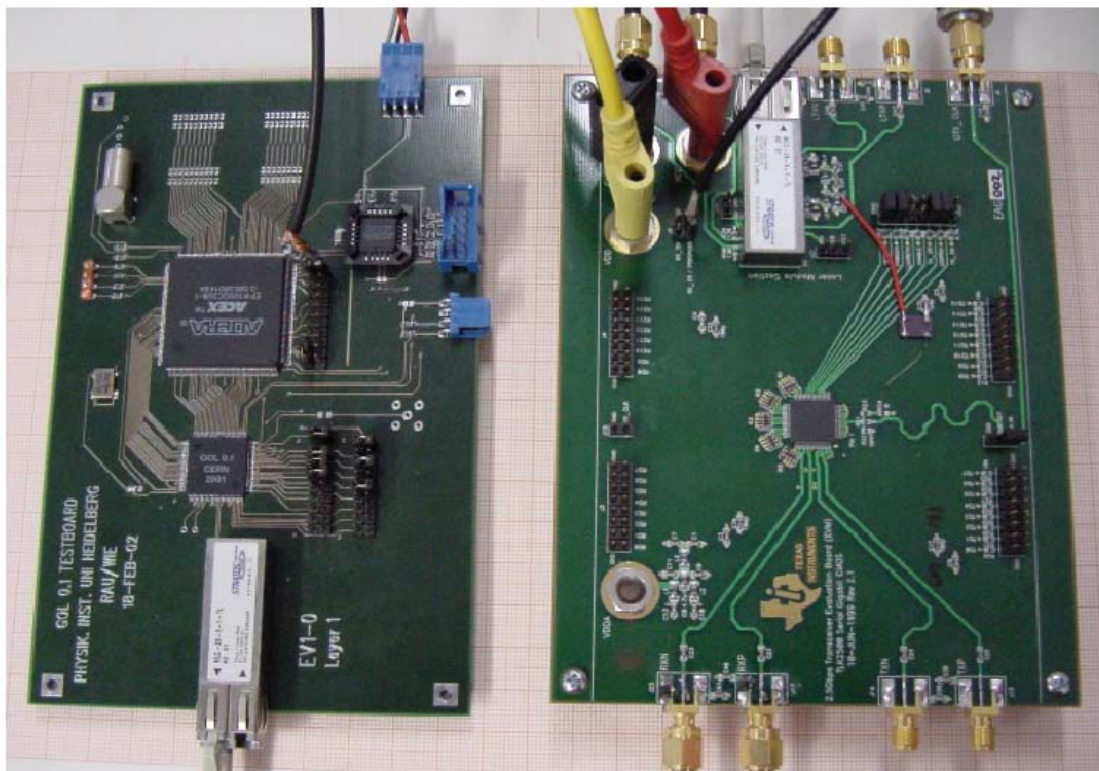
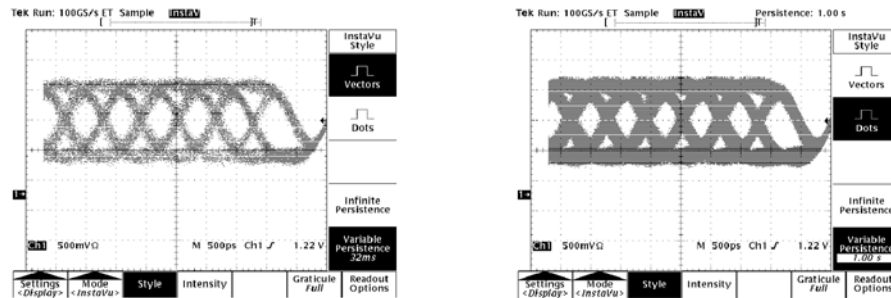


Abbildung 4.1: Optische Übertragungsstrecke mit dem GOL 0.1 Prototyp



**Abbildung 4.2:** Optische Übertragungsstrecke mit dem GOL 0.1 Prototyp, der optische Sender- und Empfänger sind am weißen Typenschild zu erkennen.

einem Augendiagramm werden viele ( $>100$ ) Oszilloskopbilder des Datenstromes (digital) übereinander gelegt, der Übergang auf den getriggert wird bleibt dabei fest. Die benachbarten Null-Eins-Übergänge formen dann die sogenannten Augen, siehe Abbildung 4.3.



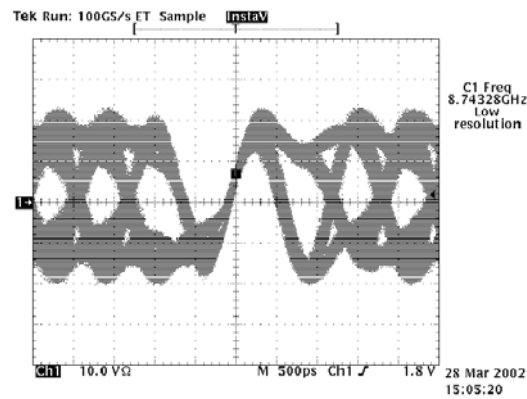
**Abbildung 4.3:** Augendiagramm GOL 0.1, aufgenommen am seriellen Ausgang zu optischen Sender. **Linke Seite:** Daten über 32 ms gemittelt. **Rechte Seite:** Daten über 1 s gemittelt.

Die Größe der Augen ist ein Maß für die Unterscheidbarkeit von Null und Eins, ist das Auge zu klein kommt es zu Datenmisinterpretationen. Dies ist bei langsamen Flanken oder großen Schwankungen des Taktes der Fall. Das in Abbildung 4.3 links gezeigte Augendiagramm wurde am seriellen Ausgang des GOL 0.1 Chips aufgenommen (serial\_line) mit einer Mittelung der Daten über 32 ms bei 100 GS/s, Abbildung 4.3 rechts zeigt das gleiche für Mittelung über 1 s. Man erkennt in Abb.4.3 links eine Augenbreite von 400 ps, in Abb.4.3 rechts eine Augenbreite von 350 ps (mit jeweils 20 ps Ablesefehler), bei einer Taktweite von 625 ps. Die Beschränkung der Bandbreite durch den aktiven Tastkopf bewirkt eine Abflachung der Flanken bei dieser Messung.

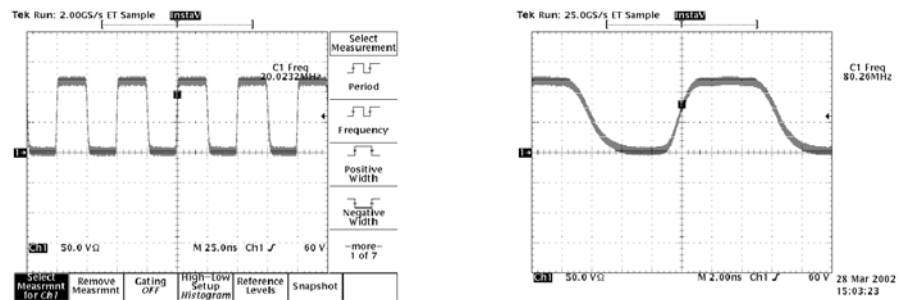
Abbildung 4.4 zeigt ein Augendiagramm für die seriellen Daten am (elektrischen) Ausgang des optischen Empfängers, auch hier sind die Augen  $400 \pm 20$  ps geöffnet. Die parallelen Daten am Ausgang des TLK2501 sind in Abbildung 4.5 links dargestellt. Für diese Messung waren die oberen und die unteren 16 Bit am GOL 0.1 Eingang identische Zählerdaten. Man erkennt, daß die Daten fehlerfrei übertragen wurden. Abbildung 4.5 rechts zeigt die Einhüllende für den vom TLK2501 aus den seriellen Daten gewonnenen Takt von ca. 80 MHz. Fehlerhafte Übertragung würde zu einem Verlust der Phasenbeziehung und Störungen im zurückgewonnenen Takt führen, in Abb. 4.5 rechts treten solche Störungen nicht in Erscheinung.

Abschließend wurde ein Dauerbetriebstest durchgeführt, bei dem die Fehlerrate am TLK2501-Chip als Maß der Übertragungsqualität genommen wurde, dazu wurde das Auftreten des oben beschriebene Fehlersignales RxEr am TLK2501-Empfänger gezählt. Als Testdaten wurden wieder Zählerdaten mit 40 MHz vom FPGA generiert. Nach Übertragung via GOL 0.1-Chip, optischem Sender, 5 m 50/125  $\mu\text{m}$  Glasfaser, optischem Empfänger und TLK2501-Chip wurde kein Fehler in 3,5 h nachgewiesen, was einer Fehlerrate von  $<2 \cdot 10^{13}$  entspricht. In Tabelle 4.1 sind nochmals die verwendeten Bauteile der Übertragungstrecke zusammengestellt.





**Abbildung 4.4:** Augendiagramm optischer Empfänger, aufgenommen am SMA-Stecker zum TLK2501.



**Abbildung 4.5:**

**Linke Seite:** Zählerdaten 20 MHz nach optischer Übertragung an parallelen Ausgang des TLK2501.

**Rechte Seite:** Takt 80 MHz nach optischer Übertragung aus Taktrückgewinnung des TLK2501.

Funktion	Bezeichnung	Bezugsquelle	Spezifikation
Serialisierer	GOL 0.1	CERN	Gigabit Ethernet Transmitter, 32 Bit @ 40 MHz auf 1.6 GBit/s seriell, 2.5 V VCC
Deserialisierer	TLK2501	Texas Instruments	Gigabit Ethernet Transceiver, 1.5 bis 2.5 GBit/s seriell auf 16 Bit bei 75 bis 125 MHz SERDES Evaluation Modul, 2.5 V VCC
opt. Sender	MLC-25-8-1- TL	STRATOS Lightwave	850 nm Wellenlänge Multimode-Glasfaser 50/125 oder 62.5/125 $\mu\text{m}$ , PECL I/O, 3.3 V VCC
opt. Empfänger	MLC-25-8-1- TL	STRATOS Lightwave	850 nm Wellenlänge Multimode-Glasfaser 50/125 oder 62.5/125 $\mu\text{m}$ , PECL I/O, 3.3 V VCC
Glasfaser	7006-2688-15	KRONE	Multimode-Glasfaser Gi, 50/125 $\mu\text{m}$ , PC-MM-Schliff, LC-Stecker beidseitig, Kabel 1.8 mm, 5 m
Quarz	40.0 MHz QXO-71B	Farnell	40.0 MHz-Oszillator $\pm 50$ ppm Stabilität bei -10 bis 70°C Tri-state HCMOS (3.3 V)
Signalerzeuger	ACEX EP1K100- 208-1	ALTERA	147 I/Os, bis >100 MHz-Takt, ca. 5000 Logische Elemente, 6 kB RAM, 2.5 V VCC

**Tabelle 4.1:** Komponentenliste für den GOL 0.1 Testaufbau.

## 4.2 Optische Datenübertragung: Zweiter Prototyp

Im Vergleich zum in 4.1 beschriebenen Aufbau wurde im zweiten Schritt eine neue Version des GOL-Chips eingesetzt, GOL 1.0 [6], der in der Lage ist, eine strahlenharte VCSEL-Diode direkt zu treiben. Außerdem wurde ein FPGA-Programm geschrieben, das die gesendeten und die nach der Teststrecke wieder empfangenen Daten miteinander vergleicht, also ein "Bit error tester". Abbildung 4.6 zeigt ein Blockschaltbild des Aufbaus, ein Photo des Aufbaus zeigt Abb. 4.7.

Der Aufbau besteht aus

- einem GOL 1.0 Serialisierer (1.6 GBit/s),
- einem TLK2501-Deserialisierer,
- einem ACEX-FPGA zur Datenerzeugung und Fehlerüberprüfung,
- je einem 80 MHz-Oszillator auf dem TLK2501-EVO-PCB und einem, 40 MHz-Oszillator für GOL 1.0 und FPGA.

In Tabelle 4.2 sind die Komponenten des Aufbaus zusammengefaßt.

Im ACEX-FPGA werden Zählerdaten erzeugt, die mit 32 Bit bei 40 MHz an die Eingänge des GOL 1.0 angelegt werden. Hier werden die Daten serialisiert und im Ethernet-Encoding (8/10-Bit) [7] kodiert. Die seriellen Daten werden vom GOL 1.0 bei 1.6 GHz, also 4·10 Bit @ 40 MHz, 1,28 GBit/s Nutzlast, an eine strahlenharte VCSEL-Diode oder einen optischen Transceiver weitergeleitet. Dort wird das elektrische Signal in ein optisches Signal (850 nm) umgewandelt und über 5 m Lichtleiter an einen optischen Transceiver geleitet. Das elektrische Ausgangssignal des empfangenden opt. Transceivers deserialisiert ein TLK2501-Chip und überprüft ob Ethernet konforme Daten anliegen. Entspricht das Datum nicht einem Byte aus dem 8/10-Bit-Encoding, wird ein Fehler am Rx\_Er-Ausgang ausgegeben. Die deserialisierten Daten liegen parallel an zwei 8-Bit-Ausgängen an, also mit 16 Bit bei 80 MHz. Für diesen Test entsprachen sich die unteren 16 Bit und die oberen 16 Bit des 32-Bit-Eingangssignals am GOL 1.0 Chip, so daß am parallelen Ausgang des TLK2501 effektiv nur 16 Bit bei 40 MHz anlagen. Die unteren 8 Bit wurden per Flachbandkabel auf die Sendekarte zurückgeführt. Die zurückgeführten Daten wurden mit den entsprechenden gesendeten Daten synchronisiert und verglichen. Für den Vergleich der Daten vor und nach der optischen Übertragung mußten die im FPGA erzeugten Zählerdaten 125 ns zwischengespeichert werden, was der Latenz des Systems entspricht. Bei einer Diskrepanz zwischen gesendeten und empfangenen Daten wurde ein Fehlerbit generiert und ein Zähler inkrementiert. Auch die am TLK2501 beim 8/10-Bitdekodieren erkannten Fehler werden auf den FPGA zurückgeführt und gezählt. Die untersten Bit beider Zähler wurden an LEDs geführt, sodaß Fehler optisch erkennbar waren.

Als erstes wurde eine Überprüfung der Fehlerrate anhand des Rx\_Er-<sup>3</sup> Signals durchgeführt: Ein Fehler wurde beim Einschalten der Spannung registriert, danach gab es innerhalb einer Stunde keine weiteren Fehler.

---

<sup>3</sup>Das Rx\_Er Signal wird im 8/10-Bit Protokoll bei Ein-Bit Fehlern automatisch vom Empfänger generiert.

## Übersicht GOL 1.0 Aufbau

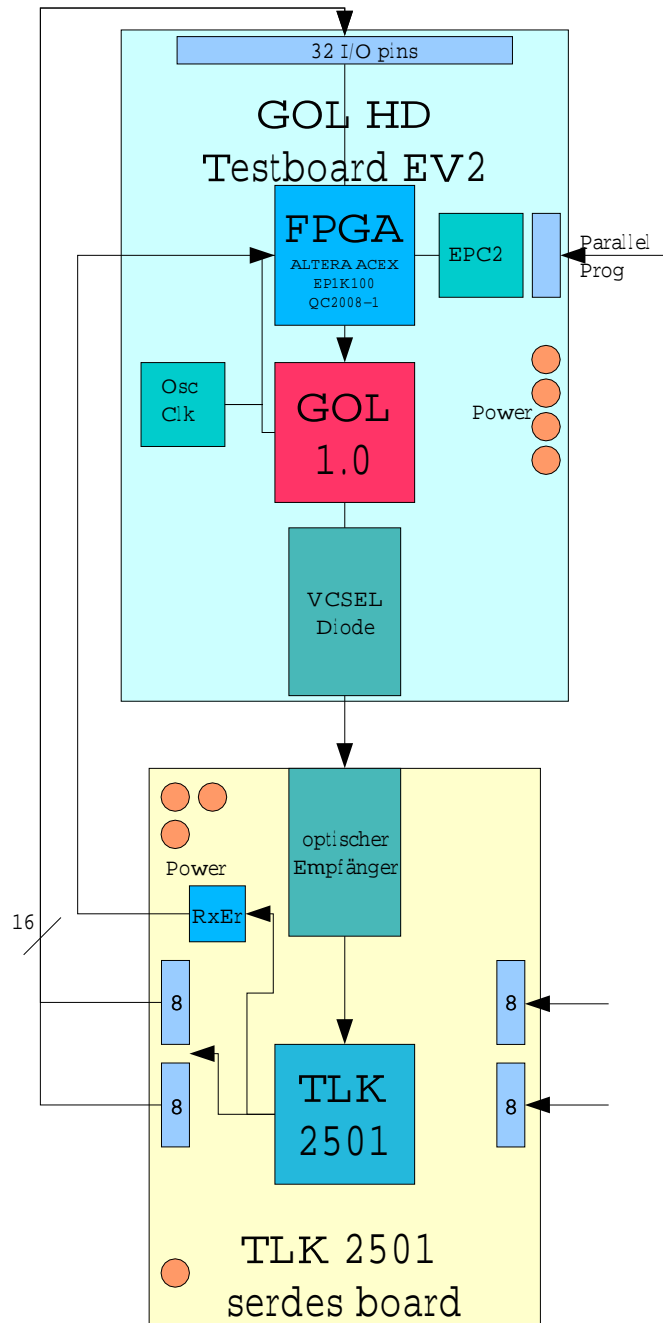


Abbildung 4.6: Optische Übertragungsstrecke mit dem GOL 1.0.

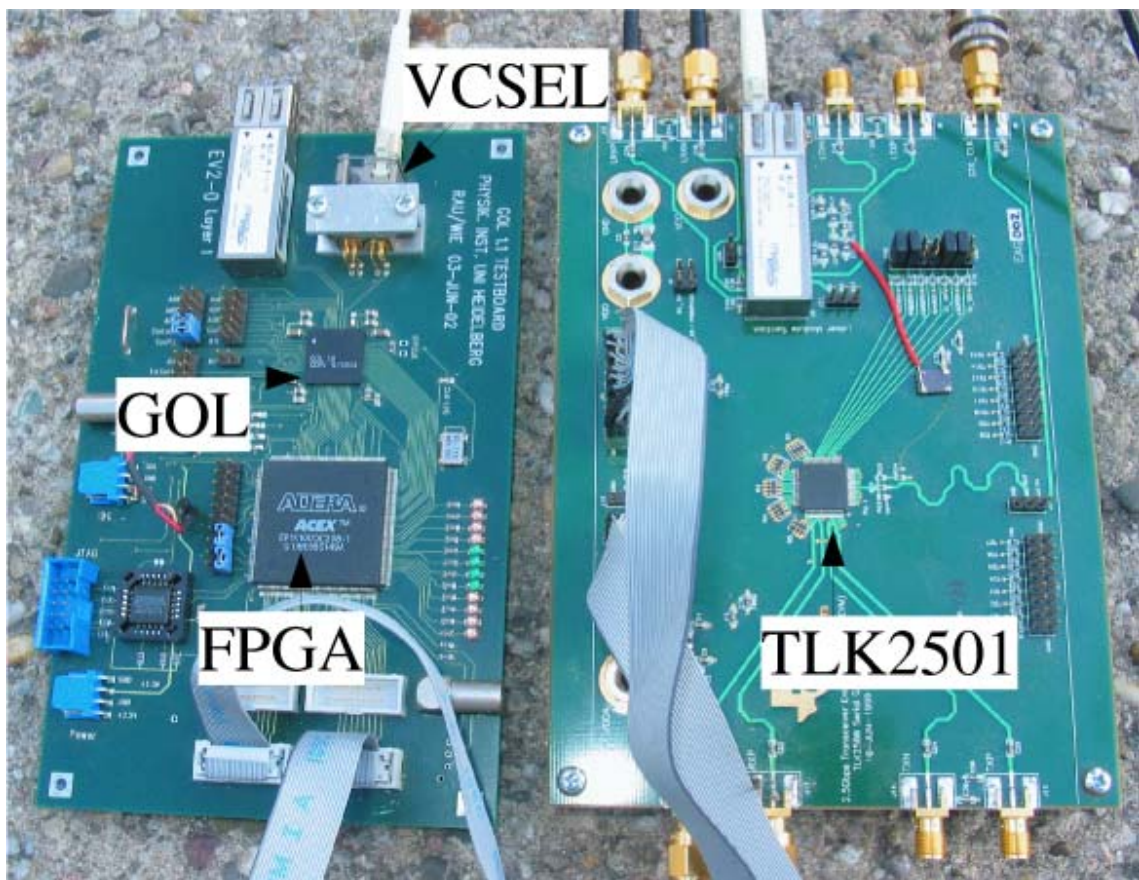


Abbildung 4.7: Optische Übertragungsstrecke mit dem GOL 1.0.

Funktion	Bezeichnung	Bezugsquelle	Spezifikation
Serialisierer	GOL 1.0	CERN	Gigabit Ethernet Transmitter, 32 Bit @ 40 MHz auf 1.6 GBit/s seriell, 2.5 V VCC
Deserialisierer	TLK2501	Texas Instruments	Gigabit Ethernet Transceiver, 1.5 bis 2.5 GBit/s seriell auf 16 Bit bei 75 bis 125 MHz SERDES Evaluation Modul, 2.5 V VCC
opt. Sender	HFT2291-541E No.14949T-6	Honeywell	850 nm Wellenlänge Multimode-Glasfaser 50/125 $\mu\text{m}$ , typ. 2 mA $I_{TH}$ , 500 $\mu\text{W}$ 3.3 V VCC
opt. Empfänger	MLC-25-8-1- TL	STRATOS Lightwave	850 nm Wellenlänge Multimode-Glasfaser 50/125 oder 62.5/125 $\mu\text{m}$ , PECL I/O, 3.3 V VCC
Glasfaser	7006-2688-15	KRONE	Multimode-Glasfaser Gi, 50/125 $\mu\text{m}$ , PC-MM-Schliff, LC-Stecker beidseitig, Kabel 1.8 mm, 5 m
Quarz A	40.0 MHz QXO-71B	Farnell	40.0 MHz-Oszillator $\pm 50$ ppm Stabilität bei -10 bis 70°C Tri-state HCMOS (3.3 V)
Quarz B	80.0 MHz QXO-71B	Farnell	80.0 MHz-Oszillator $\pm 50$ ppm Stabilität bei -10 bis 70°C Tri-state HCMOS (3.3 V)
Signalerzeuger	ACEX EP1K100- 208-1	ALTERA	147 I/Os, bis >100 MHz Takt, ca. 5000 Logische Elemente, 6 kB RAM, 2.5 V VCC

**Tabelle 4.2:** Komponentenliste für den GOL 1.0 Testaufbau.

### Laserbiasströme

Für den Biasstrom am Laserdiodenausgang des GOL 1.0 sind verschiedene Werte einstellbar, wobei die Einstellung über Chiipeingänge, I<sup>2</sup>C oder JTAG erfolgen kann. Die günstigste Einstellung bei direkter Ansteuerung der VCSEL-Diode HFT2291-541E ist 5,8 mA, vgl. Abschnitt 5.10.

Abbildung 4.8 zeigt die Augendiagramme für die seriellen Daten am Eingang des Deserialisierers, die Augenbreite von  $450 \pm 20$  ps deutet auf gute Empfangsbedingungen am TLK-EVO-Board hin. Abb. 4.9, 4.10 zeigen das Augendiagramm am elektrischen Eingang der VCSEL-Diode und die rückgeführten Zählerdaten im Vergleich zu den ursprünglichen Zählerdaten. Die Augendiagramme zeigen insbesondere bei der Messung an der VCSEL-Diode klare Null-Eins-Übergänge mit  $350 \pm 20$  ps Augenbreite. Zwischen gesendeten und empfangen 50 MHz-Daten ist kein Unterschied erkennbar.

Abbildung 4.11 zeigen die Augendiagramme der Daten nach der optischen Übertragungstrecke an den seriellen Eingängen für eine Biasstrom von 16.2 mA, auch hier sind  $450 \pm 20$  ps Augenbreite nachweisbar, das elektrische Signal am seriellen Eingang ist also nicht meßbar schlechter als für 5.8 mA Biasstrom. Abb. 4.12 und Abb. 4.13 zeigen das Augendiagramm an der VCSEL-Diode für 16.2 mA Biasstrom und die 50 MHz-Zählerdaten vor und nach der Übertragung. Die Augenöffnung beträgt an der VCSEL-Diode nur noch  $200 \pm 50$  ps, auch die Amplitude ist von  $220 \pm 20$  mV bei  $I_{BIAS}=5.8$  mA auf  $150 \pm 20$  mV gesunken. Die Zählerdaten werden nicht mehr korrekt übertragen.

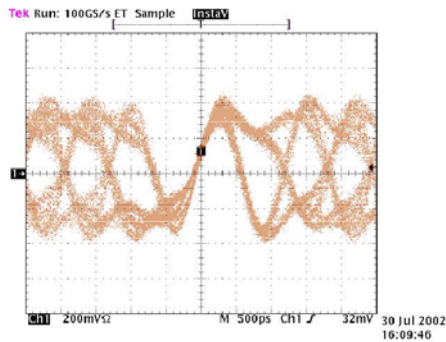
Abbildungen 4.14 und 4.15 zeigen Augendiagramme an der VCSEL-Diode für  $I_{BIAS} = 5,8$  mA und 7,4 mA, Abb. 4.16 und 4.17 zeigen das gleiche bei  $I_{BIAS}=11,4$  mA und 16,2 mA. Wie bereits oben gesehen erhält man für  $I_{BIAS}=5,8$  mA das deutlichste Signal ( $350 \pm 20$  ps Auge), für  $I_{BIAS}=7,4$  mA und 16.2 mA ist das Auge mit  $200 \pm 50$  ps schlecht und bei 11,4 mA verschwindet die Augenöffnung ganz.

### Einfluß der Datensequenz auf die Augendiagramme

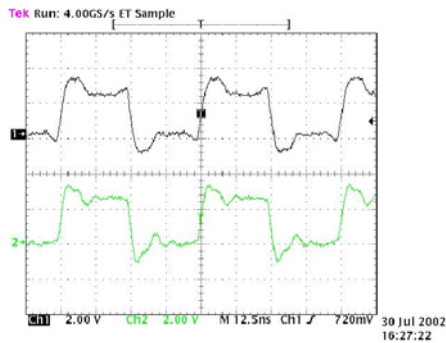
In Abbildungen 4.18 und 4.19 sind zum Vergleich Augendiagramme aufgezeichnet, die bei der Übertragung von ausschließlich Nullen entstanden. Die Datenübergänge sind deutlich klarer zu erkennen als in Abb. 4.8 bzw. 4.9. Die Augenöffnungen sind am TLK-Eingang  $550 \pm 20$  ps statt  $450 \pm 20$  ps mit Zählerdaten, an der VCSEL-Diode sind  $450 \pm 20$  ps statt  $350 \pm 20$  ps Öffnung erkennbar. Dies zeigt die Wichtigkeit möglichst praxisnaher Daten bei Tests der optischen Übertragungstrecke.

### Langzeittest

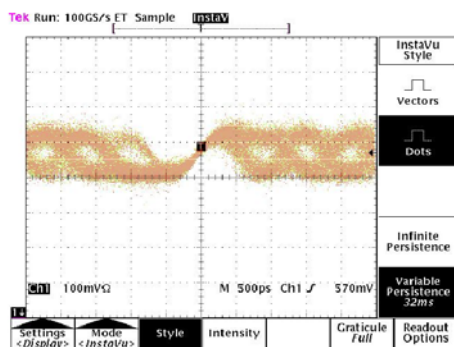
In einem Dauertest von 17 Tagen wurde die optische Übertragungstrecke mit Zählerdaten aus dem FPGA getestet, die (wie oben beschrieben) nach GOL 1.0, VCSEL, 5 m Lichtleiter und TLK2501 wieder zum Vergleich in den FPGA zurückgeführt wurden, siehe Abb. 4.6. Es wurden im gesamten Zeitraum von 17 Tagen 8 Fehler detektiert, was einer Fehlerrate von  $4.26 \cdot 10^{-15}$  entspricht. Da diese Datenfehler im Fall des äußeren Spurrückkopplungssystems in der Regel nur zu falschen Spurpunkten führt, ist eine so niedrige Fehlerrate selbst bei 432 Fasern unproblematisch.



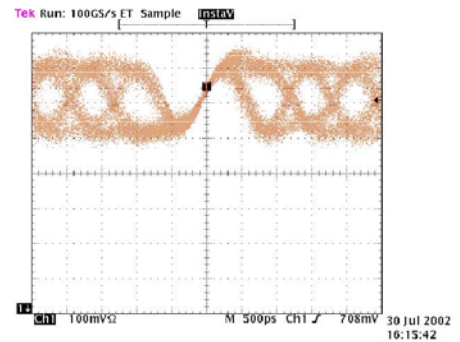
**Abbildung 4.8:**  
Augendiagramm  
RXP-Eingang TLK2501-EVO  
bei  $I_{BIAS}=5.8$  mA.



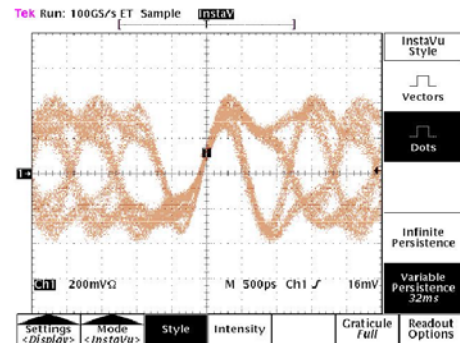
**Abbildung 4.10:**  
Rückgeführte Daten  
vs. Originaldaten  
bei  $I_{BIAS}=5.8$  mA.



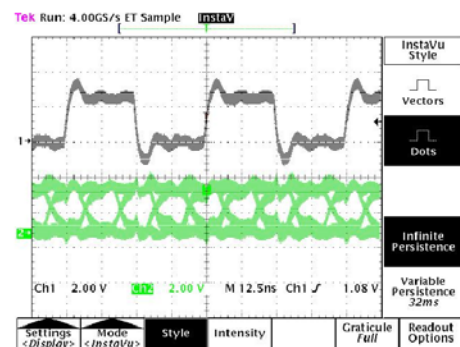
**Abbildung 4.12:**  
Augendiagramm  
VCSEL-Diode (ele.)  
bei  $I_{BIAS}=16,2$  mA.



**Abbildung 4.9:**  
Augendiagramm  
VCSEL-Diode (ele.)  
bei  $I_{BIAS}=5.8$  mA.



**Abbildung 4.11:**  
Augendiagramm  
RXP-Eingang TLK2501-EVO  
bei  $I_{BIAS}=16,2$  mA.



**Abbildung 4.13:**  
Augendiagramm  
rückgeführte Daten  
bei  $I_{BIAS}=16,2$  mA.



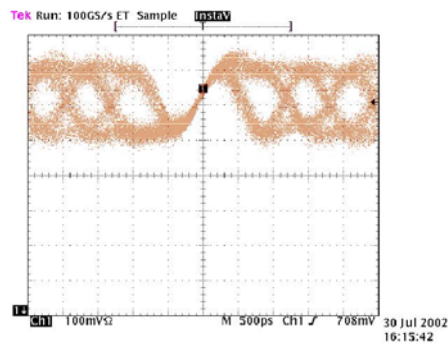


Abbildung 4.14:  
Augendiagramm  
VCSEL-Diode (ele.)  
 $I_{BIAS}=5.8$  mA.

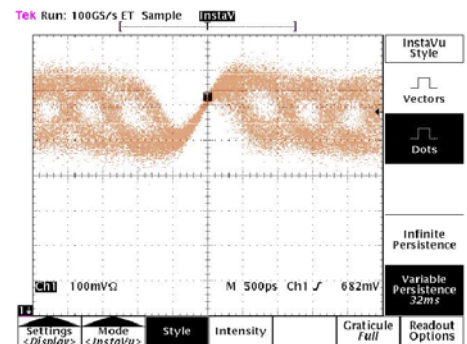


Abbildung 4.15:  
Augendiagramm  
VCSEL-Diode (ele.)  
 $I_{BIAS}=7.4$  mA.

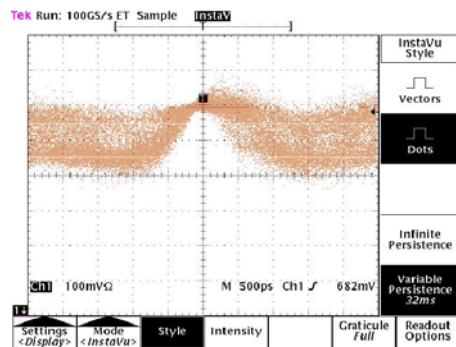


Abbildung 4.16:  
Augendiagramm  
VCSEL-Diode (ele.)  
 $I_{BIAS}=11.4$  mA.

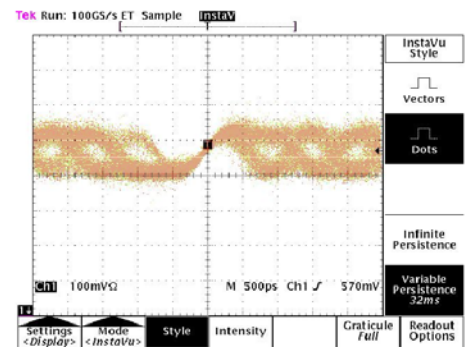


Abbildung 4.17:  
Augendiagramm  
VCSEL-Diode (ele.)  
 $I_{BIAS}=16.2$  mA.

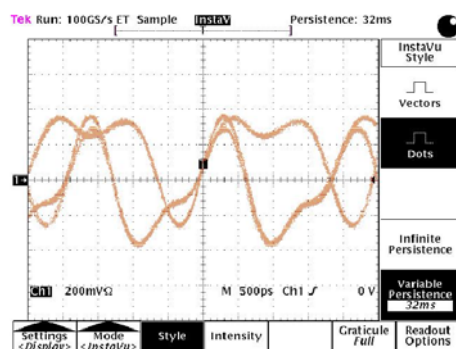


Abbildung 4.18:  
Augendiagramm  
RXN-Eingang TLK2501-EVO  
 $I_{BIAS}=5.8$  mA,  
Daten sind immer NULL.

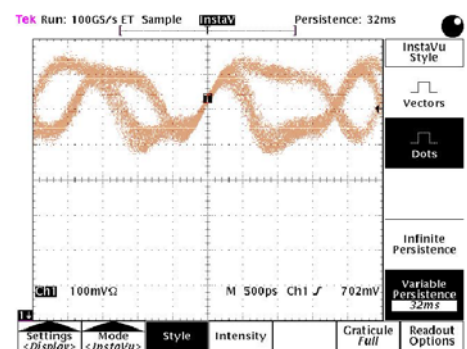


Abbildung 4.19:  
Augendiagramm  
VCSEL-Diode (ele.)  
 $I_{BIAS}=5.8$  mA,  
Daten sind immer NULL.

Die Stromaufnahme am GOL 1.0 Aufbau (Abb. 4.6) wurde mit Zählerdaten gemessen, Tabelle 4.3 faßt die Werte zusammen.

Komponenten	Spannung	Strom	Leistung	Bemerkung
GOL 1.0 + FPGA	2.5 V	250 mA	625 mW	
STRATOS opt. Transceiver	3.3 V	99 mA	325 mW	ohne Daten
		188 mA	620 mW	mit Daten
TLK2501	2.5 V	235 mA	588 mW	

**Tabelle 4.3:** Stromaufnahme GOL 1.0 Testaufbau.

### 4.3 Datenübertragung mit TTC, GOL 1.0 und OTIS 1.0

Für den Aufbau der Ausleseelektronik des äußeren Spurkammersystems war es wichtig, daß die Schnittstellen zwischen den Komponenten frühzeitig definiert und getestet wurden. Während die optischen Übertragungstrecken in Abschnitt 4.1 und 4.2 mit Zählerdaten aus einem FPGA betrieben wurden, wurde deshalb für den hier beschriebenen Aufbau der OTIS-TDC 1.0 [3] als Datenquelle genutzt.

#### Das TFC-System

Zur Erzeugung von Systemtakt, Resetsignalen und Triggerentscheidungen wurde eine Laborversion des TFC- (Timing and Fast Control) Systems [13] aufgebaut. Abbildung 4.20 zeigt ein Blockschaltbild des Aufbaus:

Das TFC-Laborsystem zur Verbreitung des Taktes, des L0-Triggersignals und des Bunch-Counter-Reset-Signals besteht aus folgenden Komponenten:

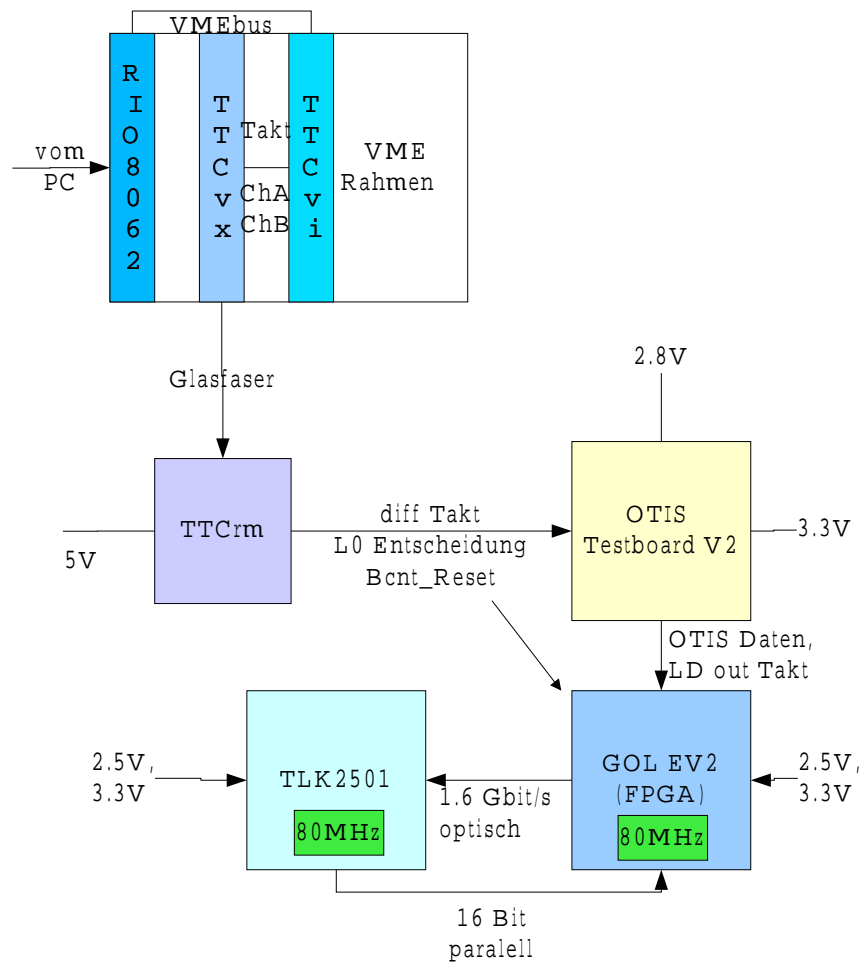
- einem externen Linux-Rechner als Benutzerinterface,
- einem VME-Rechner (RIO8062 [26]) zur Generation von VME-Befehlen,
- einem VME-Modul zur Erzeugung von TTC-Befehlen (TTCvi [27]),
- einem VME-Modul zur Wandlung dieser Befehle in serielle optische Signale und als Taktquelle (TTCvx [28]),
- einem strahlenharten TTCrx-Chip [14] auf einer TTCrm-Tochterkarte, um die TTC-Befehle zu dekodieren.

Der externe Rechner (unter Linux) und der VME-Rechner dienen als Benutzerinterface zum TTCvi-Modul. Ein Programm zur Ansteuerung des TTCvi-Moduls über eine Kontextmenü Benutzeroberfläche wurde geschrieben [29]. Mit diesem Programm, das auf dem VME-Rechner läuft, ist es möglich fast alle Funktionen der TTCvi-Karte zu nutzen. Die wichtigsten Funktionen sind hier die Wahl der Zufalls-Triggerrate und das Erzeugen von Reset Signalen.

Die TTCvi-Karte setzt die VME-Befehle um und generiert TTC-Signale an zwei Ausgängen. Kanal A dient der Übertragung des L0-Triggers/Taktes, mit Kanal B werden alle anderen Steuersignale wie Resets, synchrone und asynchrone (lange) Befehle übertragen.

Die Daten aus Kanal A und B werden im TTCvx-Modul kodiert serialisiert und optisch ausgegeben. Eine PLL erzeugt das zur Serialisierung nötige vielfache des Taktes, die PLL-Grundfrequenz wird an die TTCvi-Karte ausgegeben.

Die optischen Signale wurden über 50 m Faser an die TTCrm-Karte geleitet, und dort von einer Agilent Photodiode empfangen. Die Daten werden im strahlenharten TTCrx dekodiert und gegebenenfalls phasenkorregiert. Der TTCrx-Chip hat u.a. Ausgänge für Takt und phasenkorregierten Takt, L0-Trigger, Event-Counter-Reset, Bunch-Counter-Reset. Diese Signale werden nicht differentiell ausgegeben. Da der OTIS-TDC differentiell



**Abbildung 4.20:** Blockschaltbild der Ausleseketten mit TTCrx-Chip, OTIS-TDC, FPGA und GOL 1.0 Chip.

Signal für Takt, Bunch-Counter-Reset und L0-Trigger benötigt, wurden diese Signale auf einer Adapterkarte in differentielle Signale umgesetzt.

Im späteren Experiment werden die Daten für das TFC-System von einem Readoutsupervisor [13] koordiniert und über TTCtx-Module optisch verschickt. Auf der Empfängerseite werden die TTCrx-Chips auch in LHCb zur Datendekodierung benutzt.

### TDC und Datenübertragung

Neben dem TFC-Laborsystem bestand der Aufbau aus einem OTIS 1.0 TDC, dessen Daten über die GOL 1.0, VCSEL-Diode und TLK2501-Deserialisierer an einen FPGA weitergeleitet wurden.

Der OTIS-TDC schickt bei einer positiven L0-Entscheidung 32 Header-Bits und 256 Bits Zeitinformation über einen 8-Bit-Datenbus bei 40 MHz an den GOL-Chip. Die Daten wurden mit dem GOL 1.0 8/10-Bit-kodiert, serialisiert und über eine strahlenharte VCSEL-Diode verschickt. Nach 5 m Lichtleiter wurden die Daten auf dem TLK2501-SERDES-PCB dekodiert und mit 80 MHz parallel an einen FPGA geleitet. Im FPGA wurden die Daten synchronisiert und der Header hinsichtlich OTIS-ID und Bx-Zahl überprüft, diese Aufgabe übernehmen im Experiment die Preprocessor-FPGAs auf den TELL1-Karten [8].

In Tabelle 4.4 sind alle Komponenten zusammengefasst.

#### 4.3.1 Taktverteilung über den TTCrx

Zunächst wurden nur der im TTCvx-Modul erzeugte Takt über TTCvi, TTCvx, 50 m optische Faser zum TTCrx geleitet. Es wurde eine ältere Version des TTCrx <sup>4</sup> und eine aktuelle Version TTCrx3.1 <sup>5</sup> verglichen. Zum Vergleich der Phasenstabilität (Jitter) wurde der Takt direkt am TTCvx-Modul mit einem 50 Ohm-Kabel abgegriffen (Referenz), bzw. mit einem aktiven 1.5 GHz-Tastkopf am TTCrx abgegriffen. Die Signale wurden mit einem digitalen Oszilloskop (TDS 782A) aufgenommen. Durch Übereinanderlegen von Messungen (vgl. Abschnitt 4.2) sind Frequenzschwankungen und zeitliche Änderungen der Signalform erkennbar.

Die folgenden Messungen am Taktsignal wurden aufgenommen:

- TTCrx (alt), keine Einhüllung, Abb. 4.21,
- TTCrx 3.1, keine Einhüllung, Abb. 4.22,
- TTCrx alt mit Einhüllung über 10 s, Abb. 4.23 links,
- TTCrx 3.1 mit Einhüllung über 10 s, Abb. 4.24 rechts,
- TTCrx alt mit Einhüllung über 10 s, 1 ns pro Kästchen, Abb. 4.25,
- TTCrx 3.1 mit Einhüllung über 10 s, 1 ns pro Kästchen, Abb. 4.26,

---

<sup>4</sup>ECP680-1102-610B Karte

<sup>5</sup>ECP680-1102-630C Karte

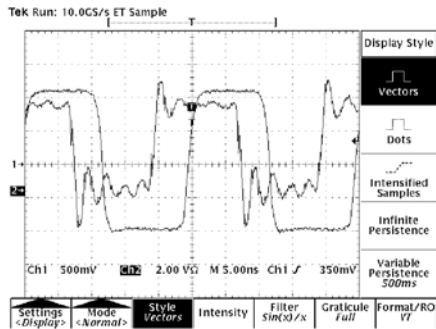
Funktion	Bezeichnung	Bezugsquelle	Spezifikation
<b>Timing and Fast Control</b>			
Server-PC für VME-CPU	Linux-PC	?	Pentium (III) PC
VME-CPU	RIO2 8062	CES (alt)	PowerPC als VME-controller
VME-TTC-Interface	TTCvi	CERN EP	VME-Karte zur Erzeugung von TFC-Daten (Zufallstrigger etc.) ECL- bzw. NIM- Ein- Ausgängen
TFC-Multiplexer etc.	TTCvx	CERN EP	VME-Karte zur Erzeugung des Taktes und des optischen Ausgangssignals
Optische Faser für TFC	?	suner fibreoptics	50/125 $\mu\text{m}$ , ST-Stecker
TFC-Empfänger	TTCrx 3.1	CERN EP	Ausgänge für Takt, Trigger, BCnt-Reset etc. LVTTTL (I/O Zelle OB33)
Tochterkarte mit TTCrx	TTCrm	CERN EP	Mezzanine-Karte mit TTCrx, XC1736D PROM, Agilent HFBR-2316T Photodiode und 2 50-fach-Steckern
Adapterkarte für TTCrm	-	Eigenentwicklung	Stromzufuhr 5 V, LVDS-Treiber DS90CO31TM für Takt, Trigger, Bcnt_Reset
<b>TDC und Datenübertragung</b>			
TDC	OTIS 1.0	Physikalisches Institut / ASIC-Labor	Prototyp mit allen Funktionen, LVDS-Ein-/Ausgänge für Daten , Takt, Reset, Trigger
OTIS-Testkarte	OTIS TB V2	Physikalisches Institut HD	OTIS auf Karte gebondet, DS90LV032A LVDS-nach-TTL- Konverter für Daten
Serialisierer	GOL 1.0	CERN	Gigabit Ethernet Transmitter, 32 Bit @ 40 MHz auf 1.6 GBit/s seriell, 2.5 V VCC
Deserialisierer	TLK2501	Texas Instruments	Gigabit Ethernet Transceiver, 1.5 bis 2.5 GBit/s seriell auf 16 Bit bei 75 bis 125 MHz SERDES-Evaluation-Modul, 2.5 V VCC
opt. Sender	HFT2291-541E No.14949T-6	Honeywell	850 nm Wellenlänge Multimode-Glasfaser 50/125 $\mu\text{m}$ , typ. 2 mA $I_{TH}$ , 500 $\mu\text{W}$ 3.3 V VCC
opt. Empfänger	MLC-25-8-1- TL	STRATOS Lightwave	850 nm Wellenlänge Multimode-Glasfaser 50/125 oder 62,5/125 $\mu\text{m}$ , PECL I/O, 3.3 V VCC
Glasfaser	7006-2688-15	KRONE	Multimode-Glasfaser Gi, 50/125 $\mu\text{m}$ , PC-MM-Schliff, LC-Stecker beidseitig, Kabel 1.8 mm, 5 m
Quarz A	40.0MHz QXO-71B	Farnell	40.0 MHz-Oszillator $\pm 50$ ppm Stabilität -10 bis 70°C Tri-state HCMOS (3.3 V)
Quarz B	80.0MHz QXO-71B	Farnell	80.0 MHz-Oszillator $\pm 50$ ppm Stabilität -10 bis 70°C Tri-state HCMOS (3.3 V)
Signalerzeuger	ACEX EP1K100- 208-1	ALTERA	147 I/Os, bis >100 MHz Takt, ca. 5000 Logische Elemente, 6 kB RAM, 2.5 V VCC
Pulsgenerator	8082A	HP	250 MHz Maximalfrequenz

**Tabelle 4.4:** Komponentenliste für Übertragungsstrecke mit TTC-System, GOL 1.0 und OTIS-TDC 1.0.

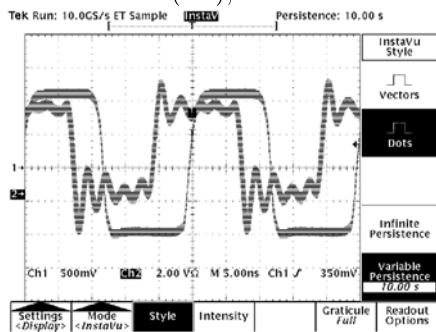
- TTCrx 3.1 mit Einhüllung über 32 ms, 1 ns pro Kästchen, Abb. 4.27.

Die Messungen (Abb. 4.25, 4.26) zeigen einen höheren Jitter von 600 ps pk-pk für den alten TTCrx (links) gegenüber 400 ps pk-pk beim aktuellen TTCrx 3.1 (rechts), es wurde jeweils über 10 s gemittelt. Die Messung in Abb. 4.27 Abbildung 4.27 zeigt 200 ps Jitter für den TTCrx 3.1 bei einer Einhüllung über 32 ms, hier zeigt sich ein deutlicher Einfluß der Integrationszeit.

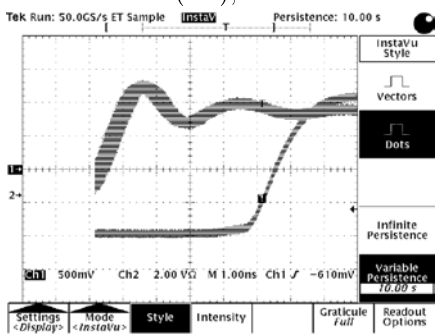
Zum Vergleich kann man dem TTCrx 3.1-Manual [14] entnehmen: der Jitter in Abhängigkeit von der optischen Leistung beträgt hier zwischen 150 ps und 620 ps für den Fall, daß keine zusätzlichen Daten übertragen werden.



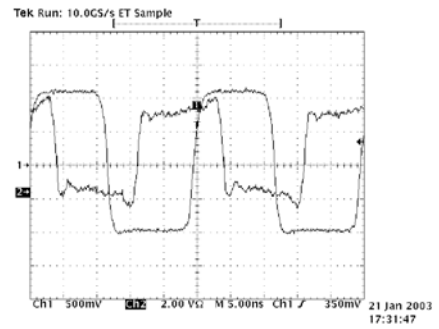
**Abbildung 4.21:**  
Takt TTCrx (alt), keine Einhüllung.



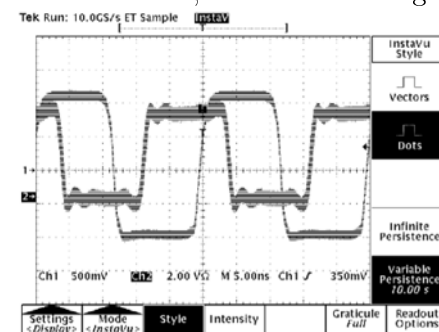
**Abbildung 4.23:**  
Takt TTCrx (alt), 10s Einhüllende.



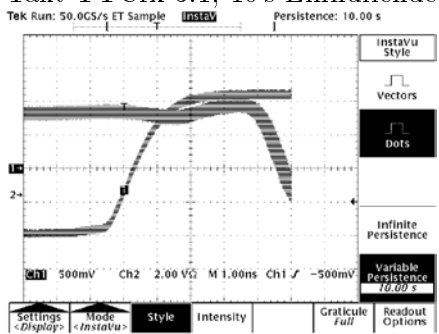
**Abbildung 4.25:**  
Takt TTCrx (alt),  
10 s Einhüllende,  
1 ns pro Kästchen  
600 ps pk-pk Jitter.



**Abbildung 4.22:**  
Takt TTCrx 3.1, keine Einhüllung.

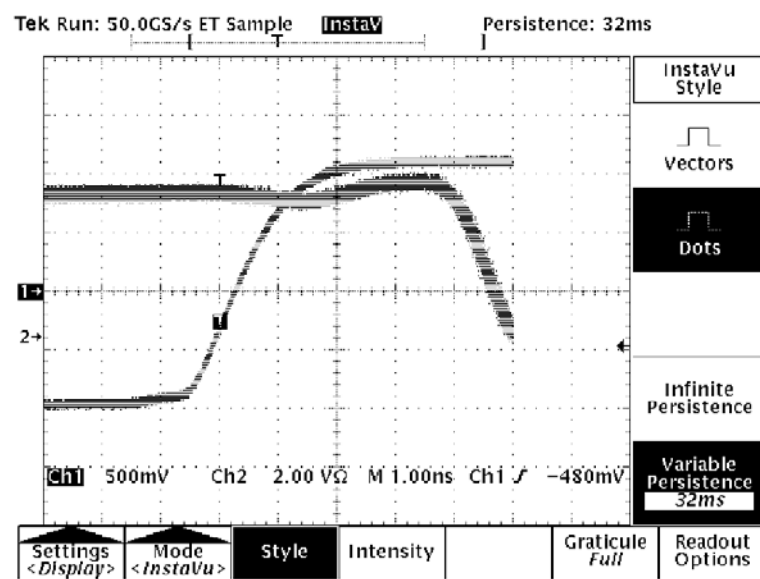


**Abbildung 4.24:**  
Takt TTCrx 3.1, 10 s Einhüllende.

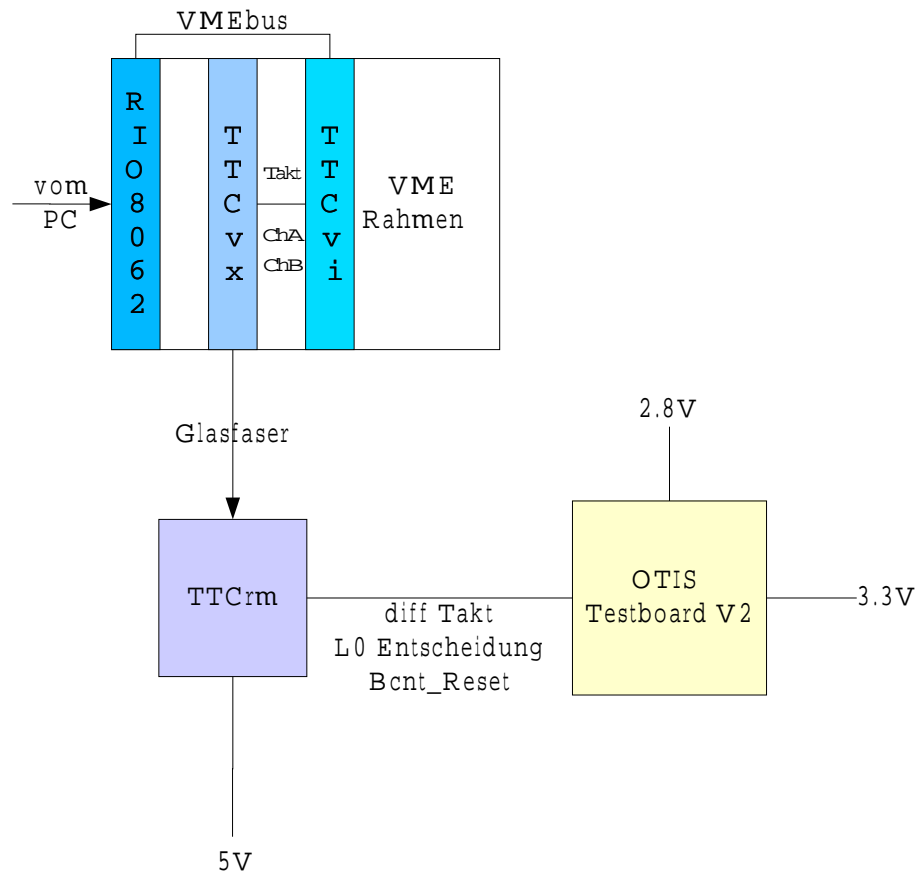


**Abbildung 4.26:**  
Takt TTCrx 3.1,  
10 s Einhüllende,  
1 ns pro Kästchen  
400 ps pk-pk Jitter.





**Abbildung 4.27:** Takt am TTCrx 3.1, Einhüllung 32 ms, 1 ns pro Kästchen  
 Die Messung des Jitters ist abhängig von der Dauer des Überlagerens der Meßwerte.  
 Hier wurde 32 ms übereinandergelegt, der Jitter ist 200 ps pk-pk, in Abb.4.25, 4.26 ist  
 über 10 s übereinandergelegt worden, der Jitter beträgt für den TTCrx 3.1 400 ps pk-pk.



**Abbildung 4.28:** Blockschaltbild der Ausleseketten mit TTCrx Chip und OTIS TDC.

### 4.3.2 OTIS-TDC mit TTCrx

Um das Zusammenspiel des OTIS 1.0 TDCs mit dem TTC-System zu testen wurden zum in Abschnitt 4.3.1 beschriebenen Aufbau der OTIS-TDC auf der OTIS-EV2-Karte, sowie ein VME-Rechner (RIO CPU) zur Ansteuerung des TTCvi hinzugefügt, siehe Abbildung 4.28.

Die VME-Befehle zur Ansteuerung des TTC-Systems wurden von einem C-Programm abgesetzt [29], welches auf dem VME-Rechner lief, ein weiterer Linux-Rechner diente als Benutzerinterface. Für den hier beschriebenen Aufbau wurde der Takt des TTC-Systems, das L0-Triggersignal mit einstellbarer Zufallsrate sowie der Bunch-Counter-Reset genutzt.

Zur Versorgung des TTCrm-PCBs mit 5 V, sowie um die Takt-, Reset- und Triggersignale zu differentiellen LVDS-Signalen zu konvertieren, wurde eine Leiterplatte gebaut. Das Einschalt-Reset Signal mußte mit einem Tiefpaß aus 50 Ohm in Serie und  $47 \mu\text{F}$  parallel beschaltet werden, um 5 ms Verzögerung zwischen der Spannung am TTCrx-Chip und am Reset\_b-Pin zu erzeugen. Die Signale für Takt, Bunch-Counter-Reset und L0-

Triggerentscheidung wurden vom TTCrx kommend direkt an die Eingänge eines LVDS-Treibers (DS90C031) angeschlossen, die LVDS-Signale am Ausgang des Treibers wurden seriell mit 47 Ohm terminiert und über Pfostenverbinder sowie Twisted-Pair-Leitung der OTIS-V2-Karte angeschlossen (Tabelle 4.5).

Signal	Länge [cm]	negativ	positiv	TTCrm	DS90C031	OTIS EV2
Clock	48	rosa	rot	J1-1	1-3	ID5, ID6
L1Accept	50	rosa	weiß	J2-6	13-15	ID9-9,11
BcntRes	48	rosa	orange	J2-9	9-11	ID9-5, 7

**Tabelle 4.5:** Twisted-Pair-Verbindung zwischen TTCrm und OTIS-TDC.

Zunächst wurde der OTIS-TDC nur getaktet (OTIS V2 Karte Nummer 4). Am Last-Dummy-Out-Pin des OTIS wurde der Takt der DLL abgegriffen. Nachdem der OTIS mit dem Bunch-Counter-Reset zurückgesetzt worden war, konnten am Datenausgang die erwarteten Daten nachgewiesen werden. Auf der OTIS-V2-Testkarte werden die Ausgangsdaten des OTIS mit einem DS90LV032-Chip von LVDS auf TTL konvertiert, wodurch man die Daten mit einem nicht-differentiellen Tastkopf abnehmen kann. Die OTIS-Daten haben einen 32-Bit-Datenkopf und enthalten 32 Bytes Zeitinformation. Der Datenkopf beginnt mit der OTIS-ID, die sich mit Kurzschlußbrücken auf der OTIS-V2-Karte einstellen läßt. Die OTIS-ID konnte eindeutig mit einem Oszilloskop (Tektronix TDS220) nachgewiesen werden. Liegen keine Treffer vor, sind die Datenbits 1100 0000, was überprüft wurde. Die Latenz zwischen einem L0-Trigger am TTCrx und den ersten OTIS-Daten betrug  $58 \pm 2$  ns, wobei das Kabel für die OTIS-Daten 87 cm, das für das L1-Triggers 58 cm lang war.

Folgende weitere Tests wurden durchgeführt:

- Überprüfung der Betriebsspannungen,
- qualitative Signalüberprüfung,
- Prüfung der OTIS-Daten.

Da die Eigenschaften der Chips stark von der Höhe der Versorgungsspannung abhängen, wurde diese an Kapazitäten direkt am Chip nachgemessen, Tabelle 4.6. Da der OTIS-TDC bei dieser Messung keine Daten verarbeitet, ist die Stromaufnahme geringer, die Spannung am Chip also höher als im Betrieb.

Die Signalqualität für Takt, Reset und Trigger wurden vor und nach dem LVDS-Treiber überprüft, Tabelle 4.7 faßt das Ergebnis zusammen.

Für fünf verschiedene OTIS-Chips (OTIS-V2-Karten Nummer 4-8) wurde die Funktionalität durch folgende Messungen geprüft:

- Kontrolle des Last-Dummy-Out mit dem Oszilloskop,
- Messung der Kontrollspannung, die ein Maß für die Geschwindigkeit der DLL bzw. der TDC-Frequenz ist,

Pin	Spannung [V]
TTCrm in	5
TTCrx-Kondensator	3.3
OTIS 1.0 V2 (5) 2.5 V in	2.9
OTIS-Kondensator	2.65
OTIS diff. line Rec.	3.32
GOL-EV2-0 2.5 V/3.3 V	2.46/3.29

**Tabelle 4.6:** Spannungen am TTCrx-OTIS-Aufbau.

Signal	Qualität
TTCrm ClkDes1 J1-1	gut
L1Accept TTCrm J2-6	gut
BcntRes TTCrm J2-9	gut
at DS90C031	
Clk pos (2)	gut
Clk neg (3)	gut
L1Accept pos (14)	gut
L1Accept neg (13)	gut
BcntRes pos (10)	gut
BcntRes neg (11)	o.k.

**Tabelle 4.7:** Signalqualität im TTCrx-OTIS-Aufbau.

- Überprüfung der Daten nach einem L0-Trigger.

Die Messung am Last-Dummy-Out-Pin, ergaben für alle fünf untersuchten OTIS-TDCs ein gültiges Taktsignal. Tabelle 4.8 zeigt die gemessene Kontrollspannung für fünf verschiedene OTIS-TDCs 1.0. Die Kontrollspannung bestimmt die Durchlaufzeit durch die Verzögerungsglieder der DLL im OTIS-TDC, also letztlich die Geschwindigkeit der DLL. Die Messung erfolgte bei einer Frequenz von 40 MHz, die Kontrollspannung sollte also im mittleren Bereich (ca. 1.25 V) liegen, was durch die Messung für alle OTIS-TDCs bestätigt werden konnte.

Karte Nummer	V_control [V]
5	1.18
4	1.075 - 1.08
6	1.07
7	1.20
8	1.07

**Tabelle 4.8:** DLL-Kontrollspannung, gemessen für 5 OTIS 1.0 Chips.

Für alle fünf OTIS-EV2-Karten (Nummer 4-8) wurde die Adresse auf 1001 0000 0001 gesetzt. An den Ausgängen aller fünf Karten konnten die erwarteten und in Tabelle 4.9 gezeigten Bits nachgewiesen werden. X steht für 1 bzw. 0 abhängig vom Wert des BX-Zählers. Das bedeutet, die Daten des OTIS-TDCs werden wie erwartet erzeugt und es konnte mit dem Test der Übertragung dieser Daten begonnen werden.

Ausgang	Binärwert
4	000X 0...0
6	000X 0...0
8	000X 0...0
10	000X 0...0
12	010X 0...0
14	000X 0...0
16	000X 1...1
18	110X 1...1

**Tabelle 4.9:** Daten am Ausgang der OTIS EV2 Karte 4-8.

### 4.3.3 TTCrx, OTIS-TDC und FPGA

Um die Daten aus dem OTIS-TDC kontinuierlich überprüfen zu können und ein Programm zur Synchronisation der OTIS-Daten zu entwickeln, wie es in der TELL1-Karte benutzt wird, wurde ein programmierbarer Logikbaustein (FPGA) dem obigen Aufbau (4.3.2) hinzugefügt. Die wichtigsten Funktionen des FPGA-Programms sind die Synchronisation der OTIS-Daten auf den FPGA-Takt, das Finden des OTIS-Datenkopfes im kontinuierlichen Datenstrom, die Überprüfung der OTIS-ID und der Vergleich der Bunch-Nummer in den OTIS-Daten mit der Bunch-Nummer des Zählers auf dem FPGA.

#### Aufbau

Die GOL EV2 Karte wurde zum Empfang der OTIS-Daten angeschlossen. In diesem Fall wurde nur der FPGA ACEX 1K100 (ALTERA), nicht jedoch der GOL 1.0 Chip benutzt. Der Takt für den FPGA kam vom Last-Dummy-Out-Ausgang des OTIS-TDCs, Trigger und Bx-Reset wurden von der TTCrm-Karte abgegriffen. Die OTIS-Daten wurden direkt mit einem 20-poligen Finepitch-Flachbandkabel auf den FPGA übertragen.

Mit drei Kurzschlußbrücken auf der Pfostenleiste J8 (Abb. B.1) konnten verschiedene Informationen mit den 12 LEDs auf der GOL-EV2-Karte zur Verfügung gestellt werden. In Tabelle 4.10 sind die Einstellungen aufgelistet.

Der "error count" ist die Anzahl der Bx-Werte aus dem OTIS-TDC die nicht mit denen im FPGA übereinstimmen. "intcount" gibt die Bunch-Nummer des internen Bunch-Zählers im FPGA wieder. "Founddiff" ist die Differenz zwischen dem intern generierten und zwischengespeicherten Bunch-Zähler (FPGA) und dem Bunch-Wert aus dem OTIS-Datenstrom. Die Bx-Nummer aus den OTIS-Daten wird mit dem "bxtrig" Bit übernom-

Einstellung	LED Information
000	error count[11..0]
001	error count[31..20]
010	intcount[11..0]
011	intcount[31..20]
100	led[7..0] founddiff[7..0] led8 bxtrig (strobe) led9 packettrigger led10 act (activ) led11 lock (bxlocked)
101	led[7..0] currentbx[7..0] led8 bxtrig (strobe) led9 packettrig led10 act (active state) led11 lock(bxlocked)
110	otisid
111	led[7..0] lockeddiff led[10..8] 000 led11 lock (bxlocked)

**Tabelle 4.10:** Einstellung der Kurzschlußbrücken für die LEDs am FPGA (GOL-EV2-Karte).

men, mit dem “packettrig” (idflag) die OTIS-ID. Die Variable “act” ist Null, wenn der Zähler im FPGA auf Null steht. “Lock” zeigt ob die Zustandsmaschine “bxlock” sich synchronisiert hat, “locked diff” ist die Differenz zwischen internem Zähler und Bx-Nummer aus den OTIS-Daten.

#### Algorithmus zur Synchronisation der OTIS-Daten

Der Algorithmus zur Synchronisation der OTIS-Daten umfaßt folgende Teile:

- Datenspeicher für die Taktsynchronisation der eintreffenden Daten,
- Erkennung des ersten gültigen Bits,
- 8/16-Bit-Deserialisierung,
- OTIS-ID Ausgabe,
- Extraktion der Bx-Nummer,
- Vergleich der Bunch-Nummer aus den OTIS-Daten mit denen aus dem internen Zähler.

In einem ersten Teil des Algorithmus werden die OTIS-Daten in einem Flipflop gespeichert, um Synchronisation zum FPGA internen Takt zu erreichen. Die Daten werden auf Bits geprüft, die ungleich Null sind und zwischenzeitlich in weiteren Flipflops gespeichert<sup>6</sup>. Ist ein Datenbit ungleich Null, so werden die zwischengespeicherten Daten zu 16-Bit-Worten zusammengefügt, beginnend mit dem Byte, welches den ersten Wert ungleich Null hatte. Die 12-Bit-OTIS-Adresse wird extrahiert und für die volle Ereignislänge (36 Takte) zusammen mit einem Strobe ausgegeben. Die 16-Bit-Datenworte werden getrennt ausgegeben. Der zugrundeliegende endliche Automat hat drei Zustände:

- Den “listening state”, dies ist der Anfangszustand
- Der “active state”, der Algorithmus hat einen OTIS-Datenkopf gefunden und gibt 36 Taktzyklen lang die Daten für ungerade Bytes aus
- Den “shifting state”, entspricht dem “active state”, es werden jedoch die geraden Bytes ausgegeben.

Der “BxExtractor” liefert die BX-Nummer aus den OTIS-Daten zusammen mit einem Gültigkeitsbit. Ihm folgt ein endlicher Automat (Bxlock) mit folgenden Zuständen:

- “locked” (Anfangszustand), die Differenz zwischen internem Zähler (“count32”) und OTIS-Bx-Zähler wird ausgegeben
- “listening”, es wird auf die nächste Bx-Nummer aus dem BxExtractor gewartet
- “counting”, 160 Taktzyklen warten nach einem BX-Reset

Bei einem Bx-Reset wird der interne Bx-Zähler auf Null gesetzt. Um mit dem OTIS-TDC in Synchronisation zu bleiben, wird der Wert des FPGA internen Zählers in einem 16 Worte tiefen FIFO zwischengespeichert<sup>7</sup>, wenn ein Trigger kommt. Der älteste Eintrag aus dem FIFO wird mit dem Bx-Wert aus den OTIS-Daten verglichen. Trigger und Zählerdaten werden jeweils mit FIFOs auf den FPGA-Takt synchronisiert. Sind alle Kabellängen innerhalb einiger ns gleich sollte der im FPGA erzeugte Bx-Wert also mit dem Bx-Wert aus den OTIS-Daten übereinstimmen.

## Ergebnisse

Der Synchronisationsalgorithmus funktioniert wie spezifiziert. Die OTIS-ID wird für die gesamte Länge eines Ereignisses richtig dargestellt. Der interne Bx-Zähler und der OTIS-Bx-Zähler laufen für Triggerraten von 1.1 MHz (konstant), 100 kHz (Zufallsrate) und 1 Hz (Zufallsrate) synchron.

---

<sup>6</sup>Im Fall des OTIS 1.0 schickt der GOL-Chip Nullen, wenn keine gültigen Daten von Seiten des OTIS-TDCs anliegen. Ab Version 1.1 des OTIS-TDC existiert ein Data-Valid-Ausgang, um dem GOL zu signalisieren, wann TDC-Daten anliegen. Auf der Empfängerseite kann das entsprechende Data-Valid-Signal am Deserialisierer abgegriffen werden.

<sup>7</sup>Das Äquivalent zu diesem Zwischenspeicher ist der Derandomizing-Buffer im OTIS.

#### 4.3.4 TTCrx, OTIS-TDC, GOL und FPGA

Durch Hinzufügen der optischen Übertragungstrecke wurde versucht, die OTIS-Daten unter realistischen Bedingungen zu empfangen.

##### Aufbau

Die optische Übertragungstrecke bestand aus einem GOL-Serialisierer, einer VCSEL-Diode, 5 m optischer Faser und der TLK2501-EVO-Karte, siehe Tabelle 4.4. Für einige Tests wurde ein Pulsgenerator HP 8082A benutzt. Ein Blockschaltbild des Aufbaus ist Abbildung 4.20. Bilder 4.29 bis 4.33 zeigen den Laboraufbau.

##### Empfang der OTIS Daten nach der optischen Übertragung

Im LHCb-Experiment werden die OTIS-Daten serialisiert, von 32 Bit bei 40 MHz auf 1.6 GBit/s und über optische Fasern zur Elektronik außerhalb des Detektors gesandt. Dort werden die Daten auf 16 Bit @ 80 MHz deserialisiert ([9]) und in einen FPGA eingespeist. Es ist wichtig, die gleiche Taktquelle für Sende- und Empfängerseite zu nutzen, sonst führen Taktunterschiede zu Phasenverschiebungen und schließlich Datenverlust. Da der Takt aus dem TTCrx 3.1 auf Grund zu hoher Schwankungen (siehe 4.3.1) für den Betrieb des GOL 1.0 nicht geeignet ist, muß dieser mit einer stabileren Taktquelle betrieben werden. Für alle Tests lieferte der TTCrx den Takt, das Bcnt-Reset-Signal und den Trigger für den OTIS-TDC und den FPGA. Der GOL 1.0 bekam seinen Takt entweder von einem Quarz auf der GOL-EV2-Karte oder einem externen Pulsgenerator. In beiden Fällen wurde mit dem FPGA aus einer Frequenz von 80 MHz ein 40 MHz-Takt erzeugt. Der TLK2501 mußte mit dem gleichen Taktquelle wie der GOL versorgt werden. Zur Vereinfachung wurden die Daten von einem OTIS, sowohl an den unteren 8 Bit [0..7] als auch an die oberen Bits [16..23] angelegt, was zu einer Ausgabe dieses Bytes mit 40 MHz am TLK2501 führt, aber mit der Halbierung der Bandbreite einhergeht. Die Daten wurden sowohl vor der optischen Übertragung an den FPGA gegeben, als auch nach der Übertragung vom TLK auf den FPGA zurückgeführt, um eine Datensynchronisation wie in Abschnitt 4.3.3 durchzuführen.

Zwei Drittel der Daten konnten korrekt entschlüsselt werden, während die übrigen Ereignisse fehlerbehaftet waren. Es wird angenommen, daß der Gebrauch von verschiedenen Taktquellen nicht vollständig durch Ein- und Ausgangs-Fifos auf dem FPGA kompensiert werden konnte. Im folgenden wird der GOL 1.0 mit dem globalen Takt, der mit dem QPLL-Chip [30] korrigiert (dejittered) wurde, betrieben, dies ist auf der GOL-Aux-Karte realisiert. Außerdem werden auf den FPGAs, die auf der TELL1-Karte [8] für die Datensynchronisation sorgen, PLLs sein, die synchron mit dem vom TLK2501 aus den Daten gewonnenen Takt arbeiten.

Somit beeinflussten die Tests an den hier beschriebenen Prototypen die Entwicklung des GOL-Auxiliary-Boards, des OTIS-TDCs <sup>8</sup> und des Programms zu Datensynchronisation und Fehlerprüfung auf der TELL1-Karte.

---

<sup>8</sup>Der OTIS-TDC bekam einen zusätzlichen Ausgang „Data Valid“ zum Starten von Synchronisationssignalen des GOL.



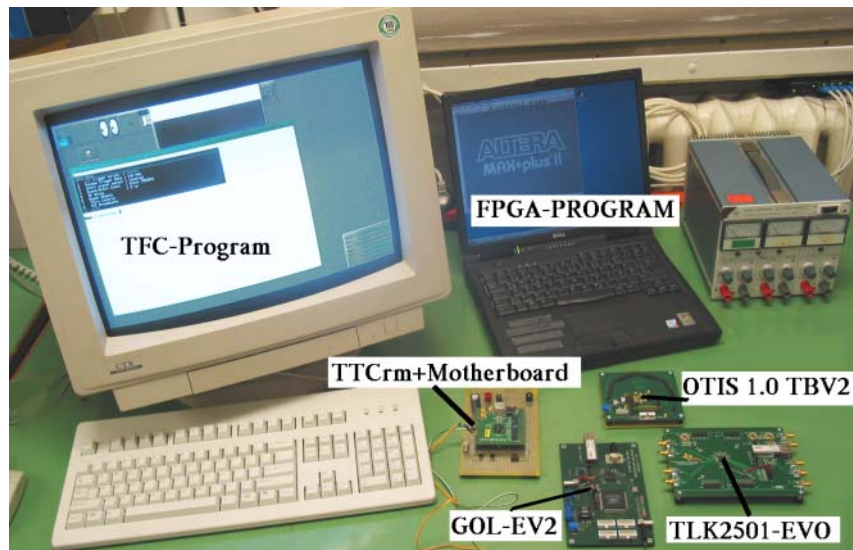


Abbildung 4.29: TTCrx-OTIS-FPGA-GOL-Aufbau

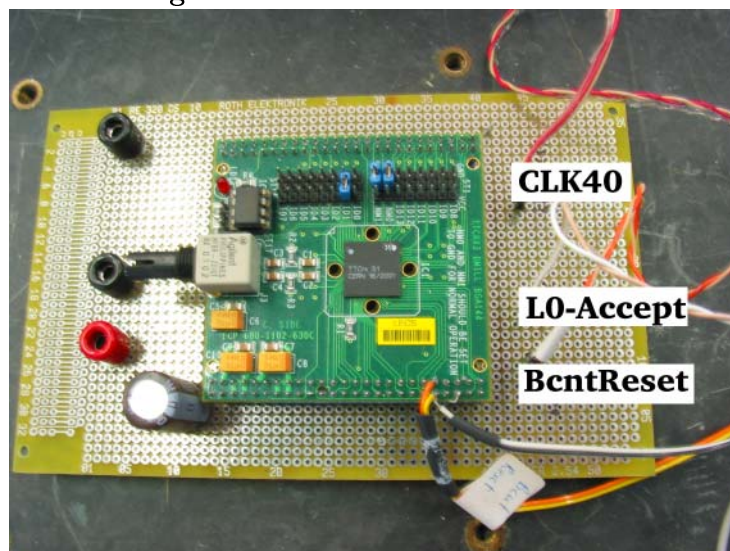


Abbildung 4.30: TTCrm und Motherboard

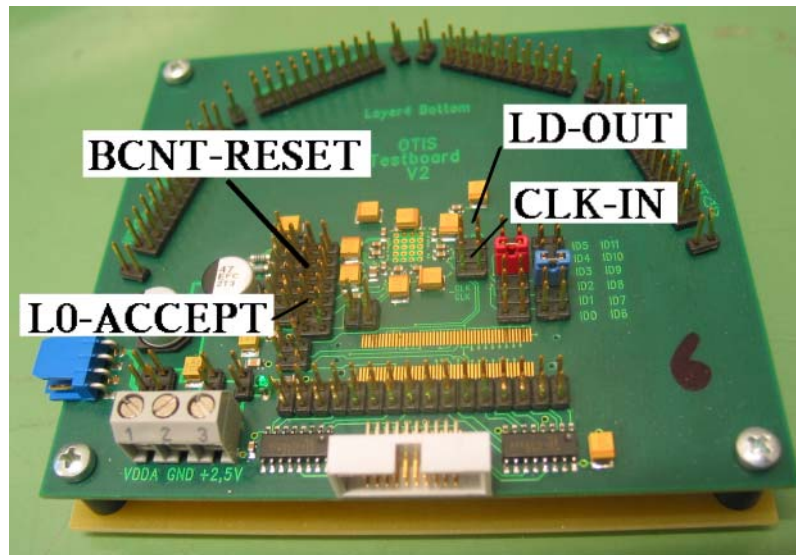


Abbildung 4.31: OTIS-EV2-Karte

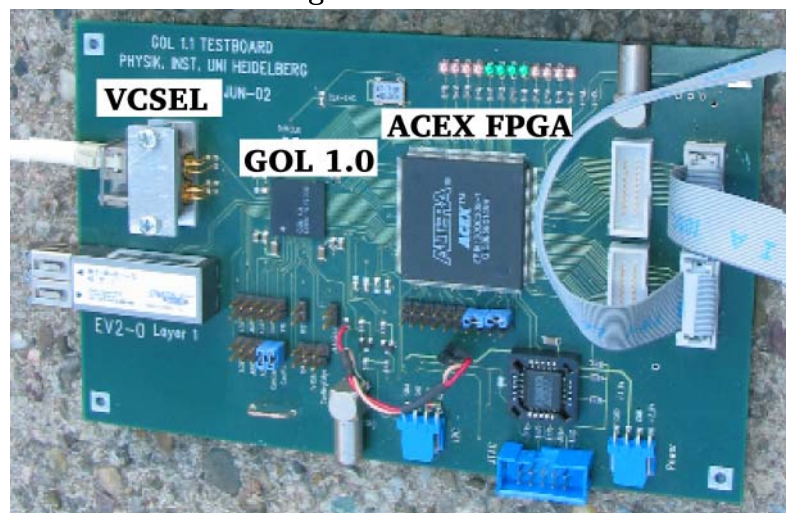


Abbildung 4.32: GOL-EV2-Karte

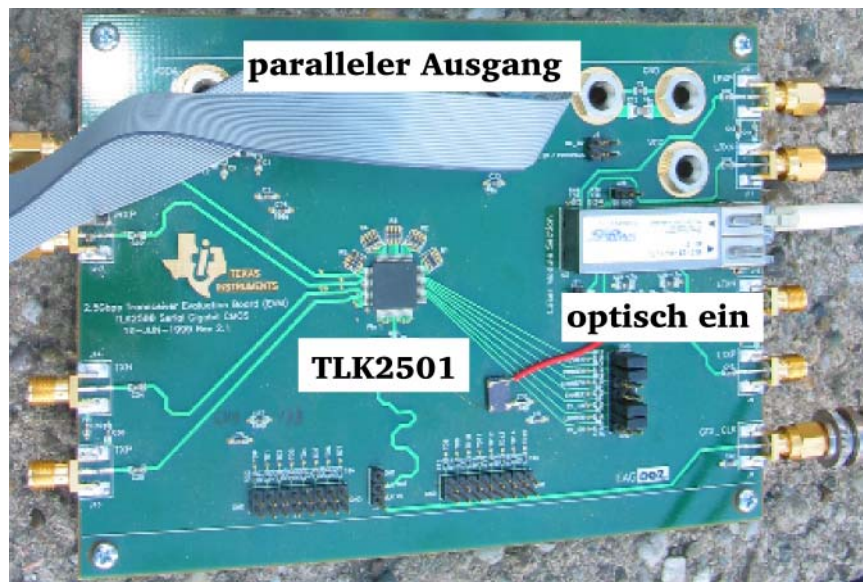


Abbildung 4.33: TLK2501-Evaluation-Karte



## Kapitel 5

# GOL-Auxiliary-Board

Die GOL-Auxiliary-Karte [23]<sup>1</sup> verteilt Takt-, Trigger-, Reset- Steuer und Monitorsignale, generiert Niederspannung für die Elektronik auf den Detektormodulen und konvertiert die 32 Bit @ 40 MHz Daten von vier OTIS-TDCs in serielle optische Daten bei 1.6 GBit/s, Abbildung 5.1 zeigt das GOL-Auxiliary-Board schematisch.

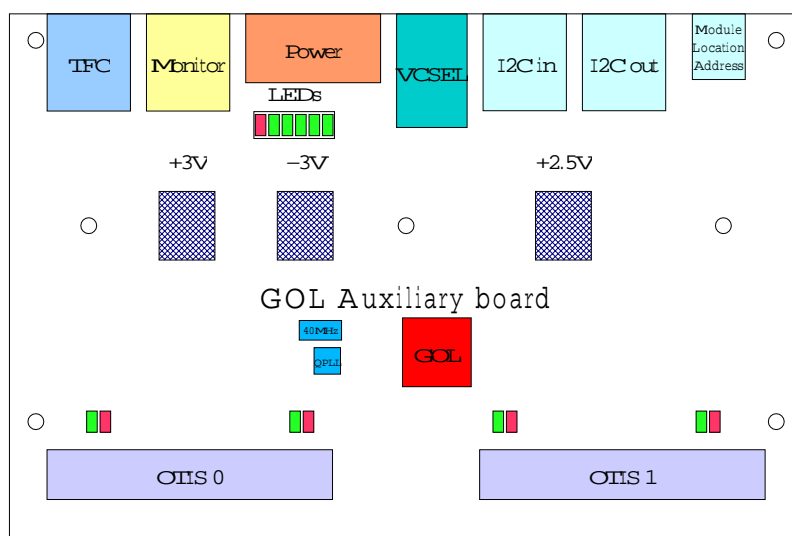


Abbildung 5.1: GOL-Auxiliary-Board schematisch.

<sup>1</sup>Die hier beschriebenen Messungen wurden mit dem ersten GOL-Auxiliary-Board IF13-0 durchgeführt.

Jede Elektronikbox (FE-Box) eines Detektormoduls des Äußeren Spurkammersystems beherbergt eine GOL-Auxiliary-Karte. Vier <sup>2</sup> OTIS-Karten werden auf eine GOL-Auxiliary-Karte gesteckt. Sie ist mit der Service-Box auf dem Detektorrahmen über Kabel für TFC-Signale, Monitorsignale, den I<sup>2</sup>C-Bus und  $\pm 6$  V für die Niederspannungsversorgung sowie Glasfaser für die Übertragung der serialisierten TDC-Daten verbunden.

Das GOL-Auxiliary-Board wurde im Rahmen dieser Arbeit entwickelt, gebaut, getestet und wird in Vorserie produziert.

## 5.1 Spezifikation

Die GOL-Auxiliary-Karte [23] trägt einen GOL 1.0 [6] Chip für die Serialisierung der Daten von bis zu vier OTIS-TDCs. Die serialisierten Daten werden über eine VCSEL-Diode ausgegeben, die direkt vom GOL 1.0 getrieben wird, also wie auf der GOL-EV2-Karte. Zur Verbesserung der Taktstabilität wurde ein QPLL-[30] Dejitter-Chip zusammen mit einem Spezialquarz, der auf die vierfache LHC-Frequenz<sup>3</sup> geschnitten wurde, in der Nähe des GOL-Serialisierers platziert. Auch der Takt für den OTIS-TDCs wird in der QPLL erzeugt.

Niederspannungsregler vom Typ L4913 [31] für positive Spannung und Typ L7913 [32] für negative Spannung wurden auf die unterste Leiterplattenlage gelötet und sollen an eine Wasserkühlung geschraubt werden. Zwei Regler vom Typ L4913 werden für +2.5 V und +3.0 V genutzt, ein negativer Regler Typ L7913 für -3.0 V. Die +2.5 V werden vom GOL, dem OTIS und der QPLL genutzt, während die +3.0 V und -3.0 V von den  $\leq 16$  ASDBLR-Vorverstärkern benutzt werden. GOL 1.0, QPLL und L4913 / L7913 sind strahlenharte Chips.

Zusätzlich wurden ein 40 MHz-Oszillator und 14 LEDs, sowie ein Resettaster und Kurzschlußbrücken für Labortests auf die GOL-Auxiliary-Karte gesetzt. Die Verbindung zu den OTIS-TDC und den ASDBLR-Vorverstärkern stellen 80-Pin-1/20-Zoll-Stecker her. Neben den TDC-Daten werden Takt, Resets, Testpulse, I<sup>2</sup>C-Bus, Adresse, Niederspannung und die Temperaturüberwachung über diese Stecker übertragen. TFC- und Überwachungssignale werden via RJ45-Stecker und je 5 m Kat-5-Kabel von der Service-Box verteilt, das I<sup>2</sup>C-Signal wird durch jede GOL-Aux-Karte mit zwei RJ11-Verbindern geschleift. Eine ausführliche Spezifikation der GOL-Auxiliary-Karte ist in [23] zu finden, in Anhang E ist der Schaltplan und der Bestückungsplan der Karte.

## 5.2 Meßprogramm für das GOL-Auxiliary-Board

Zur Charakterisierung der GOL-Auxiliary-Karte wurden folgende Tests durchgeführt:

- Prüfen der Spannungsregler,
- Test des Synchronisationsverhaltens von GOL 1.0 und TLK2501,

---

<sup>2</sup>Nur zwei OTIS-Karten bei Modulen mit 64 Straws pro Seite.

<sup>3</sup>160.31470 MHz

- Test der Phasensynchronisation mit der QPLL,
- Betrieb mit Timing and Fast Control System,
- Stabilität der Datenübertragung von GOL 1.0 auf TLK2501,
- Test des Verteilungsschemas für die differentiellen Signale.

Das Überprüfen der Niederspannungsregler galt der Spannungskonstanz im Gleichspannungsbereich, zunächst unbelastet, dann bei verschiedenen Eingangsspannungen und Lasten.

Nach Überprüfung der Niederspannung wurden die Einstellungen gesucht, unter denen der GOL 1.0 die Honeywell VCSEL-Diode treibt und der Deserialisierer (TLK2501) auf der Evaluationkarte sich stabil auf den Datenstrom locken kann.

In einem nächsten Schritt wurden zunächst statische Daten und dann Zählerdaten über die GOL-Auxiliary-Karte an die TLK2501-EVO-Leiterplatte geschickt. Als entscheidend erwies sich die Qualität des Signals am 80-Pin-Stecker (OTIS-Stecker) auf der GOL-Aux-Karte. Verschiedene Terminierungen des Signals wurden erprobt. Mit einem Fehlerraten-test wurde die Datenübertragungsqualität geprüft.

Das Verhalten des QPLL-Taktfilters wurde mit Hilfe von zwei GOL-Auxiliary-Karten und eines Frequenzsynthetisierers untersucht. Auch der Frequenzbereich der anderen Komponenten der Auslekette wurde gemessen. Es wurde die Verteilung der Signale über das TFC-System, speziell die Verteilung der differentiellen Signale an die vier TDCs pro GOL-Auxiliary-Board untersucht.

Ergänzend wurden mit einem optischen Tastkopf die optischen Ausgangssignale des GOL-Auxiliary-Boards in Abhängigkeit des Biasstromes gemessen und so der optimale Biasstrom validiert.

## 5.3 Prüfen der Spannungsregler

Bei der Inbetriebnahme der GOL-Auxiliary-Karte wurden zunächst die Spannungen auf der GOL-Auxiliary-Karte und deren Lastabhängigkeit geprüft. Als Spannungsquelle diente ein Laborgerät Rohde & Schwarz NGT 25, Strom und Spannung wurden mit einem Keithley 2000 Multimeter bestimmt. Die folgenden Messungen wurden an Leiterplatte IF13-0 Nr.1 vorgenommen.

### 5.3.1 Messungen ohne Last

Vor der Messung an der GOL-Auxiliary-Karte wurde mit einem  $8.4\Omega$ -Widerstand das Netzteil sowie Strom- und Spannungsmeßgerät überprüft. Das Netzteil liefert bis 6 V genügend Strom, die Ablesegenauigkeit ist jedoch am Netzteil nur  $\pm 10\%$ .

Der Widerstand des 1 m Stromzuleitungskabels für die GOL-Aux-Karte betrug zusammen mit 40 cm Meßkabel, Kontakten etc.  $\leq 0.1\Omega$  (Keithley 2000). Der Widerstand am LV-Eingang der Karte betrug vor Einschalten der Spannungsversorgung 91 k $\Omega$  von +5 V

nach GND,  $4.71\text{ k}\Omega$  von  $-5\text{ V}$  gegen GND und  $9.14\text{ k}\Omega$  von  $-5\text{ V}$  gegen  $+5\text{ V}$ , daß heißt es gab keine Kurzschlüsse.

Für die nächsten Tests wurde die Strombegrenzung des Labornetzteils auf  $0.56\text{ A}$  gestellt, um die thermische Belastung der Spannungsregler zu begrenzen.

Ohne angeschlossene OTIS-TDCs oder ASDBLR-Vorverstärker wurde die Stromaufnahme der Karte in Abhängigkeit der Spannung am  $+5\text{ V}$ -Eingang überprüft, ab  $3\text{ V}$  signalisieren die LEDs 2 und 3 das Anliegen einer Spannung an den Eingängen der positiven Regler und keinen Überstrom. Die gemessenen  $0.15\text{ A}$  Strom ab  $3\text{ V}$  entsprechen der Stromaufnahme des GOL 1.0.

Beim entsprechenden Test bei  $-5\text{ V}$  ist die Stromaufnahme in gutem Einklang mit der der Kontrolleuchte 4 ( $610\text{ }\Omega$  Vorwiderstand), welche ab  $U_{in} = -3\text{ V}$  gut sichtbar leuchtet.

Die Messung der negativen Spannungen auf der GOL-Auxiliary-Karte bei  $-5\text{ V}$  Eingangsspannung ergab  $-5.0\text{ V}$  an allen getesteten Punkten des  $-5\text{ V}$ -Netzes,  $-2.98\text{ V}$  an den Abgriffen für  $-3\text{ V}$  und  $-1.22\text{ V}$  am Adjust-Anschluß des negativen Spannungsreglers.

Für die positiven Spannungen sind die gemessenen Werte  $4.98\text{ V}$  am  $5\text{ V}$ -Netz,  $3.03 - 3.14\text{ V}$  am  $3\text{ V}$ -Netz und  $2.53$  bis  $2.56\text{ V}$  am  $2.5\text{ V}$ -Netz. Die Referenzspannung  $V_{adj}$  lag beim  $3\text{ V}$ -Regler bei  $1.32\text{ V}$  am  $2.5\text{ V}$ -Regler bei  $1.25\text{ V}$ . Ohne Last gab es also keine Anzeichen für Probleme in der Spannungsversorgung.

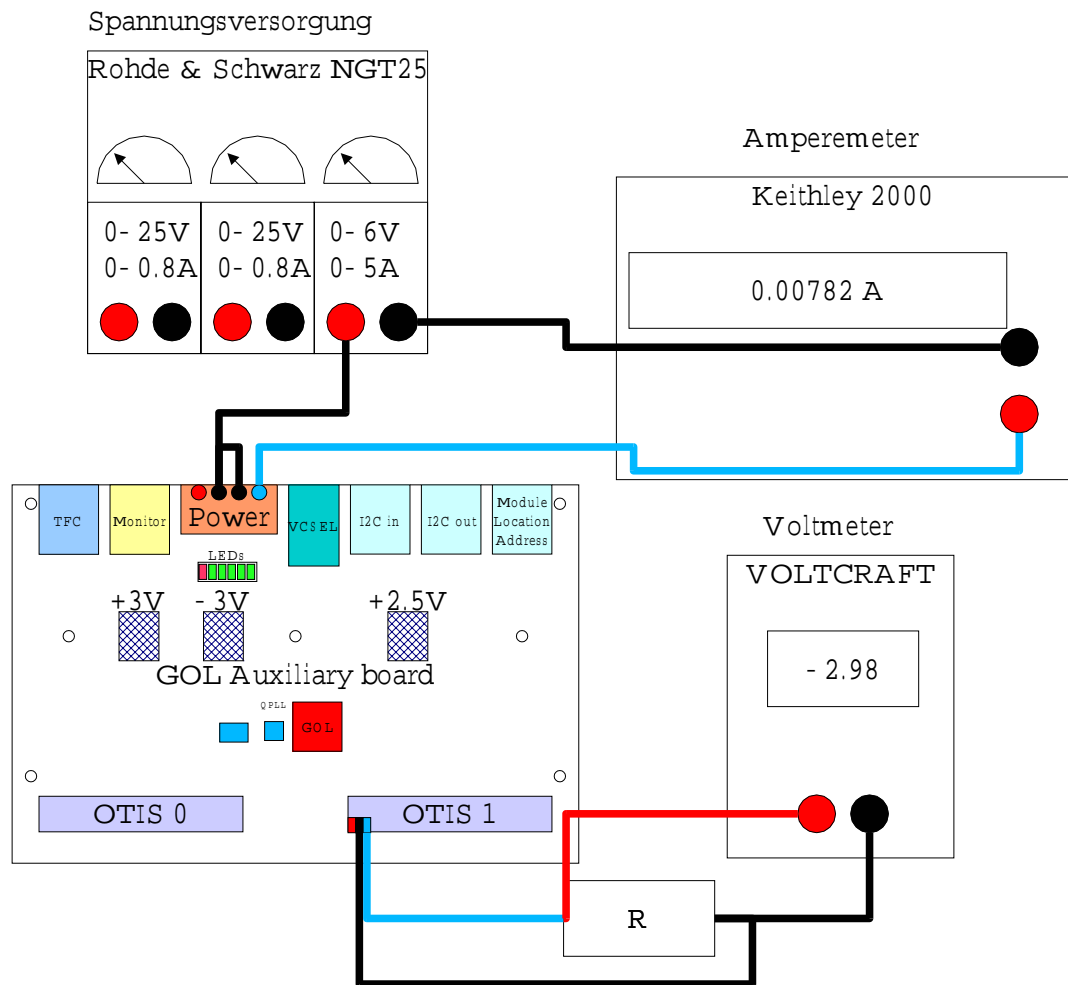
### 5.3.2 Messungen unter Last

Da das Verhalten von Spannungsreglern im Leerlauf nur begrenzte Aussagekraft besitzt, wurden die Spannungsregler unter realistischer Last getestet. Dazu wurden verschiedene Lastwiderstände an den OTIS-Steckern der GOL-Aux-Karte angeschlossen und die Stromaufnahme der Karte, sowie die Spannung an den jeweiligen Lastwiderständen kontrolliert, siehe Abbildung 5.2. Die Widerstände wurden vorab mit dem Keithley 2000 Multimeter gemessen, welches auch für die Messung der Gesamtstromaufnahme genutzt wurde. Die Spannung am Lastwiderstand wurde durch ein Voltkraft-Handmultimeter bestimmt, als Leistungsquelle diente der  $0.6\text{ V}$ - $0.5\text{ A}$ -Ausgang des Labornetzteils. Zur Kühlung wurde eine Aluminiumschine  $20 \times 15 \times 150\text{ mm}^3$  gegen die Regler geschraubt.

Die Abhängigkeit der Ausgangsspannung der Regler vom Lastwiderstand (Tabelle 5.1) am OTIS-Stecker ist in Abbildung 5.3 für den  $-3\text{ V}$ -Regler, in Abbildung 5.4 für den  $+3\text{ V}$ -Regler und in 5.5 für den  $+2.5\text{ V}$ -Regler zu sehen. Zu beachten ist die begrenzte Stromabgabe durch einen  $100\text{ k}\Omega$ -Widerstand zwischen dem SH-CNT-Pin am jeweiligen Spannungsregler und der Ausgangsspannung, der die Stromabgabe auf  $40\%$  der maximal  $4.5\text{ A}$  Ausgangsstrom reduziert (vgl. [31], [33] Abbildungen 6 und 7). Da die Regler nur bis  $66\%$  des maximalen Stroms zuverlässig arbeiten ergeben sich minimale Lastwiderstände von  $2.5\text{ }\Omega$  an  $3\text{ V}$  oder  $2.1\text{ }\Omega$  an  $2.5\text{ V}$ . Im Experiment ist es wichtig die Regler ohne zusätzliche Strombegrenzung zu betreiben, da die Stromaufnahme für 16 ASDBLR-Vorverstärker ca.  $1.5\text{ A}$  ( $2\text{ }\Omega$ ) bei  $\pm 3\text{ V}$ , die der vier OTIS-TDCs plus dem GOL  $1\text{ A}$  ( $2.4\text{ }\Omega$ ) bei  $2.5\text{ V}$  beträgt.

Die  $2.5\text{ V}$ -Ausgangsspannung wird bei  $4.5\text{ V}$  bis  $6\text{ V}$  Eingangsspannung und an einer maximalen Last von  $2.2\text{ }\Omega$  auf  $+40 - 10\text{ mV}$  erzeugt, was für den Betrieb des OTIS-TDCs und des GOL 1.0 unbedenklich ist. Für den  $+3.0\text{ V}$ -Regler erhält man bei  $4.5\text{ V}$  bis  $6\text{ V}$

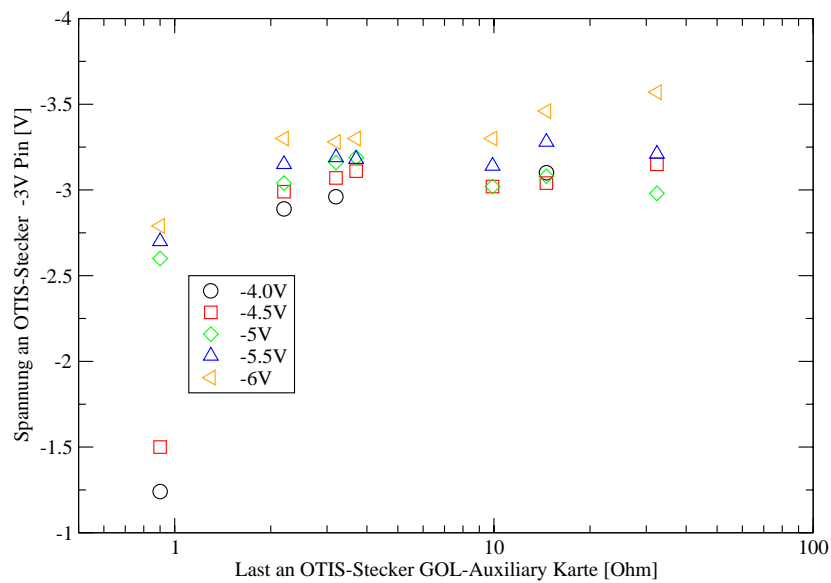




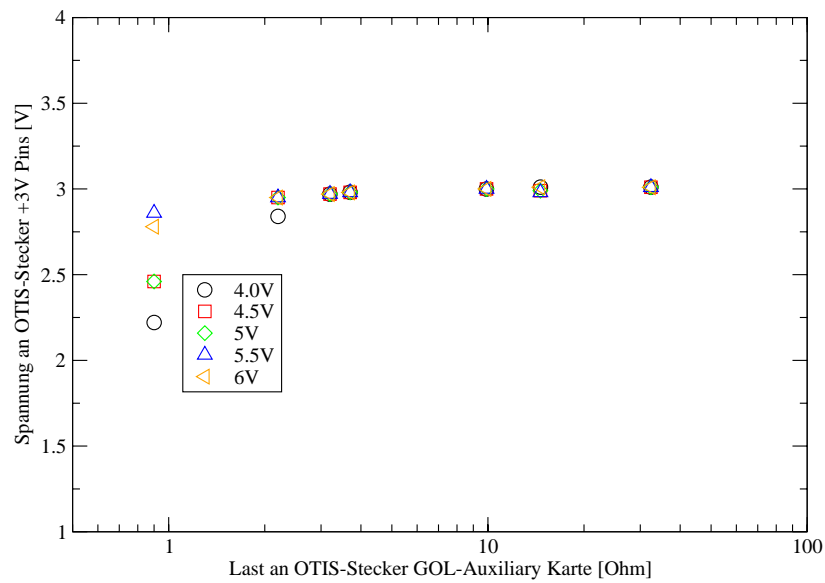
**Abbildung 5.2:** Laboraufbau zur Messung der Spannung an den Ausgängen der Niederspannungsregler unter Last.

Lastwiderstand [ $\Omega$ ]
ohne Widerstand
32.4
14.6
9.9
3.7
3.2
2.2
0.9

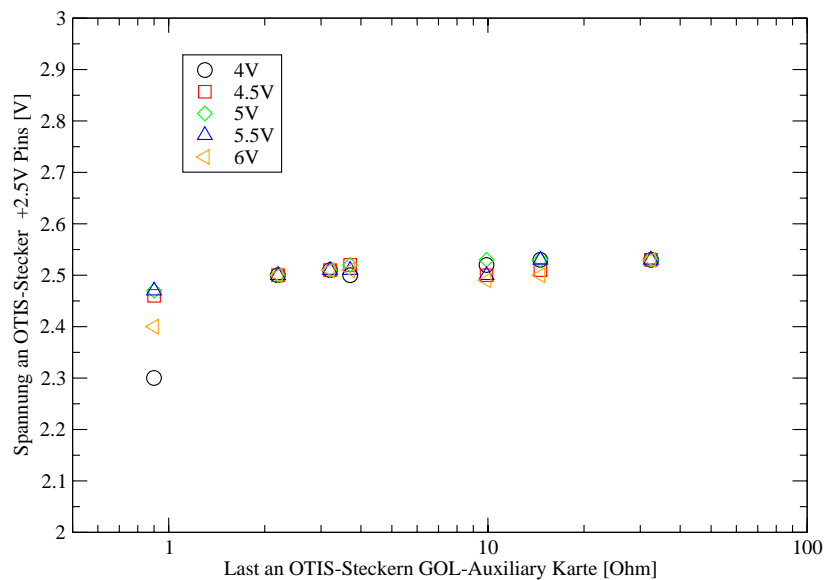
**Tabelle 5.1:** Lastwiderstände die zum Test der Niederspannungsregler an der GOL-AUX-Karte verwendet werden.



**Abbildung 5.3:** Spannung am OTIS-Stecker -3 V-Pins auf der GOL-Auxiliary-Karte vs. Lastwiderstand.



**Abbildung 5.4:** Spannung am OTIS-Stecker +3 V-Pins auf der GOL-Auxiliary-Karte vs. Lastwiderstand.



**Abbildung 5.5:** Spannung am OTIS-Stecker +2.5 V-Pins auf der GOL-Auxiliary-Karte vs. Lastwiderstand.

Eingangsspannung und einer maximalen Last von  $2.2 \Omega$   $3.00 \text{ V} +20 -50 \text{ mV}$  was ebenso kein Problem darstellt. Die Abweichungen am  $-3 \text{ V}$ -Regler sind bei einer Betriebsspannung von  $-4.5$  bis  $-6 \text{ V}$  an minimal  $2.2 \Omega$  mit  $-570 \text{ mV}$  bis  $+20 \text{ mV}$  zu groß für den Betrieb des ASDBLR. Bei Stromaufnahme von  $2 \text{ A}$  erlischt die Kontroll-LED (2-4).

Die unzureichende Spannungskonstanz am Ausgang des  $-3 \text{ V}$ -Reglers L7913, wurde im Folgenden weiter untersucht. In den bisherigen Untersuchungen war der negative Regler nicht an  $+2.5 \text{ V}$  angeschlossen, dies ist laut Beschreibung für die Strombegrenzungsanzeige und das Inhibit erforderlich, also wurde der  $V_{PLUS}$ -Eingang des L7913 an das  $+2.5 \text{ V}$  Netz auf der GOL-Auxiliary-Karte angeschlossen (J105). An die GOL-Auxiliary-Karte wurden  $+5 \text{ V}$  und  $-5 \text{ V}$  angelegt, als Spannungsquelle dienten die  $0-25 \text{ V}-0$ -bis- $0.8 \text{ Amp}$ -Ausgänge des Labornetzteils. Die an der GOL-Auxiliary-Karte mit dem Keithley 2000 gemessenen Spannungen waren  $+5.05 \text{ V}$  bis  $+5.08 \text{ V}$  am  $5 \text{ V}$ -Netz,  $3.03 \text{ V}$  bis  $3.04 \text{ V}$  am  $3 \text{ V}$ -Netz,  $-2.91 \text{ V}$  am  $-3 \text{ V}$ -Netz und  $2.5 \text{ V}$  bis  $2.8 \text{ V}$  am  $2.5 \text{ V}$ -Netz. Die Last an den Spannungsreglern besteht nur aus den Komponenten auf der Karte, also GOL 1.0, QPLL, LEDs.

Bei der positiven  $2.5 \text{ V}$ -Spannung war ein zunächst ein Driften der Spannung zwischen  $2.5 \text{ V}$  und  $2.8 \text{ V}$  zu messen. Nach Aus- und Wiedereinschalten der Spannungsversorgung war die Spannung wieder bei  $2.60 \text{ V}$  stabil. Das Driften der Spannung war ein Symptom der unten beschriebenen Probleme mit dem Schwingen der Niederspannungsregler.

Im folgenden wurde zunächst der negative Regler nochmals unter Last betrieben, der Versuchsaufbau ist in Abbildung 5.6 zu sehen, die Messung bei  $-5 \text{ V}$  Eingangsspannung zeigt Abbildung 5.7.

Eine Prüfung der Ausgangsspannung mit dem Oszilloskop (vgl. Abb. 5.6) zeigte eine Oszillation des Reglers, siehe Abbildung 5.8, mit  $25 \text{ kHz}$  und  $1.4 \text{ V}$  Amplitude. Oszillationen dieser Größe machen einen Detektorbetrieb unmöglich.

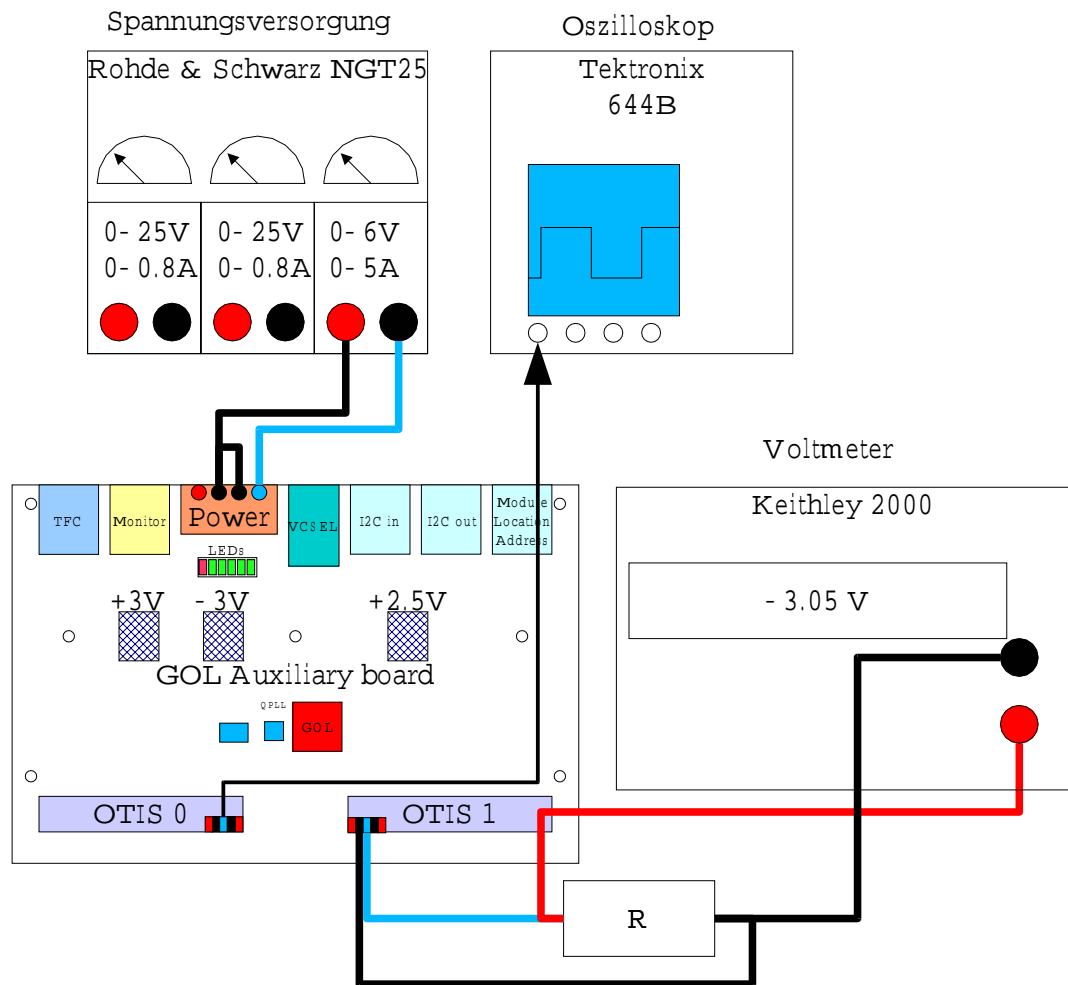
Eine systematische Betrachtung der Welligkeit des Ausgangssignals ergab ohne Last bei einer Zeitbasis von  $5 \text{ ns}$  pro Kästchen am Oszilloskop die in Tabelle 5.2 gezeigten Werte.

Meßpunkt	Spannung [V]	Welligkeit Pk-Pk [V]
S0-79	+3.00	0.200
S0-75	-3.00	0.160
S0-71	+2.50	0.140

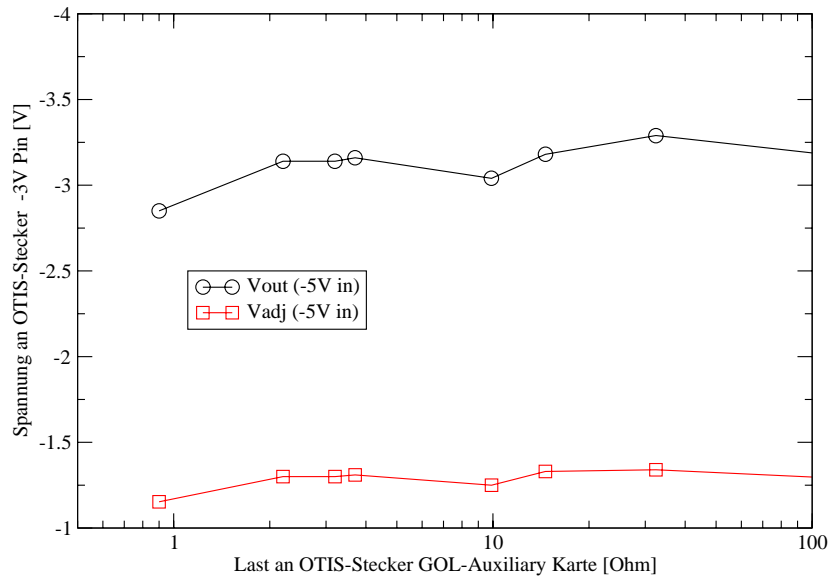
**Tabelle 5.2:** Welligkeit der Spannung an der GOL-Auxiliary Karte,  $5 \text{ ns}$  Zeitbasis.

In Abbildung 5.9 ist die mit dem Oszilloskop gemessene mittlere Spannung und deren Variation (Spitze - Spitze) gegen den Lastwiderstand für den  $-3 \text{ V}$ -Ausgang dargestellt, Abbildungen 5.10 und 5.11 stellen die Welligkeit des Ausgangssignals für die positiven Spannungsregler dar.

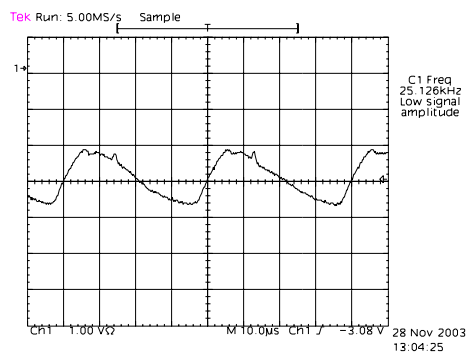
Ein Entfernen des Widerstandes, der den maximalen Ausgangsstrom reduziert, brachte keine Veränderung der Oszillationen. Für die beiden positiven Spannungsregler sind die Oszillationen deutlich geringer, wenn die Last schon vor dem Einschalten der Spannungsversorgung vorhanden ist, bei dem negativen Spannungsregler brachte ein Aus- und Einschalten des Netzgerätes keine deutliche Reduktion der Oszillationen. Ein Versuch mit



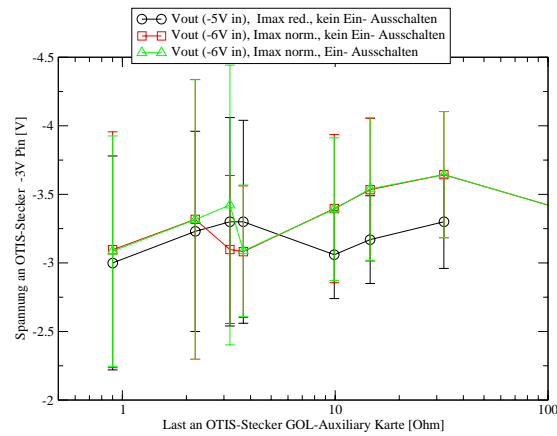
**Abbildung 5.6:** Laboraufbau zur Messung der Spannung an den Ausgängen der Niederspannungsregler unter Last, mit Messung der Welligkeit des Ausgangssignals.



**Abbildung 5.7:** Spannung am OTIS-Stecker, -3 V-Pins auf der GOL-Auxiliary-Karte und  $V_{ADJ}$  an Widerstand R176 vs. Lastwiderstand.  $V_{ADJ}$  sollte konstant -1.225 V sein.

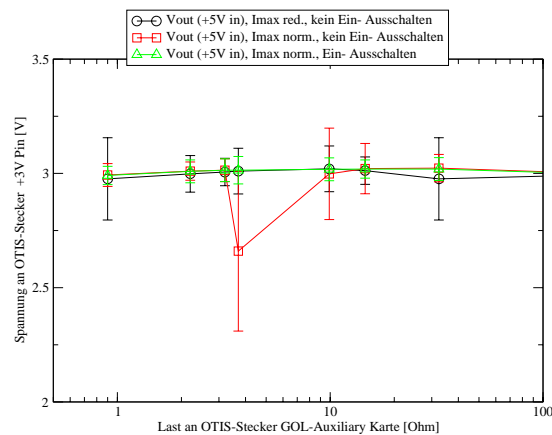


**Abbildung 5.8:** Oszillationen auf dem -3 V-Regler bei  $0.9 \Omega$  Last.



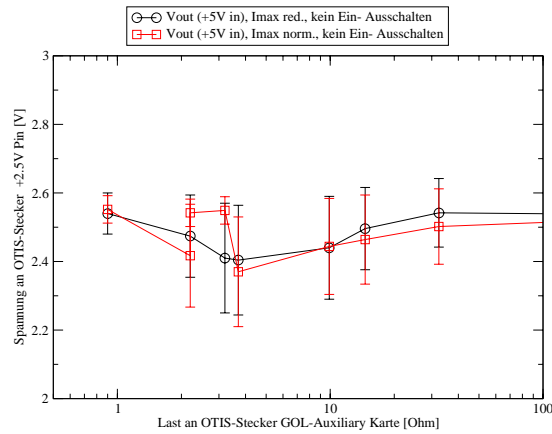
**Abbildung 5.9:** Spannung am OTIS-Stecker, -3 V-Pins auf der GOL-Auxiliary-Karte und Oszillationen vs. Lastwiderstand.

Die Oszillationen sind durch die Fehlerbalken repräsentiert und stellen die Pk-Pk-Oszillationen bei 20 bis 50  $\mu\text{s}$  Zeitbasis dar, die mittleren Spannungen sind mit dem Oszilloskop (mean) gemessen.



**Abbildung 5.10:** Spannung am OTIS-Stecker, +3 V-Pins auf der GOL-Auxiliary-Karte und Oszillationen vs. Lastwiderstand.

Die Oszillationen sind durch die Fehlerbalken repräsentiert und stellen die Pk-Pk-Oszillationen bei 50  $\mu\text{s}$  Zeitbasis dar, die mittleren Spannungen sind mit dem Oszilloskop (mean) gemessen.



**Abbildung 5.11:** Spannung am OTIS-Stecker, +2.5 V-Pins auf der GOL-Auxiliary-Karte und Oszillationen vs. Lastwiderstand.

Die Oszillationen sind durch die Fehlerbalken repräsentiert und stellen die Pk-Pk-Oszillationen bei 20 bis 50  $\mu\text{s}$  Zeitbasis dar, die mittleren Spannungen sind mit dem Oszilloskop (mean) gemessen.

-6 V anstelle -5 V Versorgungsspannung brachte ebenfalls keine Verbesserung. Die Oszillationen sind an den Stützkondensatoren des GOL 1.0 nicht meßbar geringer als am OTIS-Stecker, die Oszillationen sind nur im kHz-Bereich erkennbar, nicht im MHz-Bereich, siehe Abbildungen 5.12, 5.13.

In einem weiteren Test wurden die Oszillationen für 3.7  $\Omega$  Last an +3 V (S1-1) an verschiedenen Stellen gemessen. Die Spitzenschwankungsbreite war am OTIS-Stecker 680 mV, am +5 V-Eingang 1.32 V und am Ausgang des Netzteils 400 mV, siehe Abbildungen 5.14, 5.15. Das bedeutet auch in der +3 V-Spannungsversorgung waren die Oszillationen zu groß für den Detektorbetrieb.

### 5.3.3 Beseitigung der Oszillationen

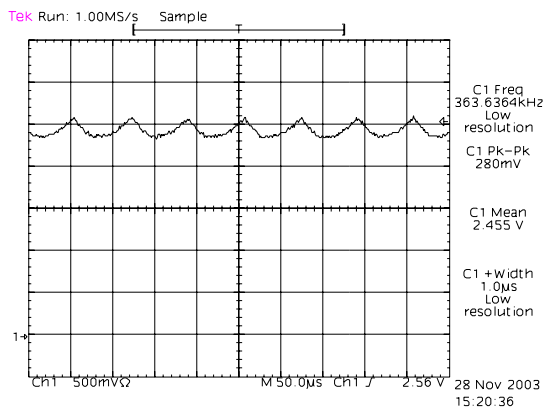
Da die Oszillationen speziell am negativen Spannungsregler für einen Detektorbetrieb zu groß waren, wurde durch Einfügen von zusätzlichen Abblockkondensatoren<sup>4</sup> und die Benutzung verbesserter Spannungsregler versucht, geringere Spannungsschwankungen zu erreichen.

Zunächst wurden mit einem negativen Regler<sup>5</sup> ohne zusätzliche Abblockkondensatoren das Oszillationsverhalten unter Last überprüft. Daraufhin wurde ein Tantalkondensator mit 22  $\mu\text{F}$  an den Spannungsausgang des negativen Reglers gelötet. Abbildung 5.16

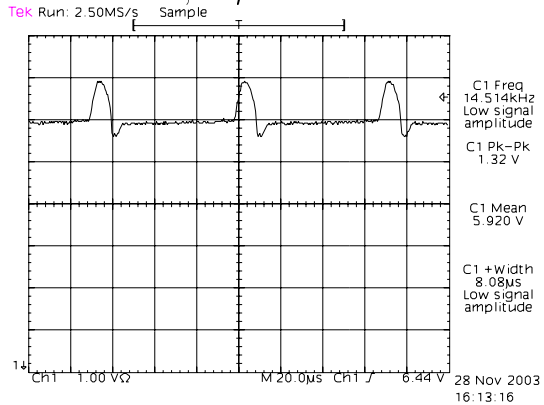
<sup>4</sup>Am negativen Spannungsausgang liegen in der Standardkonfiguration u.a. 4-10  $\mu\text{F}$  Keramikkondensatoren plus kleinere Typen.

<sup>5</sup>ST LHC1 ITA/7913AD H14AA0345

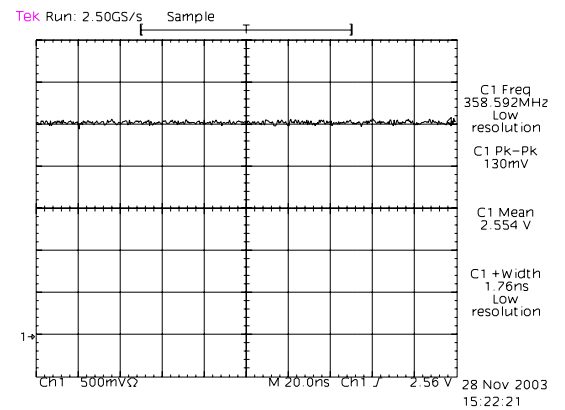




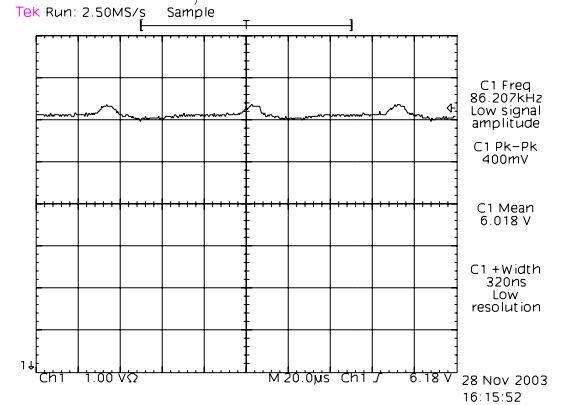
**Abbildung 5.12:** Oszillationen am 2.5 V-Regler, GOL 1.0, bei  $9.9 \Omega$  Last,  $50 \mu\text{s}$  Zeitbasis.



**Abbildung 5.14:** Oszillationen +5 V-Eingang GOL-Aux-Karte,  $3.7 \Omega$  Last an +3 V.



**Abbildung 5.13:** Oszillationen am 2.5 V-Regler, GOL 1.0, bei  $9.9 \Omega$  Last, 20 ns Zeitbasis.



**Abbildung 5.15:** Oszillationen +5 V-Ausgang Netzteil,  $3.7 \Omega$  Last an +3 V.

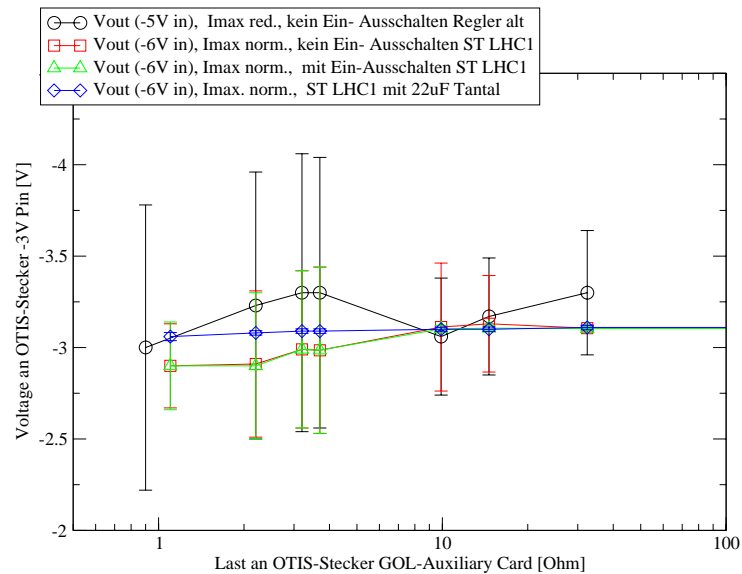
zeigt die Spannung unter Last für den ursprünglichen Regler, den Regler <sup>5</sup> mit und ohne Ein- Ausschalten der Spannungsversorgung, sowie für den Regler <sup>5</sup> mit 22  $\mu\text{F}$ -Tantal-Kondensator.

Mit Hilfe des 22  $\mu\text{F}$ -Tantalkondensators können die Oszillationen wirksam unterdrückt werden. Da Tantalkondensatoren als zu anfällig für Alterung gelten, muß für das Experiment eine andere Lösung gefunden werden. Versuche mit 10 bis 120  $\mu\text{F}$  Keramikvielschichtkondensatoren führten an 1.1 bis 3.2  $\Omega$  Last zu verbleibenden Oszillationen in Höhe von  $368 \pm 10$  bis  $510 \pm 10$  mV. Vermutlich werden einmal angeregte Oszillationen aufgrund der hohen elektrischen Güte der Keramik Kondensatoren schlechter bedämpft als bei Tantalkondensatoren gleicher Kapazität.

Eine Vergleichsmessung mit einem negativen Spannungsregler 7913AD H14AA0335 ST LHC3 ITALY zeigte  $>600$  mV pk-pk Oszillationen, wenn kein zusätzlicher Kondensator benutzt wurde, mit einem 100  $\mu\text{F}$  Tantalkondensator wurden lastunabhängig Spannungsschwankungen von  $\leq 108$  mV (Spitze - Spitze) gemessen.

Um die geringe Güte eines Tantalkondensators zu erzeugen, wurde ein Trimpotentiometer in Serie zu 11·10  $\mu\text{F}$ -Keramikkondensatoren geschaltet. Messung der Oszillationen am -3 V Ausgang unter verschiedenen Lasten zeigten Oszillationen von maximal 30 mV pk-pk nach Aus- Einschalten des Netzteils und maximalen 392 mV pk-pk bei Anschluß der Last bei eingeschalteter Versorgungsspannung, siehe Abbildung 5.17.

In der Version IF13-1 der GOL-Aux-Karte werden 47  $\mu\text{F}$ -Keramikkondensatoren mit 1  $\Omega$ -Serienwiderstand verwandt.



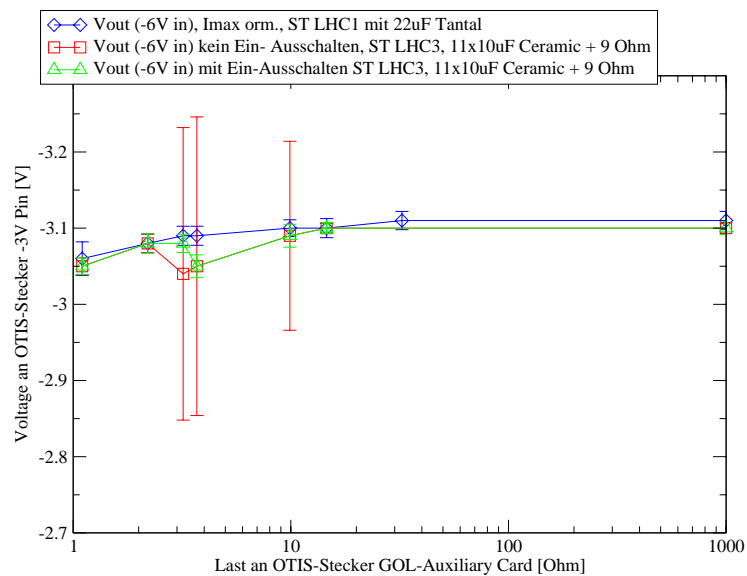
**Abbildung 5.16:** Spannung am OTIS-Stecker, -3 V-Pins auf der GOL-Auxiliary-Karte und Oszillationen vs. Lastwiderstand für LHC1 ITA/7913AD H14AA0345 Regler, mit und ohne  $22 \mu\text{F}$ -Tantal.

Die Oszillationen sind durch die Balken repräsentiert

und stellen die Oszillationen (Spitze - Spitze)

bei 20 bis  $50 \mu\text{s}$  Zeitbasis dar,

die mittleren Spannung sind mit dem Oszilloskop (mean) gemessen.



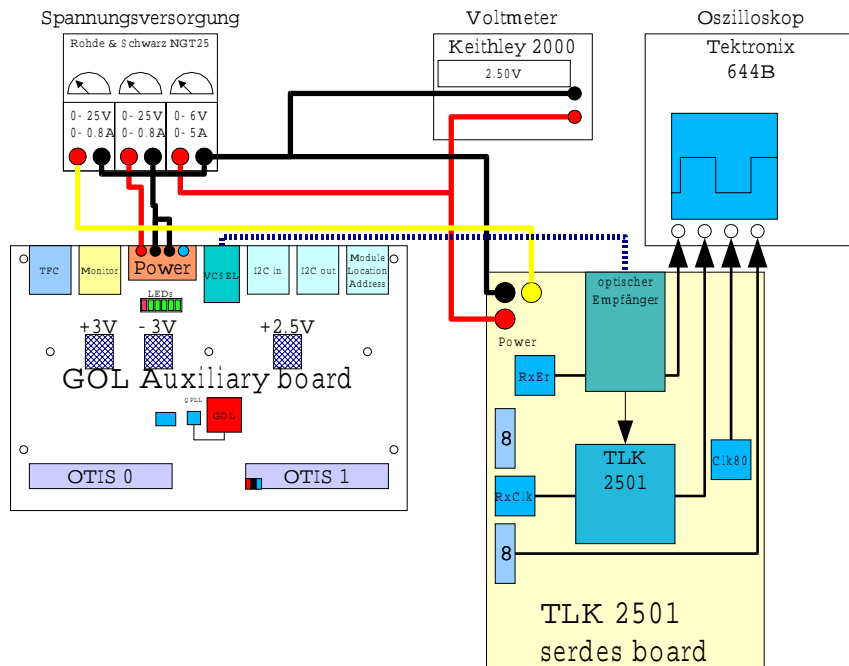
**Abbildung 5.17:** Spannung am OTIS-Stecker, -3 V-Pins auf der GOL-Auxiliary-Karte und Oszillationen vs. Lastwiderstand für LHC3 ITA/7913AD H14AA0335 Regler, mit  $22 \mu\text{F}$ -Tantal- bzw.  $110 \mu\text{F}$ -Keramik Kondensatoren und  $9.2 \Omega$  in Serie.

## 5.4 Betrieb GOL-Aux-Karte mit TLK2501-EVO-Karte

Nach Überprüfung aller Spannungen auf der GOL-Auxiliary-Karte wurde das Verhalten des GOL 1.0 Chips in der Übertragungskette vom parallelen Dateneingang an den OTIS-Stecker der GOL-Auxiliary-Karte, über den GOL-Chip, die VCSEL-Diode und 5 m optische Faser auf die TLK2501-Evaluations-Karte getestet.

### 5.4.1 Grundeinstellungen

Die optischen Übertragungsstrecke, siehe Abb. 5.18, besteht aus der GOL-Auxiliary-Karte und der TLK2501-EVO-Karte, die Komponenten sind in Tabelle 5.3 zusammengefaßt. Die Spannungen auf der GOL-Aux-Karte werden aus 5 V lokal von den Niederspannungsreglern L4913 erzeugt, auf die TLK-Karte werden 2.5 V (TLK) und 3.3 V (optischer Empfänger, Quarz) eingespeist.



**Abbildung 5.18:** Laboraufbau optische Übertragung GOL-Auxiliary-Karte auf die TLK2501-Karte, ohne Datenquelle.

Die Takterzeugung erfolgte über Quarze mit 40.0 MHz für den GOL 1.0 und 80.0 MHz für den TLK2501, im Experiment erfolgt die Taktverteilung über das TFC-System, der Takt wird von der Service-Box auf die GOL-Auxiliary-Karten verteilt und dort mit der QPLL gefiltert. Die Einstellungen auf der GOL-Auxiliary-Karte waren anfangs wie folgt (siehe Anhang E):

Funktion	Bezeichnung	Bezugsquelle	Spezifikation
Serialisierer	GOL 1.0	CERN	Gigabit Ethernet Transmitter, 32 Bit @ 40 MHz auf 1.6 GBit/s seriell, 2.5 V VCC
Deserialisierer	TLK2501	Texas Instruments	Gigabit Ethernet Transceiver, 1.5 bis 2.5 GBit/s seriell auf 16 Bit bei 75 bis 125 MHz SERDES-Evaluation-Modul, 2.5 V VCC
opt. Sender	HFT2291-541E No.14949T-6	Honeywell	850 nm Wellenlänge Multimode-Glasfaser 50/125 $\mu\text{m}$ , typ. 2 mA $I_{TH}$ , 500 $\mu\text{W}$ 3.3 V VCC
opt. Empfänger	MLC-25-8-1- TL	STRATOS Lightwave	850 nm Wellenlänge Multimode-Glasfaser 50/125 oder 62.5/125 $\mu\text{m}$ , PECL I/O, 3.3 V VCC
Glasfaser	7006-2688-15	KRONE	Multimode-Glasfaser Gi, 50/125 $\mu\text{m}$ , PC-MM-Schliff, LC-Stecker beidseitig, Kabel 1.8 mm, 5 m
Quarz A	40.0 MHz QXO-71B	Farnell	40.0 MHz-Oszillator $\pm 50$ ppm Stabilität bei -10 bis 70°C Tri-state HCMOS (3.3 V)
Quarz B	80.0 MHz QXO-71B	Farnell	80.0 MHz-Oszillator $\pm 50$ ppm Stabilität bei -10 bis 70°C Tri-state HCMOS (3.3 V)
Signalerzeuger	ACEX EP1K100- 208-1	ALTERA	147 I/Os, bis >100 MHz Takt, ca. 5000 Logische Elemente, 6 kB RAM, 2.5 V VCC

**Tabelle 5.3:** Komponentenliste für Übertragungsstrecke GOL-Auxiliary-Karte auf TLK2501-EVO-Karte.

- J101 select diff auf Masse, d.h. LVTTTL-Taktquelle (Quarzoszillator),
- J102 Taktquelle, Verbindung zu 40.0 MHz-Quarz,
- J105 Conf-Negedge auf Masse, Daten werden mit der steigende Taktflanke im GOL übernommen,
- J106 confi\_id.1 auf Masse,
- J107 confi\_id.0 auf Masse, Einstellung des Laserbiasstromes auf 5.8 mA siehe [6],
- J111 wird als Taktausgang benutzt,
- J112 QPLL mode 2.5 V, die QPLL erzeugt 40, 80, 160 MHz.

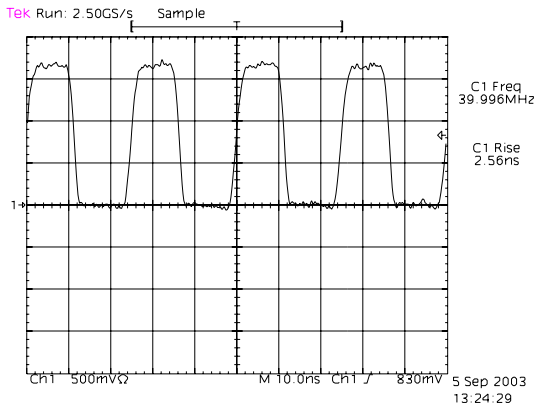
Die Einstellungen auf der TLK2501-EVO-Karte waren:

- TestEn auf Masse, kein Testmode,
- PRBSEn auf Masse, keine Pseudozufallszahlen,
- Lckref auf 2.5 V, Taktsynchronisation auf Eingangsdaten,
- Enable auf 2.5 V, eingeschaltet,
- Tx\_Er auf Masse, keine Fehlerpropagation im Ausgangspfad (nicht genutzt),
- LoopEn auf Masse, keine chipinterne Datenführung von, Eingang auf Ausgang,
- Tx\_En auf 2.5 V, normaler Datenversand (nicht genutzt).

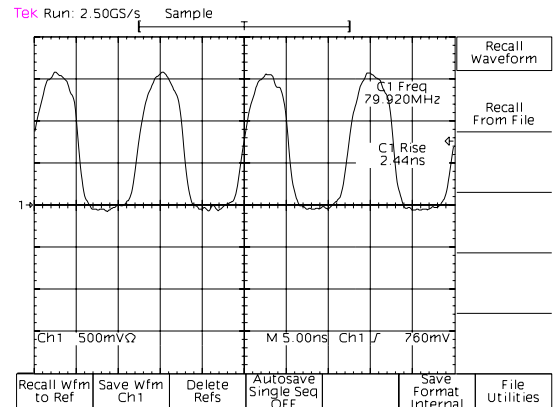
Der Takt auf GOL-Auxiliary-Karte und TLK-Karte wurden jeweils mit einem 50  $\Omega$ -BNC-Kabel und einem auf 50  $\Omega$  abgeschlossenen Tektronix Oszilloskop 644B (500 MHz Grenzfrequenz) gemessen. Der 40 MHz-Takt auf der GOL-Aux-Karte wurde an J111 abgegriffen, Abbildung 5.19 zeigt die gute Qualität des Taktsignals mit 2.6 ns Anstiegszeit. Der Takt auf der TLK-EVO-Karte wird von einem 80 MHz-Quarz erzeugt (Abb. 5.20), der TLK2501 benutzt diesen Takt und locked die Phase auf den Takt der ankommenden Daten, wodurch der Takt Rx\_Clk entsteht, Abbildung 5.21. Durch einen Fehler in der Reseteinstellung war bei dieser Messung der GOL 1.0 nicht im “ready” State, die Rx\_Clk war instabil. In Abbildung 5.22 ist das Taktsignal am differentiellen Ausgang (J103, J104) der QPLL zu sehen, die QPLL hat keinen Eingangstakt, läuft hier also frei.

Nach entfernen des Widerstandes R185 (Reset) ging der GOL 1.0 in den “ready” State, LED1 leuchtet. Die Rx\_Clk ist immer noch instabil, ein Indiz für mangelnde Übertragungsqualität.

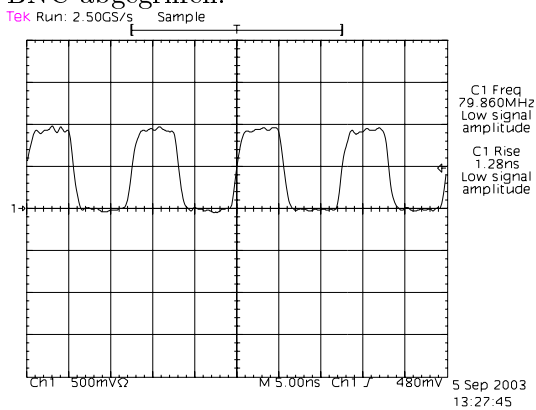
Das Verhalten bei Aus- und Wiedereinschalten der Versorgungsspannung wurde beobachtet. Es wurden von anderen Experimentatoren Probleme beim GOL 1.0 beobachtet, wenn der Takt schon vor dem GOL 1.0 Start anliegt. Der 40.00 MHz-Quarz dient weiter als Taktquelle, er wird vom gleichen Netzteil wie der GOL 1.0 versorgt. Tabelle 5.4 zeigt das Ergebnis von 10 Aus -Einschaltvorgängen. Der Zustand des GOL-Chip wird



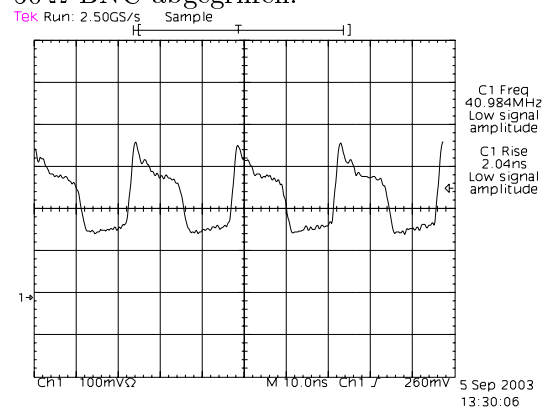
**Abbildung 5.19:** Taktsignal des 40.0 MHz-Quarzes auf der GOL-Auxiliary-Karte an J111 mit 50 Ω BNC abgegriffen.



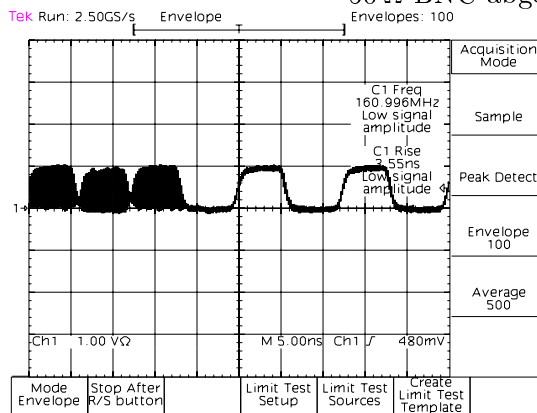
**Abbildung 5.20:** Taktsignal des 80.0 MHz-Quarzes auf der TLK2501-EVO-Karte an J5 mit 50 Ω BNC abgegriffen.



**Abbildung 5.21:** Taktsignal der 80.0 MHz Rx\_Clk auf der TLK2501-EVO-Karte an J15 mit 50 Ω BNC abgegriffen.



**Abbildung 5.22:** Taktsignal der frei schwingenden QPLL auf der GOL-Auxiliary-Karte an J103 mit 50 Ω BNC abgegriffen.



**Abbildung 5.23:** Rx\_Clk auf TLK-Karte instabil, wegen instabiler Datenübertragung.

über die LED1, also den “ready” State beurteilt, der des TLK über den rückgewonnenen Takt Rx\_Clk und das Fehlerbit Rx\_Er, dazu werden mit dem Oszilloskop in der Einstellung Envelope 100 fünf Messungen gemacht, also 5x100x50 ns oder 2000 Taktzyklen bei 80 MHz beobachtet. Abbildung 5.23 zeigt die Rx\_Clk auf der TLK-Karte bei schlechter Datenübertragung.

GOL 1.0 “ready”		Rx_Clk		Rx_Er	
an	aus	stabil	instabil	50 %	<50 %
5.8 mA Biasstrom, Stromteiler					
10	0	7	3	10	
16.2 mA Biasstrom, nur 22 $\Omega$ Vorwiderstand					
10	0	10			10

**Tabelle 5.4:** Zustand des GOL 1.0 und des TLK2501 nach Aus- Einschalten der Spannungsversorgung.

Das gleiche Verhalten des Aufbaus wurde auch unter Ausklinken und Wiedereinklinken der optischen Faser beobachtet, Tabelle 5.5.

Rx_Clk		Rx_Er	
stabil	instabil	50 %	<50 %
5.8 mA Biasstrom, Stromteiler			
7	3	10	
16.2 mA Biasstrom, nur 22 $\Omega$ Vorwiderstand			
10	0	1	9

**Tabelle 5.5:** Zustand des TLK2501 nach Aus- Einstecken der optischen Faser.

Da der Biasstrom durch den Stromteiler R136, R110 zu stark reduziert wurde (nur günstig bei 30 mA Biasstrom), wurde versuchsweise der Widerstand R136 ausgelötet und der Strom auf 16.2 mA erhöht. Die Fehlerrate “Rx\_Er” sank darauf, in 60 s ( $9.6 \times 10^{10}$  Bit) trat kein Fehler auf (Vergleiche auch Abschnitt 4.2).

Darauf wurde das Verhalten bei Aus- und Einschalten und bei Ab- und Einklinken der optischen Faser wiederholt siehe Tabellen 5.4 und 5.5 unten. Das Ergebnis ist nun gute Datenübertragung nach dem Einschalten, gute Übertragung nach Wiedereinklinken der Glasfaser in 9 von 10 Fällen. Im Experiment bedeutet eine Ausfallrate nach einem Neueinschalten von  $10^{-6}$ , daß bei 432 GOL-Auxiliary-Karten 0.04 % der Daten hierdurch unvollständig sind.

Ergänzend wurde der 40 MHz-Takt durch schalten an J102 aus- und eingeschaltet. Bei zehn Testläufen war nach dem Wiedereinschalten des Taktes jedesmal der GOL 1.0 im “ready” Zustand, die RX\_Clk auf der TLK-Karte war über 2000 Zyklen stabil und es gab in jeweils 10 s keinen einzigen Übertragungsfehler Rx\_Er.

Die Stromaufnahme der GOL-Auxiliary-Karte wurde bei stabiler Datenübertragung



mit dem Keithley 2000 gemessen. Die QPLL lief hierbei frei, es waren an der GOL-Auxiliary-Karte keine OTIS- oder ASDBLR-Karten angeschlossen. Die Stromaufnahme betrug 0.25 A bei guter Datenübertragung, 0.07 Amp wenn der GOL-Chip keinen Takt bekam.

### 5.4.2 Stabilität der Datenübertragung

Zur Bestimmung der Stabilität der Datenübertragung zwischen GOL-Auxiliary-Karte und TLK2501-EVO-Karte wurden auf den 80-Pin-OTIS Stecker ein 20-Pin-Finepitch-Crimpstecker gesteckt.

Im ersten Schritt wurden auf den Testadapter am OTIS-Stecker die bereits in Abschnitt 4.2 benutzten Flachbandkabel 20-polig-fine-pitch auf 20-polig-1/10 Zoll genutzt.

Erst wurde für ein Kabel an OTIS-Stecker-S0 der Gleichstromdurchgang für die Datenanschlüsse [7..0] auf die GOL-Auxiliary-Karte erfolgreich geprüft.

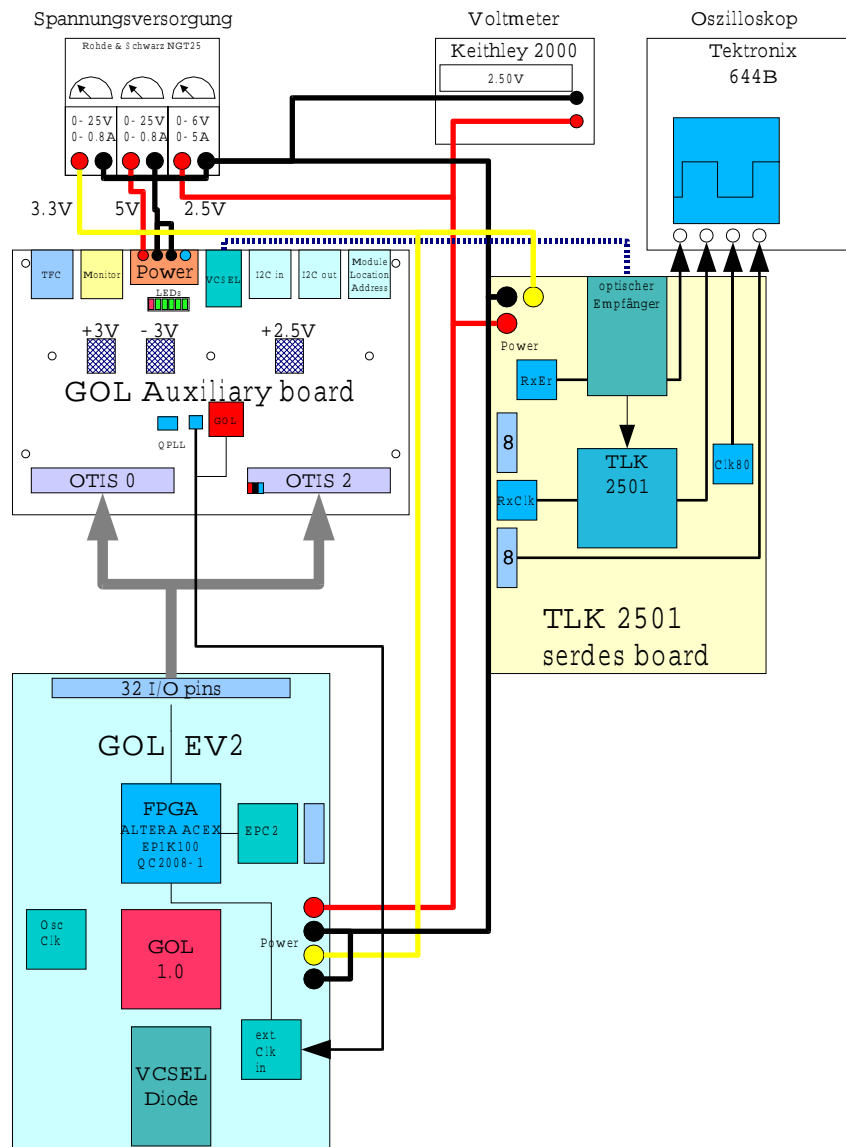
Die darauffolgende Prüfung aller Betriebsspannungen ergab die Werte in Tabelle 5.6. Der 40 MHz-Takt wurde an J111 mit dem Oszilloskop überprüft und zeigte keine Mängel. Am parallelen Datenausgang Data\_0 auf der TLK-Karte war ein 40 MHz-Signal zu sehen, was durch das Multiplexen der logischen Eins vom Stecker S0 (Datenleitungen an 2.5 V angeschlossen) mit der logischen Null der nicht angeschlossenen Datenleitungen auf S2 entstand.

Testpunkt	$V_{nominal}$ [V]	$V_{gemessen}$ [V]
GOL-AUX-Karte		
+5 V-Eingang	+5.00	5.00
-5 V-Eingang	-	unbestimmt
Filterkapazität GOL 1.0	+2.50	2.53
Filterkapazität QPLL	+2.50	2.52
$V_{CC}$ 40 MHz-Quarz	3.00	3.0
TLK2501-Evaluations-Karte		
$V_{DD}$	+2.50	2.58
$V_{CC}$	+3.30	3.34

**Tabelle 5.6:** Spannungen GOL-Aux- und TLK2501-Karte.

Der Test mit statischen Signalen, also 2.5 V oder GND zeigte an S0 und S2 gute Datenübertragung bis zu den parallelen Datenausgängen der TLK-Karte.

Um die Datenübertragung mit veränderlichen Daten zu testen, wurde auf der GOL-EV2-Karte ein 32-Bit-Zähler implementiert, der mit 20 MHz läuft, Aufbauskinne siehe Abbildung 5.24, 12 LEDs zeigen die MSBs des Zählers. Bei direktem Anschluß der Zählerdaten über Finepitchkabel ist die Datenintegrität an den TLK2501-Ausgängen schlecht. Eine Überprüfung aller 32 Datenausgänge an der GOL-EV2-Karte mit dem Oszilloskop und 1 M $\Omega$ -Tastkopf zeigt dort noch gute Signalqualität. Nach 50 cm Finepitchkabel ist die Signalqualität an der GOL-Auxiliary-Karte sehr schlecht.



**Abbildung 5.24:** Laboraufbau optische Übertragung von Zählerdaten aus der GOL-EV2-Karte mit der GOL-Auxiliary-Karte auf die TLK2501-EVO-Karte.

Um die Signale leichter verfolgen zu können wurden die gleichgen Zählerdaten auf Bits [15..0] und [31..16] gelegt, die Daten am TLK-Ausgang müssen dann nicht mehr deserialisiert werden.

Da die Signalqualität ohne Terminierung auf der GOL-Aux-Karte schlecht war, siehe Abbildung 5.25, wurde eine  $120\ \Omega$ -Terminierung in den Adapter auf dem OTIS-Stecker S0 eingelötet, Abbildung 5.26. Das gemessene Überspringen sank so von 20% auf 7%. Einlöten einer Massenverbindung in den Adapter brachte weitere Verbesserung. Die Fehler-rate war nun für den terminierten Kanal in der Größenordnung von 1%, bei dem unterterminierten Nachbarkanal 5%, die Messung erfolgte mit dem Oszilloskop am TLK-Ausgang und durch Überlagerung von 100 Pulsen. Eine weitere Verbesserung kam durch Terminierung mit  $100\ \Omega$  statt bisher  $120\ \Omega$ , siehe Abbildung 5.27. Auf den Adapter auf OTIS-Steckern S0 und S2 wurden darauf alle OTIS-Datenleitungen OTISN\_D\_P[7..0] mit  $100\ \Omega$  gegen Masse terminiert.

Alternativ zu der  $100\ \Omega$ -Terminierung auf der GOL-Aux-Karte wurde versucht, durch Verkürzung der 20-poligen Flachbandkabel von der GOL-EV2-Karte auf die GOL-Aux-Karte von bisher 47 cm auf 10 cm eine gute Signalqualität zu erreichen. Nach der Überprüfung des Kontakts auf allen Kanälen wurden Zählerdaten ohne Terminierung mit 10 cm bzw. 47 cm Kabellänge auf die GOL-Auxiliary-Karte gegeben, die Signale am GOL-Aux-Eingang zeigen deutliche Über- bzw. Unterschwingen, siehe Abbildungen 5.28 und 5.29.

Die Fehlerrate mit 10 cm Flachbandkabel bei gleichen Daten an S1 und S3 (MSBs und LSBs gleich), war unter 1 %, bei 47 cm Flachbandkabel stieg die Fehlerrate für Datenleitung 3 und 4 an.

Für weitere Tests wurden vier 15 cm lange 20-polige Flachbandkabel vercrimpt und getestet.

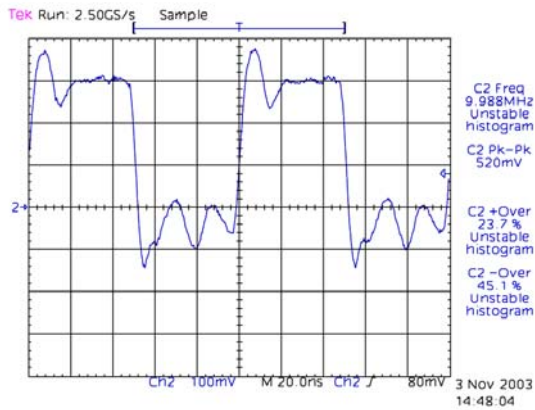
Die Latenz zwischen dem Dateneingang auf der GOL-Aux-Karte zum parallelen Datenausgang auf der TLK-EVO-Karte wurde mit Zählerdaten zu  $112.5 \pm 1\ \text{ns}$  gemessen, entsprechend 5 Taktzyklen der Rx\_Clk. Die Übertragungstrecke war hierbei:

- ACEX-FPGA auf GOL-EV2-Karte als Datenquelle,
- 15 cm Flachbandkabel,
- GOL-Auxiliary-Karte Nr.1,
- 5 m optische Fiber,
- TLK2501-EVO-Karte.

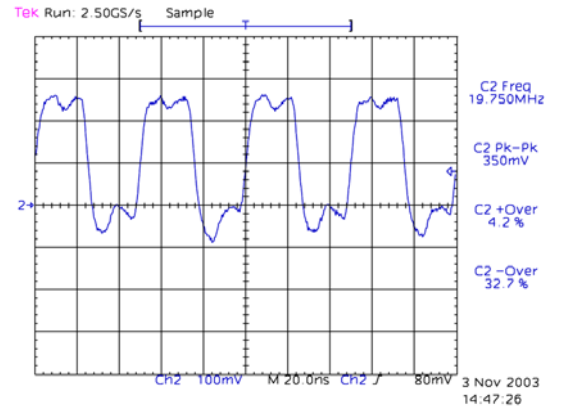
Die Überprüfung der Datenintegrität für diesen Aufbau, ohne Terminierung am GOL-Aux-Eingang zeigte Fehler an RD5 auf der TLK-Karte (siehe Abbildung 5.30) bei einer Mittelung über 7000 Ereignisse. Abbildung 5.31 zeigt eine Messung des entsprechenden Kanals OTIS-Data5 auf der GOL-Aux-Karte.

Die Oszilloskopaufnahme Abb. 5.31, blaue Kurve, zeigt Oszillationen mit 5 MHz, möglicherweise Einstreuungen vom Nachbarkanal.

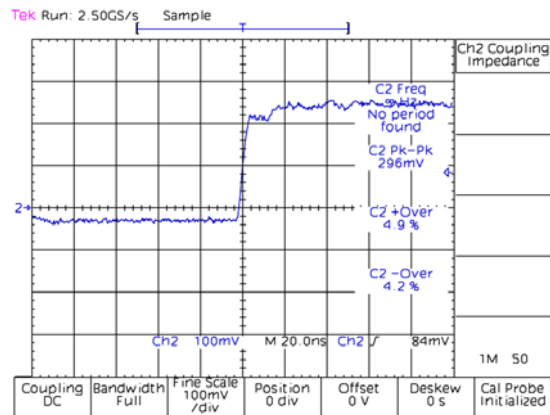
Aus den hier beschriebenen Tests folgt, es gibt keine Alternative zu einer Terminierung der Datenverbindung zwischen GOL-EV2 und GOL-Auxiliary-Karte.



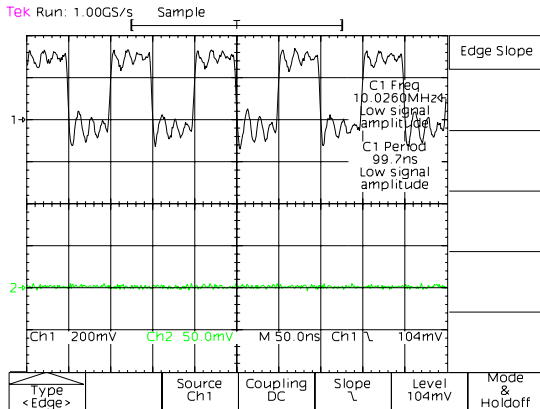
**Abbildung 5.25:** Signal GOL-EV2 auf GOL-Aux-Karte ohne Terminierung.



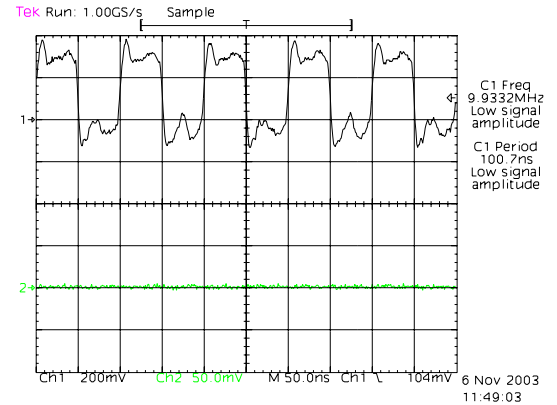
**Abbildung 5.26:** Signal GOL-EV2 auf GOL-Aux-Karte mit 120  $\Omega$ -Terminierung.



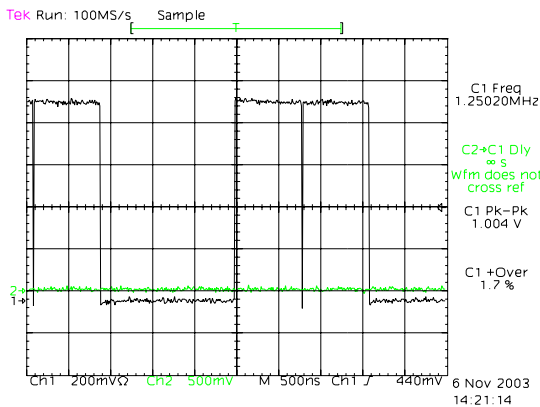
**Abbildung 5.27:** Signal GOL-EV2 auf GOL-Aux-Karte mit 100  $\Omega$ -Terminierung.



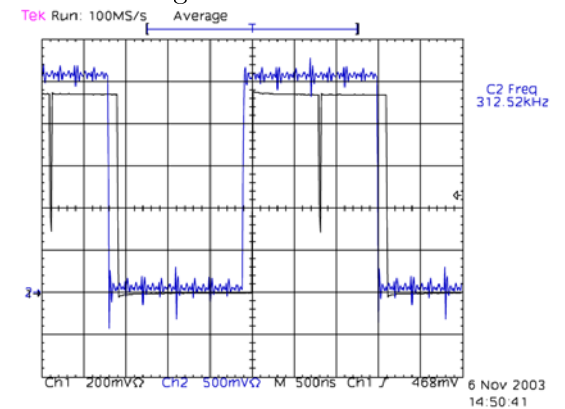
**Abbildung 5.28:** Signal GOL-EV2 auf GOL-Aux-Karte 10 cm ohne Terminierung.



**Abbildung 5.29:** Signal GOL-EV2 auf GOL-Aux-Karte 47 cm ohne Terminierung.



**Abbildung 5.30:** Signal GOL-EV2 auf GOL-Aux-Karte 15 cm ohne Terminierung, gemessen am parallelen Ausgang auf der TLK2501-EVO-Karte. Man erkennt jeweils in der Mitte des Signals eine Störung.



**Abbildung 5.31:** Signal GOL-EV2 auf GOL-Aux-Karte 15 cm ohne Terminierung, gemessen an der GOL-Auxiliary-Karte Stecker-S0 Pin OTIS-Data5, blaue Kurve. Man erkennt jeweils in der Mitte des Signals eine Störung.

Da bisher die GOL-EV2-Karte und die GOL-Aux-Karte von verschiedenen Taktquellen versorgt wurden, kam es zu Übertragungsfehlern, deshalb wird der Takt nun zentral von der GOL-Aux-Karte verteilt. Eine Überprüfung des Taktes auf allen drei Karten zeigte die starre Phasenbeziehung.

Durch Variation der Länge der Taktzuführung von der GOL-Auxiliary-Karte auf die GOL-EV2 sollte die relative Phase zwischen Daten aus dem 32-Bit-Zähler und dem GOL-Takt variiert werden. Tabelle 5.7 zeigt das Ergebnis dieser Untersuchung. Im Standardaufbau waren die Datenleitungen 50 cm und die Taktleitung 75 cm lang, für den Test wurde die Taktleitung mit einem weiteren Stück 50  $\Omega$ -BNC-Leitung verlängert. Da die Taktleitung vom 40 MHz-Quarz auf der GOL-Auxiliary-Karte zum FPGA auf der GOL-EV2-Karte nicht terminiert ist, treten Reflexionen auf, die sich dem Takt überlagern und zu Datenverlusten führen.

Länge der Taktleitung [cm]	Datenqualität
75 + 80 = 155	Datenverlust
75 + 40 = 125	kein Datenverlust
75 + 120 = 195	kein Datenverlust
75 + 20 = 95	Datenverlust, GOL nicht "ready"
75 + 40 = 125	Datenverlust, GOL nicht "ready"

**Tabelle 5.7:** Länge der Taktzuführungsleitung vs. Datenverlust.

## 5.5 QPLL-Inbetriebnahme

Die QPLL ist ein strahlenharter Chip, der den über das TFC-System verteilten Systemtakt für den Betrieb des GOL-Serialisierers filtern soll. Der Systemtakt des LHC-Experiments von 40.0796 MHz wird vom TTC-System global über optische Fasern an die Subsysteme verteilt. Die TFC-Daten werden vom strahlenharten TTCrx-Chip dekodiert. Im äußeren Spurkammersystem ist ein TTCrx pro Servicebox vorgesehen, dort soll der Takt mit einer ersten QPLL<sup>6</sup> Jitter bereinigt werden und über strahlenharte LVDS-Treiber an (18) Modulenden bzw. GOL-Auxiliary-Karten verteilt werden. Auf den GOL-Auxiliary-Karten wird der Takt nochmals von einer QPLL gefiltert und von dort an den GOL-Chip und die OTIS-TDCs verteilt. Die QPLL kann den Jitter des Taktsignales von bis zu 120 ps RMS auf 50 ps pk-pk reduzieren. Der Jitter am TTCrx-Taktausgang beträgt 25 bis 90 ps RMS [14], der Jitter am GOL-Takteingang darf maximal 100 ps pk-pk betragen. Die QPLL benutzt einen speziellen Quarz (VCXO) mit der 4-fachen LHC-Frequenz. Der enge Lock-Bereich von <3 kHz [30] erschwert den Laborbetrieb der QPLL.

Als Taktquelle wurde eine weitere GOL-Auxiliary-Karte (Nr.2) zum Aufbau (Abb. 5.24) hinzugefügt. Als Taktleitung zwischen Taktausgang QPLL A (J103, J104) und TFC-Eingangsstecker auf GOL-Auxiliary-Karte B wurde 90 cm Netzkabel mit RJ45-Steckern

<sup>6</sup>Auf der verwendeten TTCrx Karte [34] sind TTCrx und QPLL integriert.

benutzt. Die Spannungen an QPLL und GOL 1.0 (2.50 V) sowie 5 V Versorgung GOL-Aux-Karte (5 V) wurden überprüft. Mit der QPLL auf GOL-Aux-Karte Nr.1 als Taktquelle ging die andere QPLL auf GOL-Aux-Karte Nr.2 in den “lock”-Zustand, der GOL-Chip in den “ready”-Zustand, beides wurde über die LED13 bzw. LED1 verifiziert. “lock”- bzw. “ready”-Zustand bedeuten, daß eine starre Phasenbeziehung zwischen Eingangssignal und Signalen im Chip bzw, Ausgangssignalen besteht. Mit der QPLL auf Karte Nr.2 als Taktquelle, QPLL auf GOL-Aux-Karte Nr.1 als Empfänger konnte dagegen kein stabiler “lock”-Zustand für GOL und QPLL hergestellt werden. Bei nichtdifferentieller Taktübertragung vom 40 MHz-Quarz auf GOL-Aux-Karte 1 über 70 cm Lemo-Kabel auf GOL-Aux-Karte Nr.2 ging zwar der GOL 1.0 in der “ready”-Zustand, die Daten nach der Übertragung am TLK waren aber ungültig, was auf Probleme in der Synchronisationsphase der optischen Verbindung hindeutet.

### 5.5.1 QPLL an einer externen Taktquelle

Im folgenden wurde versucht die QPLL mit einer externen Taktquelle zu betreiben. Dazu wurde ein Frequenzgenerator Rohde & Schwarz SMS2 (0.1 bis 1040 MHz) benutzt. Die Frequenz des hier benutzten Quarzkristalls für die QPLL ist nominell 163.840 MHz, die notwendige Eingangsfrequenz ist ein Viertel, also 40.960 MHz. Mit einem LVDS-Treiber DS90C931 wurde das einfache Taktsignal zunächst direkt aus dem Frequenzgenerator in ein differentielles Signal gewandelt und über 90 cm Kat5-Kabel an den TFC-Eingang der GOL-Auxiliary-Karte Nr.1 angelegt, was aufgrund des geringen (maximal 1V) Ausgangspegels des Frequenzgenerators nicht funktionierte. Durch zwischenschalten eines aktiven Elementes (FPGA oder TFC-System) konnte der nötige Pegel sichergestellt werden (s.u.).

## 5.6 TFC-System

Das “Timing and Fast Control System” (bei LHCb auch “ Time and Trigger Control System” TTC) dient neben der Taktverteilung auch der Verteilung taktsynchroner Signale, wie Trigger und Resetsignale. Für die Anwendung im Labor wird das TFC-System mit einem TTCvi- und einem TTCvx-VME-Modul aufgebaut, welche alle Signale generieren, die sonst vom Readout-Controller für das gesamte Experiment erzeugt werden (s. 4.3.1). Der Aufbau bestand aus den in Tabelle 5.8 aufgeführten Komponenten. Abbildung 5.32 zeigt schematisch den Standardaufbau vom TFC-System mit der GOL-Aux-Karte.

Der Takt, der über das TTC-System verteilt wird und am TTCrx anliegt, ist speziell bei gleichzeitiger Übertragung von Daten auf Kanal B <sup>7</sup>, nicht hinreichend frei von Jitter, um den GOL 1.0 zu betreiben. Daher ist eine Filterung mit dem QPLL-Chip auf der GOL-Aux-Karte erforderlich. Da dieser nur Frequenzen in einem engen Bereich um die Mittenfrequenz des zugehörigen Quarzes filtern kann ( $f_{Quarz} \pm 2.5 \pm 0.5$  kHz), war ein fein justierbarer Frequenzgenerator als Taktquelle sinnvoll.

---

<sup>7</sup>Während der Takt aus den Daten zurückgewonnen wird und Kanal A ausschließlich die Triggerentscheidung überträgt, werden auf Kanal B alle übrigen taktsynchronen Signale wie Reset und Testpulssignale verteilt. Beide Kanäle werden gemultiplext über die selbe optische Leitung verteilt.

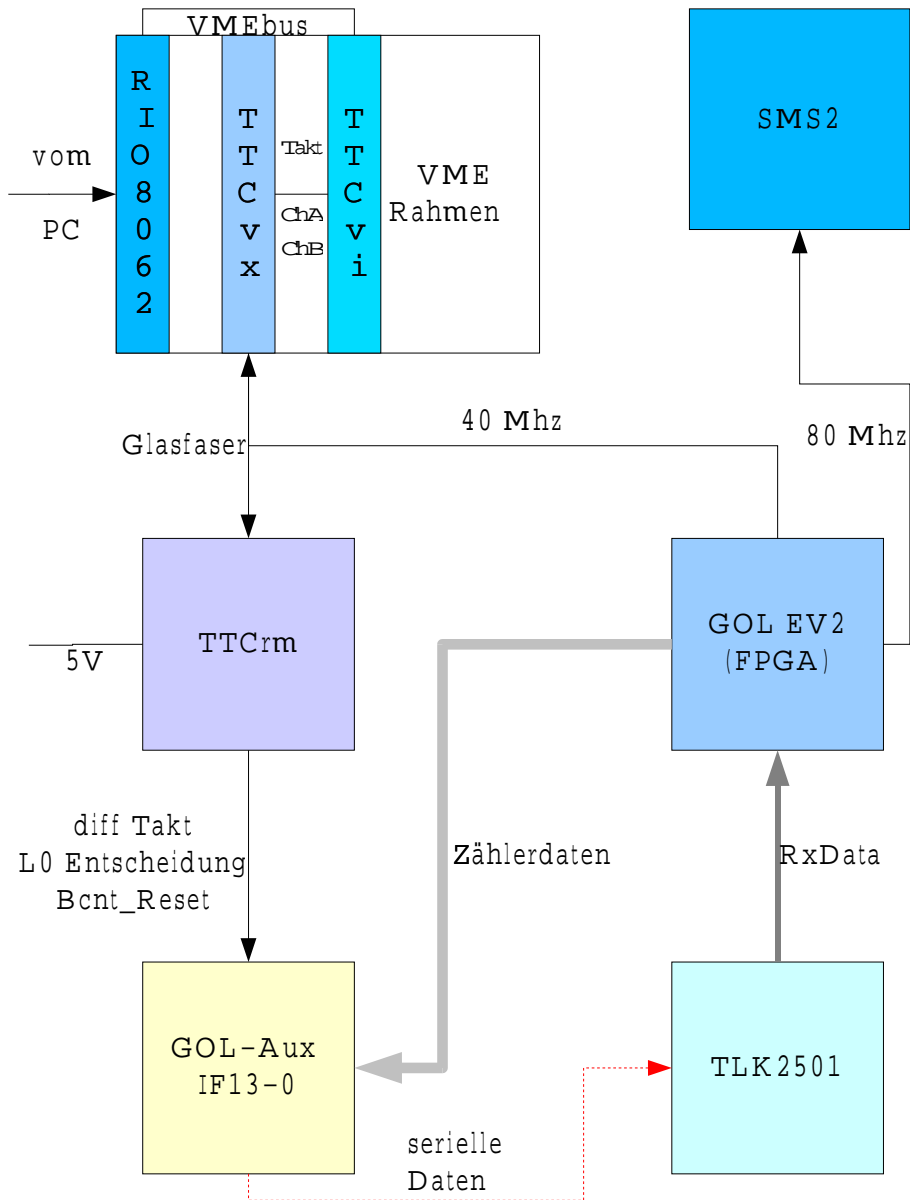


Abbildung 5.32: Laboraufbau des TFC-Systems mit der GOL-Auxiliary-Karte.



Funktion	Bezeichnung	Bezugsquelle	Spezifikation
<b>Timing and Fast Control</b>			
Server-PC für VME-CPU	Linux-PC	?	Pentium (III) PC
VME-CPU	RIO2 8062	CES (alt)	PowerPC als VME-Controller
VME-TTC-Interface	TTCvi	CERN EP	VME-Karte mit zur Erzeugung von TFC-Daten (Zufallstrigger etc.) ECL- bzw. NIM- Ein- Ausgängen
TFC-Multiplexer etc.	TTCvx	CERN EP	VME-Karte zur Erzeugung des Taktes, A und B Kanal Eingang (von TTCvi), Multiplexer und optischem Ausgang (zu TTCrx)
Optische Faser für TFC	?	suner fiberoptics	50/125 $\mu$ m, ST-Stecker
TFC-Empfänger	TTCrx	CERN EP	Ausgänge für Takt, Trigger, BCnt-Reset etc. LVTTTL (I/O Zelle OB33)
Tochterkarte mit TTCrx	TTCrm	CERN EP	Mezzanine-Karte mit TTCrx, XC1736D PROM, Agilent HFBR-2316T Photodiode und 2 50-fach-Steckern
Adapterkarte für TTCrm	-	selbstgemacht	Stromzufuhr 5 V, LVDS-Treiber DS90CO31TM für Takt, Trigger, BCnt_Reset
<b>GOL-Auxiliary-Board und Datenübertragung</b>			
Aux-Karte	GOL-Aux-Karte	Prototyp	s.o.
Serialisierer	GOL 1.0	CERN	Gigabit Ethernet Transmitter, 32 Bit @ 40 MHz auf 1.6 GBit/s seriell, 2.5 V VCC
Taktfilter	QPLL 2003	CERN	Taktfilter mit externem Quarzoszillator, $f_{Quarz} \pm 3 \pm 0.5$ kHz Frequenzbereich
Deserialisierer	TLK2501	Texas Instruments	Gigabit Ethernet Transceiver, 1.5 bis 2.5 GBit/s seriell auf 16 Bit bei 75 bis 125 MHz SERDES-Evaluation-Modul, 2.5 V VCC
opt. Sender	HFT2291-541E No.14949T-6	Honeywell	850 nm Wellenlänge Multimode-Glasfaser 50/125 $\mu$ m, typ. 2 mA $I_{TH}$ , 500 $\mu$ W 3.3 V VCC
opt. Empfänger	MLC-25-8-1-TL	STRATOS Lightwave	850 nm Wellenlänge Multimode-Glasfaser 50/125 oder 62.5/125 $\mu$ m, PECL I/O, 3.3 V VCC
Glasfaser	7006-2688-15	KRONE	Multimode-Glasfaser Gi, 50/125 $\mu$ , PC-MM-Schliff, LC-Stecker beidseitig, Kabel 1.8 mm, 5 m
FPGA-Karte	GOL-EV2	Prototyp	Karte mit ACEX-FPGA und 32 Daten I/Os für Bitfehlertests
Signalerzeuger	ACEX-EP1K100-208-1	ALTERA	147 I/Os, bis >100 MHz Takt, ca. 5000 Logische Elemente, 6 kB RAM, 2.5 V VCC
Sinusgenerator	SMS2	Rohde & Schwarz	1024 MHz Maximalfrequenz

**Tabelle 5.8:** Komponentenliste für Übertragungsstrecke mit TTC-System, GOL-Aux-Karte.

Der genutzte Sinusgenerator SMS2 von Rohde und Schwarz läßt sich in 100 Hz Schritten einstellen. Da der TLK2501-Deserialisierer eine Frequenz von ca. 80 MHz mit 40 ps pk-pk Jitter benötigt, wurde mit dem SMS2 in der Regel ein ca.80 MHz-Takt erzeugt, der dann einerseits mit einem FPGA auf 40 MHz heruntergeteilt wurde, andererseits direkt als Referenztakt für den TLK2501 diente. Der auf 40 MHz geteilte Takt wurde mittels BNC-Kabel in das TTCvx-Modul eingespeist, von dort an das TTCvi weitergeleitet. Der Takt und die Triggerdaten wurden vom TTCvi generiert, dem TTCvx formatiert, über optische Faser verschickt und vom TTCrx dekodiert. Mit einem LVDS-Treiber auf der TTCrm-Versorgungskarte wurde das Taktsignal in ein Ethernetkabel gespeist und auf die GOL-Aux-Karte gebracht. Dort wurde der Takt durch den QPLL-Chip gereinigt und an den GOL 1.0 ausgegeben. Die vom GOL-Chip mit dem 40-fachen dieses Taktes verschickten Daten wurden vom TLK2501-Deserialisierer auf der TLK2501-EVO-Karte empfangen.

## 5.7 Takteigenschaften der einzelnen Bausteine

Einzelne Bausteine des Taktverteilungsschemas (vgl. Abb.5.32) wurden in Bezug auf die nutzbare Taktspanne, oder ihren Taktfehler untersucht.

Die Auflösung der Jittermessung mit dem SMS2-Sinusgenerators wurde mit dem Tektronix TDS 644B Oszilloskop bei 40.9600 MHz untersucht. Das Signal war ein Sinussignal mit 1 V Höhe, in gespreizter Darstellung bei 1 mV bzw. 200 ps pro Kästchen und einer Einhüllung von 1000 Meßwerten. Die Messung ergibt eine obere Abschätzung des Meßfehlers von 120 ps, siehe Abb. 5.49.

Der maximale Taktunterschied zwischen GOL-Sender und TLK2501-Empfänger wurde ermittelt, indem der Sender mit dem regelbaren SMS2, der Empfänger mit einem 80.00000 MHz-Oszillator betrieben wurde.

Im Bereich von  $39.9820 \text{ MHz} \pm 100 \text{ Hz}$  bis  $40.0186 \text{ MHz} \pm 100 \text{ Hz}$  am SMS2 war die Phasenbeziehung zwischen dem Takt am Sender und dem vom Empfänger zurückgewonnenen Takt starr. Dies entspricht einer Toleranz von  $457.5 \pm 2.5 \text{ ppm}$  zwischen Referenztakt und Datentakt am TLK2501.

Nach Anschluß des TTC-Systems wurde der Jitter am Ausgang des LVDS-Treibers auf der TTCrm-Versorgungskarte zu ca. 170 ps pk-pk bestimmt. Bei direktem Anschluß des SMS2-Sinusgenerators an das TTCvx-Modul konnten Frequenzen zwischen  $18.0 \pm 0.1 \text{ MHz}$  und  $70.0 \pm 0.1 \text{ MHz}$  übertragen werden.

Der GOL 1.0 wurde direkt mit dem Frequenzgenerator getaktet (J102). Zwischen 1.9 MHz und 85 MHz ging der GOL 1.0 in den "ready" Zustand, ein Datentest unter diesen Bedingungen steht aus. Der GOL 1.0 überträgt Daten nur bei 50  $\Omega$ -Terminierung der LVDS-Ausgangssignale an J103/J104 auf der GOL-Aux-Karte.

Der OTIS-TDC besitzt eine Kette von Invertern die jeweils ein Verzögerungselement darstellen. Mit der Spannung  $V_{control}$  läßt sich die die Verzögerung durch die gesamte Kette auf einen Taktzyklus einstellen. Die Zeitmessung erfolgt dann durch Abgriffe an den 64 aktiven Invertern. Der Frequenzbereich des OTIS-TDCs ist durch die maximale und minimale Verzögerung der Inverter eingeschränkt. Abbildung 5.33 zeigt die Kontrollspannung gegen die Frequenz am OTIS 1.0 TDC, der Arbeitsbereich liegt zwischen 17 MHz

und 63 MHz.

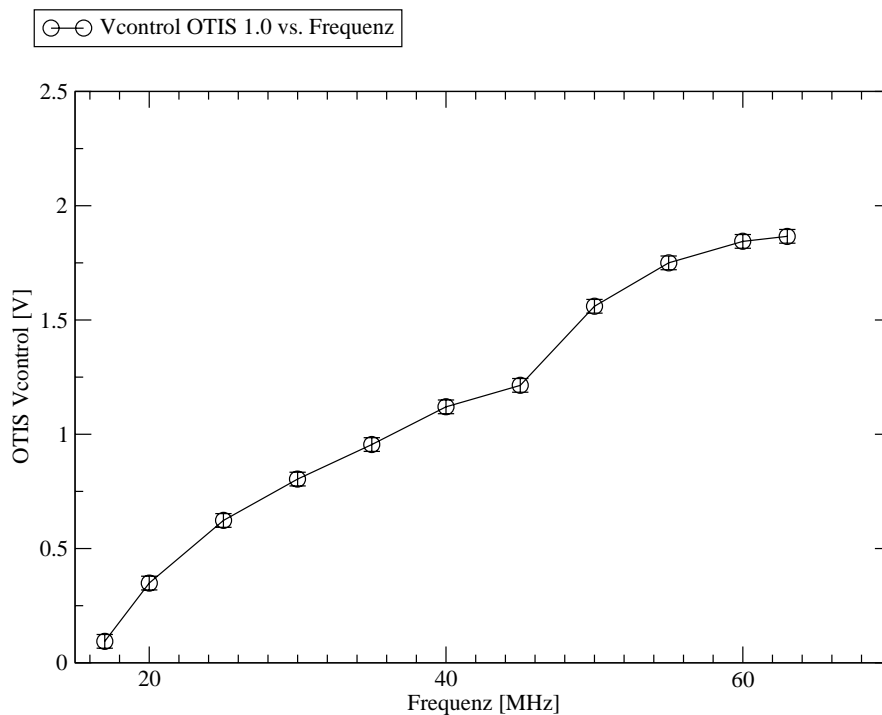


Abbildung 5.33: OTIS 1.0  $V_{control}$  vs. Frequenz.

Abschließend wurde untersucht, für welchen Frequenzen sich die QPLL auf den Systemtakt locked, der Aufbau war hierfür der von Abb. 5.32, der Takt wurde hier jedoch nicht von der GOL-EV2-Karte von ca. 80 auf ca. 40 MHz heruntergeteilt. Der Frequenzbereich, bei dem eine starre Phasenbeziehung zwischen Takt am TTCrx und am QPLL-Ausgang herrschte war zwischen 40.9755 MHz und 40.9800 MHz, also  $40.9775 \text{ MHz} \pm 2.25 \text{ kHz}$  bzw.  $\pm 54.9 \text{ ppm}$ . Der Oszillator an der QPLL (CFA1) hatte eine nominale Frequenz von 163.840 MHz.

### 5.7.1 Temperaturabhängigkeit des QPLL-Arbeitsbereiches

Da die QPLL den dazugehörigen spannungsgesteuerten Quarz nur innerhalb eines engen Frequenzbereichs steuern kann (s.o.), bewirkt die Temperaturabhängigkeit der Frequenz bei nicht optimaler Lage des Regelbereichs, daß die QPLL schon bei mäßiger Wärme nicht mehr arbeitet. Im Fall der GOL-Aux-Karte IF13-0 war die Kapazität der Leitungen und Lötanschlüsse für den Quarz aufgrund zu geringen Abstandes von Signallage zur Masselage vierfach zu hoch, was bereits bei Zimmertemperatur zu Problemen führte.

Um den Arbeitsbereich der QPLL zu bestimmen, wurde bei konstanter Frequenz aus dem Frequenzgenerator die Temperatur variiert. Für die erste Messung, Tabelle 5.9, wurde bei einer Temperatur gestartet, bei der die QPLL arbeitet, und die Kühlung dann abgeschaltet. Es wurden die Temperaturen gemessen, bei denen die QPLL aufhört zu arbeiten und bei denen die QPLL nach Wiedereinschalten der Kühlung wieder im Arbeitsbereich ist. Die Fehler in der absoluten Temperatur liegen bei  $\pm 0.4^\circ\text{C}$ , die Fehler in der absoluten Frequenz sind unbekannt, die relativen Frequenzen sind jedoch auf  $\pm 100\text{ Hz}$  genau einstellbar.

Frequenz [MHz]	$T_{Start}$ [C]	$T_{QPLL-aus}$ [C]	$T_{max}$	$T_{QPLL-an}$
80.1649	28.8	29.3	?	29.0
80.1649	28.6	29.1	29.3	29.0
80.1649	28.8	?	30.3	28.8
80.1648	29.2	29.95	30	29.8
80.1648	29.55	30.05	30.2	29.9

**Tabelle 5.9:** QPLL-Arbeitsbereich, bei fester Frequenz wird die Temperatur variiert. In den Spalten steht die Frequenz, die Temperatur bei Meßbeginn, die Temperatur, bei der die QPLL aufhört korrekt zu arbeiten, die maximale Temperatur und die Temperatur, bei der die QPLL wieder korrekt arbeitet.

In der zweiten Messung des QPLL-Arbeitsbereichs wurde bei fester Temperatur die aus dem Frequenzgenerator eingespeiste Frequenz variiert, siehe Tabelle 5.10. Man kann erkennen, daß die obere Grenzfrequenz zwischen  $20^\circ\text{C}$  und  $37^\circ\text{C}$  deutlich abnimmt.

Einen deutlichen Zugewinn am Umfang des Arbeitsbereiches brachte der Einsatz der QPLL2, einer überarbeiteten Version, auf der speziell optimierten TTCrq [34] Karte: statt der  $40.080 \pm 2.075\text{ kHz}$  (QPLL1),  $40.08 \pm 4.4\text{ kHz}$  bei der QPLL2. Leider wurde beim Auslöten der QPLL1 aus der GOL-Aux-Karte IF13-0 Nr.3 die Karte beschädigt, so daß die danach montierte QPLL2 dauernd im Reset-Zustand war.

In Tabelle 5.11 sind die gemessenen Frequenzbereiche für die genutzten Mikrochips zusammengefaßt. TTCvi, TTCvx, TTCrx, GOL 1.0 und OTIS 1.0 arbeiten in einen Frequenzbereich von  $40\text{ MHz} \pm >20\text{ MHz}$ , so daß sich hier keine Einschränkungen für das Experiment ergeben. Der TLK2501 arbeitet mit einem Referenzoszillator von  $f_{Mitte} = 75$  bis  $125\text{ MHz}$ . Sein Arbeitsbereich ist  $f_{Mitte} \pm 450\text{ ppm}$ , dies ist bei der Nutzung kommerziell erhältlicher Quarzoszillatoren unproblematisch. Dagegen ist der Frequenzbereich der QPLL1 mit  $40\text{ MHz} \pm 54.9\text{ ppm}$  nicht praxisgerecht. Mit der aktuellen Version 2 der QPLL und einem speziell auf QPLL und Quarz angepaßten Lagenaufbau der betroffenen Leiterplatten, sollte die gesamte Elektronik in einem weiten Temperaturbereich und auch bei um  $100\text{ mV}$  abweichender Versorgungsspannung bei der LHC-Frequenz arbeiten.

Temp. [C]	Untere Grenzfrequenz [MHz]	Obere Grenzfrequenz [MHz]	Bem.	
30.6	80.1568	80.1648	Peltier Kühlung Kältespray	
36.0	80.1564	80.1643		
37.3	80.1564	80.1643		
27.5	80.1577	80.1652		
14-20	80.1555	80.1655		
24.6	80.1558	80.1653		
-52	80.1558	80.1606		Kältespray
7	80.1560	80.1628		Kältespray
28.1	80.1564	80.1647		QPLL1 an TTCr <sub>q</sub>
28.1	80.1498	80.1674		QPLL2 auf TTCr <sub>q</sub>

**Tabelle 5.10:** QPLL1-Arbeitsbereich (bis auf letzte Zeile), bei fester Temperatur wird die Frequenz variiert. Zum Schluß wurde die TTCr<sub>m</sub>- gegen die TTCr<sub>q</sub>-Karte getauscht.

Komponente	$f_{min}$ [MHz]	$f_{max}$ [MHz]
GOL 1.0	1.9	85
TTCv <sub>x</sub> /TTCv <sub>i</sub> /TTCr <sub>x</sub>	18	70
OTIS 1.0	17	63
TLK2501	2·40 - 450 ppm	2·40 + 450 ppm
QPLL1	40.(97775)-54.9 ppm	40.97775+54.9 ppm
QPLL2 (s.u.)	40.(0793)-110 ppm	40.(0793)+110 ppm

**Tabelle 5.11:** Frequenzbereich der verschiedenen Komponenten.

Während bei GOL, OTIS TDC, TTCv<sub>i</sub>/TTCv<sub>x</sub>/TTCr<sub>x</sub> der absolute Frequenzbereich zählt, sind für TLK und QPLL die erlaubten Abweichungen relativ zum Referenzoszillator entscheidend.

### 5.7.2 Taktverteilung über die GOL-EV2-Karte

Wie in Abb. 5.32 gezeigt und oben beschrieben wird ein ca. 80 MHz-Signal erzeugt, um einerseits direkt an den TLK2501 als Referenztakt zu gehen, andererseits auf der GOL-EV2-Karte auf ca. 40 MHz heruntergeteilt zu werden und an das TTCvx weitergeleitet zu werden. Im weiteren wurde die GOL-EV2-Karte auch für Bitfehlertests genutzt.

Während ein Durchschleifen des 80 MHz-Signals durch den FPGA auf der GOL-EV2-Karte zu einer Verschlechterung des Taktsignals führte, war der Anschluß der GOL-EV2-Karte über ein T-Stück ohne Terminierung und der TLK2501-EVO-Karte am Leitungsende mit  $50\ \Omega$ -Terminierung geeignet. Abbildung 5.34 zeigt das Taktsignal auf der GOL-EV2-Karte, dem LVDS-Ausgang der GOL-Aux-Karte und den vom TLK aus den Daten rückgewonnenen Takt. In Abb. 5.35 ist die Einhüllende über 100 Messungen zu sehen, der Jitter ist  $200 \pm 50$  ps am FPGA, jeweils  $500 \pm 100$  ps an den einzelnen LVDS-Ausgängen der GOL-Aux-Karte und  $260 \pm 50$  ps für die RxClk auf der TLK-EVO-Karte. Man beachte den extrem ( $< 100$  ps) geringen Jitter beim aus den LVDS-Signalen gebildeten Differenzsignal (M1).

### 5.7.3 Einfluß der anderen TFC-Signale auf das Taktsignal

Der Einfluß der übrigen mit dem TFC-System verschickten Daten auf das Taktsignal kann zu deutlich erhöhtem Jitter führen, siehe [14]. Mit Hilfe des in [29] beschriebenen Programms können vom TTCvi TFC-Signale erzeugt werden.

Mit einer zufälligen Triggerfolge mit 100 kHz Rate wurde das TFC-System belastet. Trotz einer deutlichen Überlagerung des Triggersignals mit dem 40 MHz-Takt waren weiter die QPLL und der GOL-Chip phasengelocked. Der Frequenzbereich, in dem die Phasenbeziehung zwischen SMS2, ACEX-FPGA, TFC, QPLL, GOL und TLK-Chip starr waren, war zwischen 81.9509 und 81.9601 MHz ( $\pm 100$  Hz). Es ergab sich also keine Veränderung des nutzbaren Frequenzbereichs durch Zuschalten der Zufallstrigger.

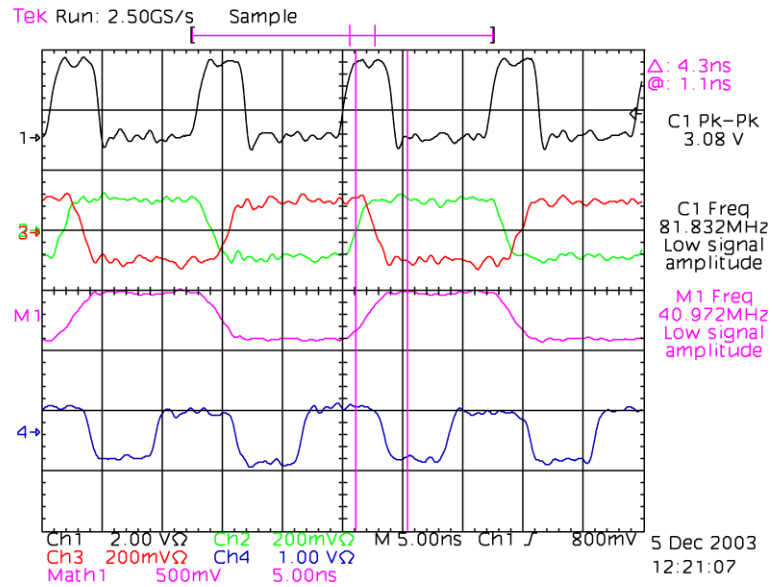
In Tabelle 5.11 sind die gemessenen Frequenzbereiche für die genutzten Mikrochips zusammengefaßt. TTCvi, TTCvx, TTCrx, GOL 1.0 und OTIS 1.0 arbeiten in einen Frequenzbereich von  $40\ \text{MHz} \pm >20\ \text{MHz}$ , so daß sich hier keine Einschränkungen für das Experiment ergeben.

Dagegen ist der Frequenzbereich der QPLL1 mit  $40\ \text{MHz} \pm 54.9\ \text{ppm}$  nicht praxisgerecht.

## 5.8 Bitfehlerratentest

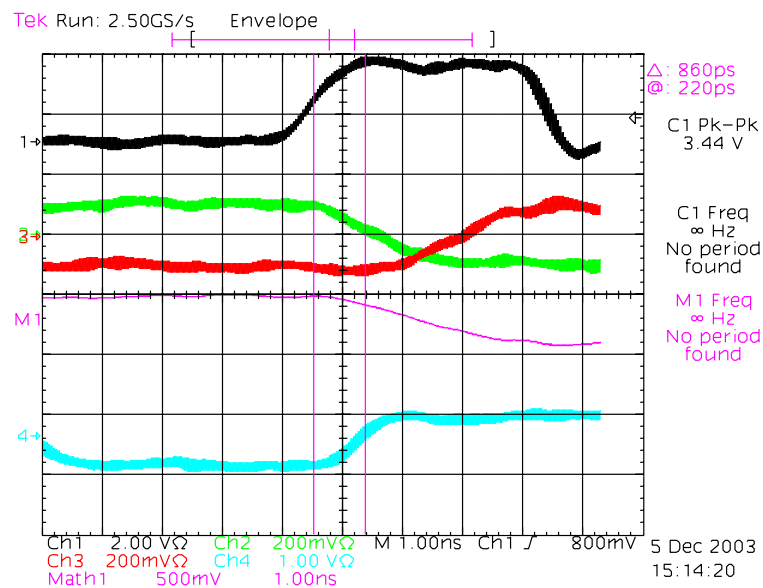
Wie bereits in Abschnitt 4.2 für die GOL-EV2-Karte beschrieben, wurde auch für die GOL-Aux-Karte ein Bitfehlertest durchgeführt.

Da auf der GOL-Aux-Karte das DV-Bit auf 2.5 V liegt und nicht angesteuert werden kann, muß der Anfang des Datenstromes anhand eines bekannten Datenmusters bestimmt werden, für Zählerdaten ist das hier die 1, bei OTIS-TDC-Daten kann der Datenkopf mit der bekannten OTIS-Adresse genommen werden. Speziell beim Deserialisieren der Daten



**Abbildung 5.34:** Taktsignale verteilt über GOL-EV2-Karte, TFC-System

1. 80 MHz-Takt auf GOL-EV2 J8 Pin 8
  2. 40 MHz-Takt an GOL-Aux J103, pos. LVDS
  3. 40 MHz-Takt an GOL-Aux J104, neg. LVDS
  4. RxClk auf TLK-EVO-Karte
- M1 ist 2. - 3., also das 40 MHz-LVDS-Signal



**Abbildung 5.35:** Jitter der Taktsignale verteilt über GOL-EV2-Karte, TFC-System, Signalzuordnung wie in Abb. 5.34.

von 16 auf 32 Bit muß der untere und obere Bitbereich (MSBs, LSBs) richtig zugeordnet werden.

Zu Testzwecken wurden zunächst nur auf den Bits 0-7 und 16-23 des GOL-Chips auf der GOL-Aux-Karte Zählerdaten aus dem ACEX-FPGA auf der GOL-EV2-Karte übertragen. Der Datentransfer von GOL-EV2- auf GOL-Aux-Karte ging via 0.05-Zoll-Flachbandkabel auf die OTIS-Stecker. Dort wurden die Signale wie in 5.4.2 erläutert mit  $100\ \Omega$  terminiert.

Erste Tests ergaben Schwierigkeiten beim finden des führenden Datenwortes. Durch Senden gleicher Bits an das obere und das untere Byte, ließen sich Fehler leichter verfolgen. Zunächst wurde der Kontakt zwischen OTIS-Stecker und Flachbandkabel verbessert, dann die Erdung des Schirmes für die Taktverteilung.

Die Spannungsversorgung auf dem TTCrm-Modul zeigte vorher eine Einstreuung von 680 mV Spitze-Spitze, welches auf 100 mV reduziert werden konnte. Nach diesen Verbesserungen wurden alle 8 Zählerbits korrekt verschickt und empfangen.

Das FPGA-Programm zur Fehlerratenbestimmung in der Version BERT\_V2\_final erzeugt 16-Bit-Zählerdaten. Der GOL-Chip serialisiert die Daten, sie werden über optische Faser auf die TLK-EVO-Karte übertragen, bei 80 MHz deserialisiert und mit Flachbandkabel auf das GOL-EV2 gesandt. Auf dem FPGA werden die 8 Bit empfangenen Daten mit dem aus den Daten vom TLK rückgewonnenen Takt (RxClk) gepuffert, daraufhin wird der Taktbereich mit Hilfe eines FIFOs gewechselt. Eine endlicher Automat sucht im ankommenden Datenstrom eine 0000 0001 im unteren Byte und eine 0000 0000 im oberen Byte. Findet er diese Ziffernfolge (die 1), dann geht er für 257 Taktzyklen in den Sync-Zustand, um danach in den Lock-Zustand zu wechseln. Treten Abweichungen von den erwarteten Zählerdaten auf, werden diese gezählt, nach 8 konsekutiven Fehlern geht der Automat in den Lost-Lock- bzw. Idle-Zustand, um wieder auf eine korrekte 1 zu warten. Mit Hilfe der 12 LEDs auf der GOL EV2 Karte können wahlweise Fehler, Zählerdaten vor und nach optischer Übertragung, sowie DataValid, Start und 40 MHz-Takt angezeigt werden.

Bei einem Test von 67 Minuten Laufzeit traten 409 Fehler auf, entsprechend einer Fehlerrate von  $8 \cdot 10^{-11}$ . Im Experiment führt eine Fehlerrate von  $\leq 10^{-15}$  bei 432 optisch Kanälen zu  $\leq 2$  Fehlern pro Stunde, welches als Obergrenze der Fehlerhäufigkeit erstrebenswert erscheint. Im weiteren Verlaufe der Arbeit konnte die Stabilität der Datenübertragung noch verbessert werden.

## 5.9 LVDS-Signalverteilung

Neben der Versorgung der Ausleseelektronik mit Niederspannung und der optischen Übertragung der TDC-Daten dient die GOL-Aux-Karte zum Verteilen der TFC-Signale. Die TFC-Signale sind LVDS- [25] Signale, Tabelle 5.12, wobei zum Beispiel die LVDS-Eingangsstufen des OTIS-TDC bereits auf geringere Signalpegel als die spezifizierten 100 mV Schwellenspannung empfindlich sind.

Die LVDS-Treiber sind als Stromtreiber ausgelegt, die bei National Semiconductor Komponenten in der Regel 3.5 mA treiben.

Auf der GOL-Aux-Karte müssen die Signale



Parameter	Beschreibung	Min.	Max.	Einheit
$V_{OD}$	diff. Ausgangsspannung	247	454	mV
$V_{OS}$	Offsetspannung	1.125	1.375	V
$\delta V_{OD}$	Änderung von $V_{OD}$		50	mV
$\delta V_{OS}$	Änderung von $V_{OS}$		50	mV
$I_{SA}, I_{SB}$	Kurzschlußstrom		24	mA
$t_r/t_f$	Ausgangs Anstiegs- bzw. Abfallzeiten ( $\geq 200$ Mbps)	0.26	1.5	ns
	Ausgangs Anstiegs- bzw. Abfallzeiten ( $\leq 200$ Mbps)	0.26	30 % von $t_{Bit}$	ns
$I_{IN}$	Eingangsstrom		20	$ \mu A $
$V_{TH}$	Schwellenspannung		$\pm 100$	mV
$V_{IN}$	Eingangsspannungsbereich	0	2.4	V

Tabelle 5.12: LVDS-Standard

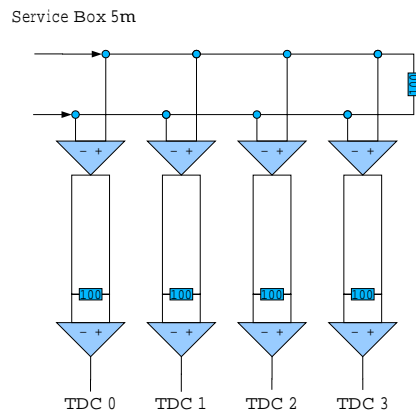
- Takt,
- L0-Triggerentscheidung,
- L0-Reset,
- Bunch-Zähler-Reset,
- Ereignis-Zähler-Reset,
- Testpuls für gerade sowie,
- Testpuls für ungerade Kanäle <sup>8</sup>.

jeweils an vier OTIS-Karten verteilt werden, wobei der Takt von der QPLL aus auch an den GOL-Chip verteilt wird und die Testpulse auf alle 16 angeschlossenen ASDBLRs verteilt werden müssen.

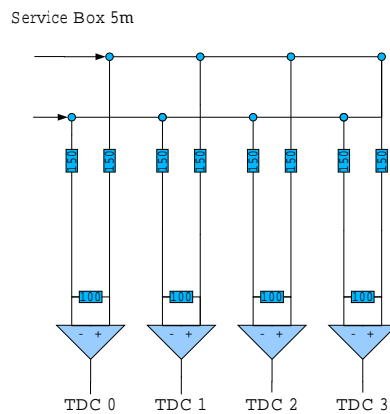
Eine Möglichkeit ist, jedes LVDS-Signal mit einem getrennten Treiber anzusteuern, die aktive Lösung siehe Abbildung 5.36.

Da die GOL-Aux-Karte im Strahlenbereich liegt (einige kRad in 10 Jahren), sind jedoch alle eingesetzten Komponenten als strahlentolerant zu klassifizieren. Weil Widerstände nicht gegen Bestrahlung anfällig sind und die LVDS-Eingänge der TDCs wesentlich empfindlicher sind als in Tabelle 5.12 spezifiziert, wurde alternativ eine passive Lösung getestet, Abbildung 5.37. Die passive Lösung stellt einen Stromteiler dar, der vom Treiber aus gesehen eine Impedanz von  $2 \times 62.5 \Omega$  besitzt ( $200 \Omega$  je Serienwiderstand plus  $50 \Omega$  je Leitung) - für ein  $50 \Omega$ -System sollte man bei vier Verzweigungen den Serienwiderstand auf  $150 \Omega$  reduzieren.

<sup>8</sup>Zusätzlich werden ab GOL-Auxiliary-Karte Version 13-1 jeweils hohe und niedrige Testpulse an die ASD-Vorverstärker verteilt.



**Abbildung 5.36:** LVDS-Verteilungsschema aktiv, d.h. mit separaten Treibern für jeden Empfänger.



**Abbildung 5.37:** LVDS-Verteilungsschema passiv, d.h. mit Stromteiler und nur einem Treiber für alle Empfänger.

### 5.9.1 LVDS-Verteilung mit kommerziellem Treiber

Zum Test der passiven Verteilung wurde das Taktsignal aus dem TTCrx mit einem LVDS-Treiber DS90CO31 als Quelle genutzt, die Widerstände des Stromteilers lagen jeweils 7.6 mm auseinander, die Gesamtlänge des Stromteilers beträgt ca. 30 mm.

Ein Abschluß der Leitungen mit  $422\ \Omega$ <sup>9</sup> statt  $100\ \Omega$  verschlechterte das Signal sowohl mit als auch ohne Leitung am Stromverteiler.

Eine Terminierung mit  $100\ \Omega$  am Leitungsende führte zu gutem Ergebnis, siehe Abb. 5.38. Bei der Messung ist auf besonders kurze ( $\leq 1$  cm) Verbindung der beiden Tastköpfe zu achten. Diese Messung wurde für alle vier Kanäle bei 50 cm Leitungslänge durchgeführt, die Signalamplitude betrug bei der Messung an den Kanälen 0-3 jeweils 270 mV.

Eine Untersuchung des Signals bei Abziehen einzelner Leitungen zeigte, in Abhängigkeit der Lage von untersuchtem und entferntem Kanal unterschiedliche Pegel, siehe Abbildung 5.39 und 5.40. Ein Abziehen aller drei anderer Signale führt zu einer deutlichen Signalverformung, Abb. 5.41.

Ein Kurzschließen einzelner Ausgänge beeinflusst nicht die Signalform, aber den Signalpegel. Schließt man Kanal 0 bis 2 nach dem Stromteiler kurz, so ist die Amplitude an Kanal 3 162 mV, siehe Abb. 5.42. Werden nur ein Teil der Kanäle genutzt, sollten die anderen möglichst am Stromteiler mit  $100\ \Omega$  abgeschlossen werden, ansonsten ist ein Kurzschließen die bessere Alternative zum Offenlassen der Kanäle.

### 5.9.2 LVDS-Verteilung mit QPLL

Da der Takt nach der Filterung durch die QPLL an die vier OTIS-TDCs und den GOL-Chip verteilt wird, wurde das passive Verteilungsschema aus Abbildung 5.37 hier erprobt, der Aufbau ist in Abbildung 5.43 skizziert.

Von den Taktabgriffen J103/J104 an der GOL-Aux-Karte wurde mit 48 cm Leitung die Platine mit dem Stromverteiler angeschlossen. Von dort kamen 50 cm Flachbandkabel, die jeweils mit  $100\ \Omega$  abgeschlossen waren, Abbildung 5.44 zeigt das am Abschlußwiderstand von Kanal 3 gemessene Signal. Die korrekte Phasenbeziehung der Daten, die vom TLK empfangen werden, bleibt beim Anschluß des Stromteilers erhalten. Die Signalamplitude liegt mit 130 mV noch über den spezifizierten 100 mV LVDS-Eingangsschwelle.

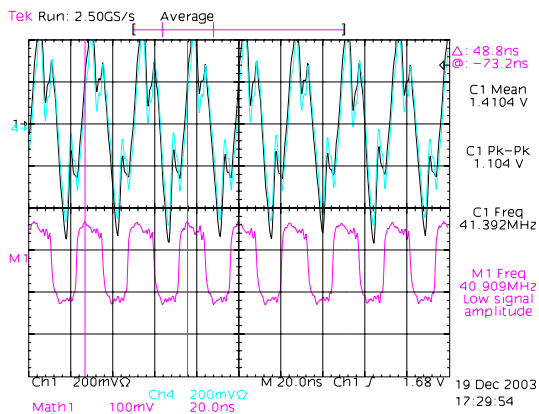
Nun wurde das Taktsignal an die Takteingänge des OTIS-TDCs 1.0 gegeben. Genutzt wurde hierzu Signal 3 vom LVDS-Verteiler, welches über 50 cm Leitung an Takteinspeisung ID5, ID6 auf der OTIS-EV2-Karte an den OTIS geleitet wurde. Abbildung 5.45 zeigt Signal auf der OTIS-Karte-EV2 ID14/15 abgegriffen mit 100 mV Hub.

Mit diesem Aufbau wurde nochmals der Einfluß der nicht genutzten Leitungen am LVDS-Stromteiler auf GOL und OTIS betrachtet. Während Kurzschließen oder mit  $100\ \Omega$  Abschließen der nicht genutzten Signale einen Betrieb des GOL 1.0 nicht stören, kann sich der GOL 1.0 bei offenen Anschlüssen 1-3 (0 an OTIS) nicht locken.

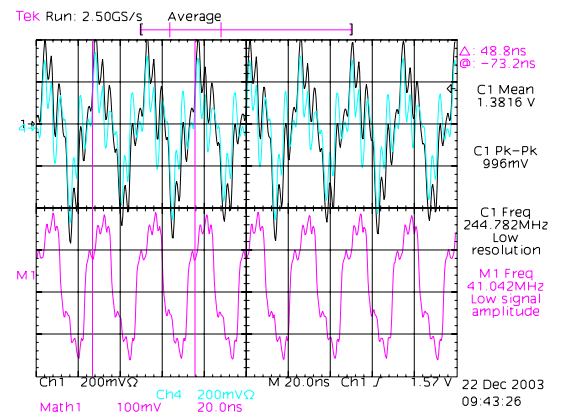
Neben dem Takt werden auch Trigger- und Reset-Signale mit LVDS verbreitet. Abbildung 5.46 zeigt das L0-Trigger-Signal ohne Verteilungsschaltung am Ende der Zuleitung

---

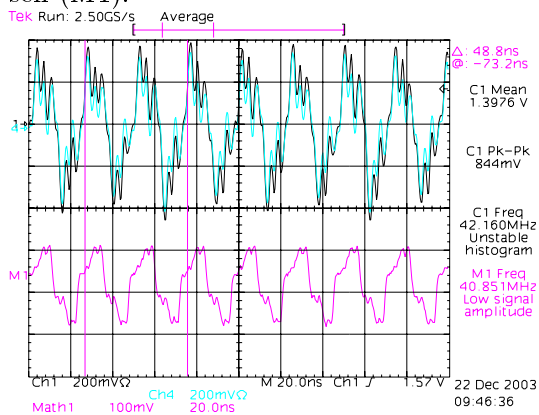
<sup>9</sup>  $422\ \Omega$  Abschlußwiderstand bei einem Viertel des Stroms ergeben die gleiche Spannung wie  $100\ \Omega$  Abschlußwiderstand bei dem vollen Strom.



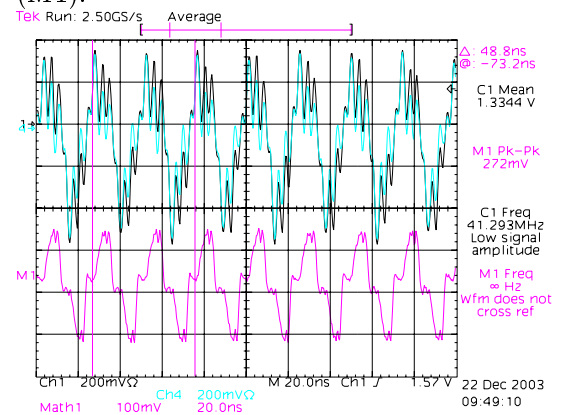
**Abbildung 5.38:** LVDS-Signal, passiv verteilt mit  $100\ \Omega$  abgeschlossen (M1).



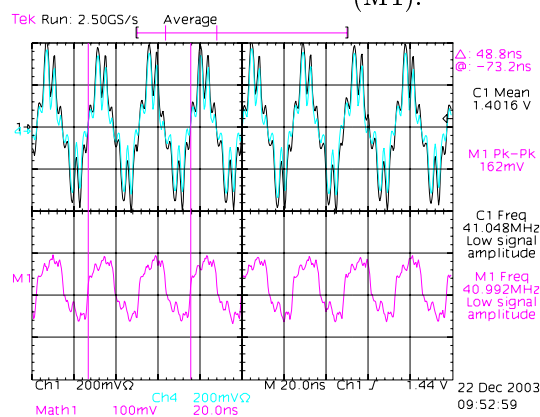
**Abbildung 5.39:** LVDS-Signal Kanal 3, Kanal 0 nicht angeschlossen (M1).



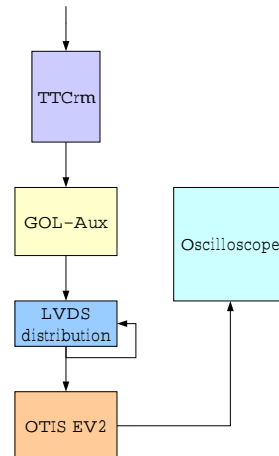
**Abbildung 5.40:** LVDS-Signal Kanal 3, Kanal 2 nicht angeschlossen (M1).



**Abbildung 5.41:** LVDS-Signal Kanal 3, Kanal 0-2 nicht angeschlossen (M1).



**Abbildung 5.42:** LVDS-Signal Kanal 3, Kanal 0 bis 2 direkt am Stromverteiler kurzgeschlossen (M1).



**Abbildung 5.43:** LVDS-Signal von QPLL passiv an OTIS-TDC verteilt, Aufbau.

zur OTIS 1.0 Karte bei  $100\ \Omega$ -Abschluß. Die Form, Höhe (760 mV) und Breite (25.3 ns) des Signals sind günstig. Das über den Stromteiler verteilte L0-Trigger-Signal, Abb. 5.47, ist deutlich verformt und mit 154 mV schwach, wobei die Gleichtakteinstreuungen das Messen mit zwei getrennten Aktivtastköpfen wesentlich erschweren, kritisch ist hierbei die gemeinsame Erdung. Das über Stromteiler verteilte BxReset-Signal, Abbildung 5.48 ist ebenfalls deformiert, hat aber mit 600 mV einen hohen Pegel.

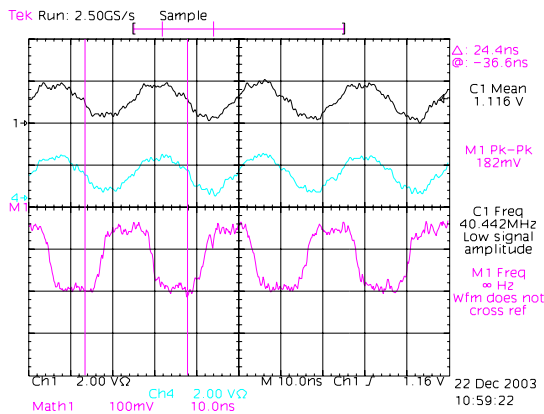
### 5.9.3 Messung des Jitters am OTIS-TDC

Die Genauigkeit der Driftzeitmessung fließt direkt in das Auflösungsvermögen des äußeren Spurkammersystems ein. Es muß daher sichergestellt werden, daß der Referenztakt des TDCs ausreichend phasenstabil anliegt. Die Zeitauflösung des TDCs liegt bei 400 ps, der Phasenjitter sollte also geringer als 400 ps sein.

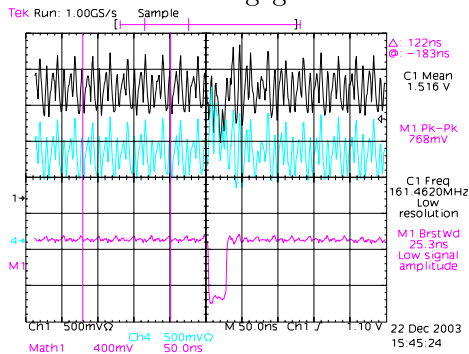
Der Takt soll im Experiment, wie in 5.9.2 beschrieben, über das TFC-System, den QPLL-Jitter-Filter und eine passive LVDS-Verteilung zu den TDCs kommen. Als Taktquelle diene der Frequenzgenerator SMS2 (vgl. Tabelle 5.8), die Jitter Bestimmung erfolgte durch Überlagerung von 1000 mit dem Oszilloskop aufgenommenen Ereignissen, es wird der Jitter von Spitze zu Spitze bestimmt (peak-peak).

Um die Meßgenauigkeit abzuschätzen, wurde zunächst das Signal des Frequenzgenerators direkt mit dem Oszilloskop bei maximal gespreizter Zeitachse (200 ps/Div.) vermessen, Abb. 5.49. Eine konservative Abschätzung für die Auflösung ist 200 ps pk-pk.

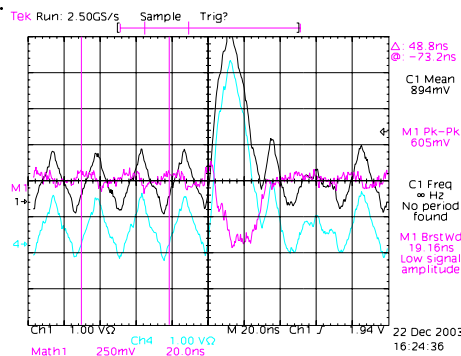
Nun wurde der Takt über das TFC-System verteilt, Abbildung 5.50 zeigt das Taktsignal nach der optischen Übertragung am TTCrm-Board (Clock40Des1), ohne Daten in



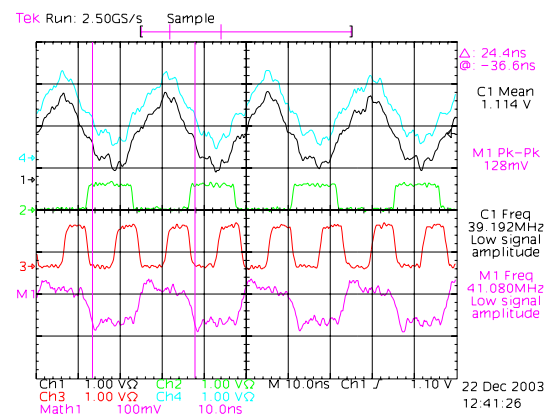
**Abbildung 5.44:** M1: LVDS-Signal von QPLL passiv verteilt, an 100 Ω-Abschluß abgegriffen.



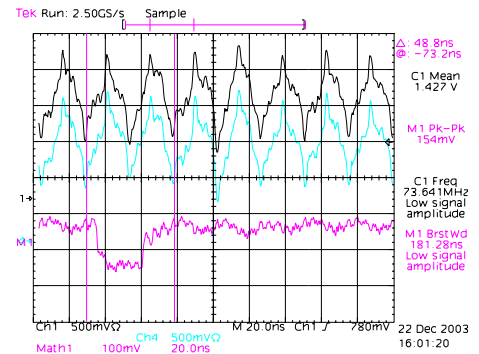
**Abbildung 5.46:** M1: L0-Trigger-LVDS-Signal 100 Ω terminiert, Punkt-zu-Punkt-Verbindung von DS90CO31 LVDS-Treiber.



**Abbildung 5.48:** M1: Bunch-Counter-Reset-Signal über Stromteiler verteilt, Signal 100 Ω-terminiert.



**Abbildung 5.45:** M1: LVDS-Signal von QPLL passiv verteilt, auf der OTIS-EV2-Karte.



**Abbildung 5.47:** M1: L0-Trigger über Stromteiler verteilt, Signal 100 Ω-terminiert.

Kanal-B, mit  $<200$  ps Jitter. Die Messung des differentiellen Signals am LVDS-Treiber auf der TTCrm-Adapterkarte ist wesentlich präziser ( $<100$  ps), Abb.5.51.

Der OTIS-TDC mißt die Zeit mit Hilfe von hintereinandergeschalteten Invertern, deren Durchlaufzeit durch eine Steuerspannung ( $V_{control}$ ) bestimmt wird. Während die Durchlaufzeit durch die gesamte Kette immer auf die Taktperiode adjustiert wird, werden an den einzelnen Invertern Bruchteile davon abgegriffen. Der letzte Inverter der Kette dient der Kapazitätsanpassung für den vorletzten, wird aber nicht zur Zeitmessung genutzt. Der Abgriff an diesem letzten Inverter (Last-Dummy-Output) ist auf einen Chipausgang geführt. Abbildung 5.52 zeigt den Jitter am Last-Dummy-Output bei direktem Anschluß des OTIS-TDCs an den LVDS-Treiber auf dem TTCrm-Board. Der Jitter am Last-Dummy-Out beträgt 600 ps, der der Referenz 200 ps.

Mit dem in Abbildung 5.37 gezeigten passiven LVDS-Verteiler ergab sich keine meßbare Veränderung des Jitters am OTIS-TDC, der Jitter blieb bei 600 ps s.Abb. 5.53.

In den obigen Messungen wurde der Takt direkt vom TTCrm-Board mit einem LVDS-Treiber an den OTIS-TDC geleitet. Im Experiment wird der Takt durch den Jitter-Filter QPLL bereinigt. Abbildung 5.54 zeigt den Jitter an den differentiellen Ausgängen der QPLL, der Takt wird weiterhin mit dem Frequenzgenerator SMS2 erzeugt und über das TFC-System verteilt. Am differentiellen Signal kann man den extrem geringen Jitter von  $<100$  ps erkennen.

Abbildung 5.55 zeigt den Jitter am OTIS-Ausgang, bei direktem Anschluß des TDCs an die QPLL, der Jitter liegt bei  $\leq 300$  ps. Zum Vergleich wurde das Signal aus der QPLL nun über die passive LVDS-Verteilung an den OTIS-TDC angeschlossen, Abb. 5.56. Der Jitter am Last-Dummy-Out liegt auch hier bei  $\leq 300$  ps. Dies zeigt, daß das passive Verteilungsschema sowohl für den Betrieb des GOL 1.0, als auch des OTIS-TDCs geeignet ist. Es wurde ab GOL-Auxiliary-Karte Version IF13-1 implementiert.

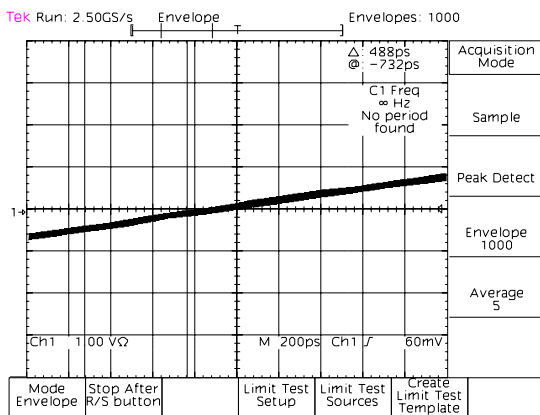


Abbildung 5.49: Frequenzgenerator SMS2, Referenzmessung.

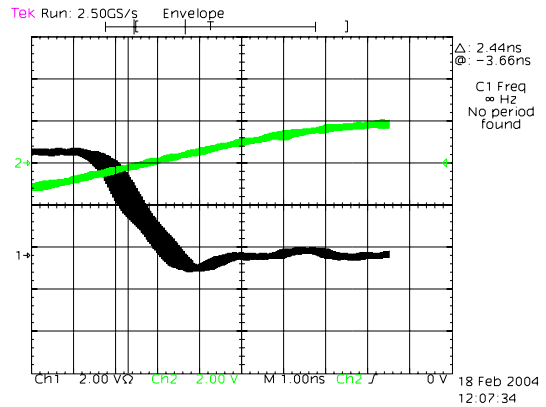


Abbildung 5.50: Jitter des Taktes am TTCrm, Clock40Des1-Ausgang (1) vs. SMS2 (2).

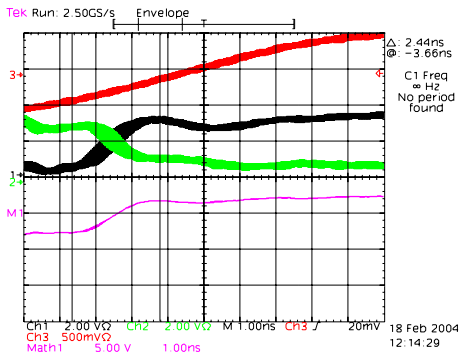


Abbildung 5.51: Jitter des Taktes am TTCrm differentiellen Ausgang vs. SMS2  
 1 pos. Taktausgang LVDS-Treiber  
 2 neg. Taktausgang LVDS-Treiber  
 3 Referenzsignal  
 M1 Differenz 1-2.

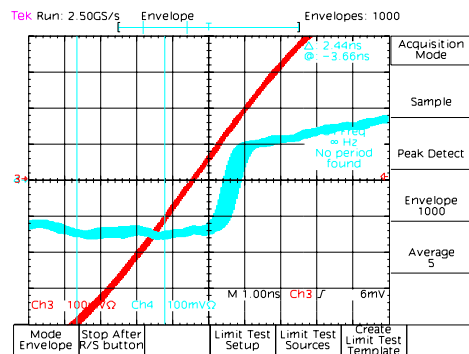


Abbildung 5.52: Jitter OTIS direkt an LVDS-Treiber  
 3 Referenzsignal  
 4 OTIS LDout.

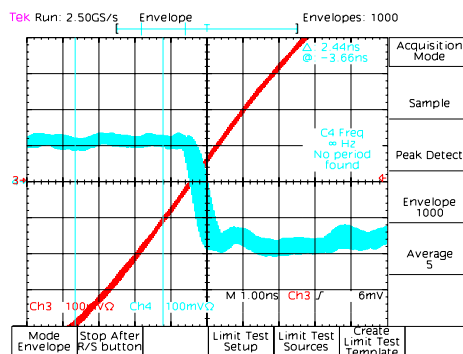
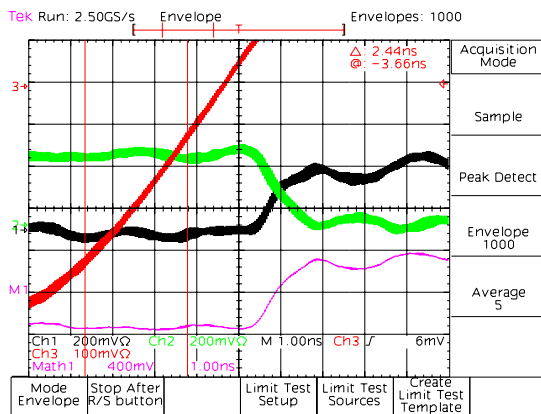


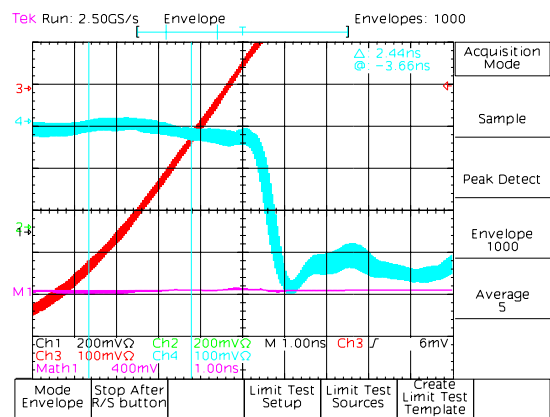
Abbildung 5.53: Jitter OTIS an passiver LVDS-Verteilung  
 3 Referenzsignal  
 4 Last-Dummy-Out.





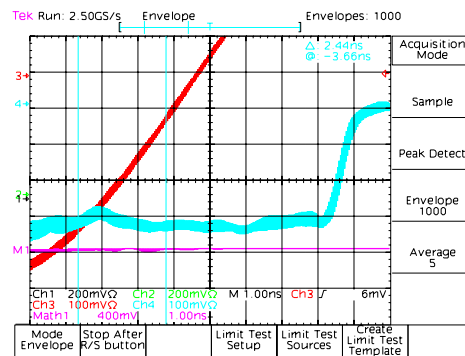
**Abbildung 5.54:** Jitter am Jitter-Filter QPLL,

- 1 pos. diff. 40 MHz-Takt QPLL
- 2 neg. diff. 40 MHz-Takt QPLL
- 3 Referenzsignal SMS2
- M1 Differenz 1-2.



**Abbildung 5.55:** Jitter OTIS Last-Dummy-Out bei direktem Anschluß an die QPLL

- 3 Referenzsignal SMS2
- 4 OTIS Last-Dummy-Out.



**Abbildung 5.56:** Jitter OTIS über passive LVDS-Verteilung an QPLL

- 3 Referenzsignal SMS2
- 4 OTIS Last-Dummy-Out.

## 5.10 Optischer Tastkopf

Um die Qualität der optischen Datenübertragung beurteilen zu können, ist es neben den in Abschnitt 4.2 und 7.2.3 an den seriellen 1.6 GHz elektrischen Signalen durchgeführten Untersuchungen zweckmäßig, die Form und Höhe der optischen Signale zu beurteilen.

Insbesondere ist es wichtig zu wissen bei welchem Biasstrom der GOL 1.0 die ULM Photonics VCSEL am besten treibt.

Eine andere wichtige Messung ist die Dämpfung auf den optischen Leitungen zwischen GOL-Auxiliary-Board und O-RxCard. Es ist vorgesehen, ein Adapterkabel von 12 einzelnen auf ein 12-fach Faserkabel zum Anschluß der einzelnen VCSEL-Dioden in den FE-Boxen zu benutzen. Danach laufen die 12-fach-Leitungen 20 m weit bis zu einem 8x12-fach-Kabel, welches 80 m bis in den Trailer außerhalb des bestrahlten Bereichs geht. Zwischen dem Ende dieses Kabels und der O-RxCard auf den TELL1-Karten soll ein weiteres ca. 5 m langes optisches 12-fach-Kabel verlaufen. Speziell die Übergänge zwischen verschiedenen optischen Kabeln können eine sehr unterschiedliche Dämpfung aufweisen.

Mit Hilfe eines optischen Tastkopfes, "optical sniffer" [35], der an der Uni Zürich entwickelt wurde [36], können die optischen Signale von der VCSEL-Diode in elektrische Signale umgewandelt werden, wobei durch die extreme Breitbandigkeit der Empfangsdiode (2.5 GHz)<sup>10</sup> und des Vorverstärkers (8 GHz)<sup>11</sup>, das 1.6 GHz-Signal mit guter zeitlicher Auflösung zu untersuchen ist. Das elektrische Signal kann dann am 50  $\Omega$ -Eingang eines möglichst breitbandigen ( $\geq 1$  GHz) Oszilloskopes gemessen werden.

### Aufbau des optischen Tastkopfes

Anhand der Daten des in Zürich gefertigten Tastkopfes wurden 10 Leiterplatten in Auftrag gegeben, der Schaltplan und das Layout ist Anhang G zu entnehmen. Im Rahmen eines Miniforschungsprojektes [38] wurden drei optische Tastköpfe bestückt und in Betrieb genommen. Durch die extrem hohe Grenzfrequenz und den niedrigen Signalhub an der Empfangsdiode des optischen Tastkopfes ist auf ideale Schirmung zu achten, das verwendete Blechgehäuse war gut dazu geeignet.

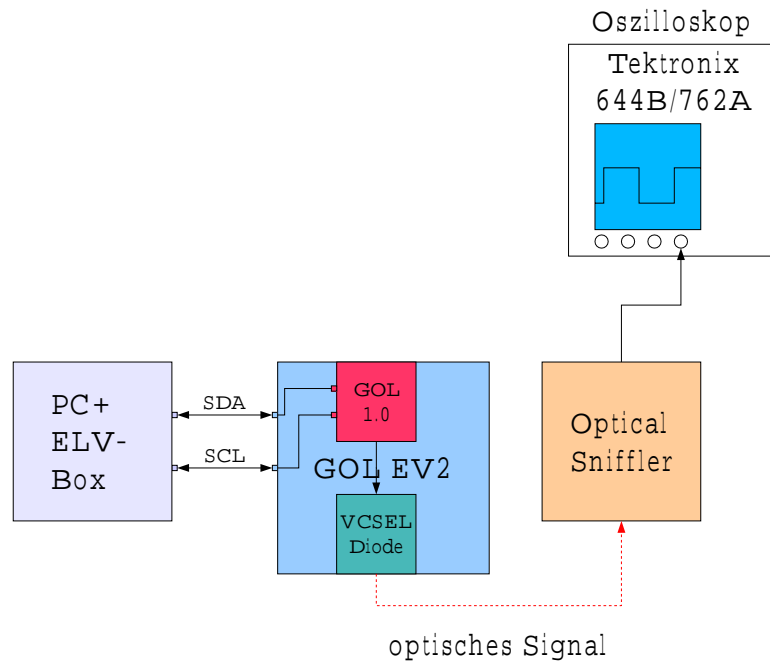
#### 5.10.1 Inbetriebnahme des optischen Tastkopfes

Das optische Signal für den optischen Tastkopf lieferte anfangs die TLK2501-EVO-Karte<sup>12</sup>. Bei einer Betriebsspannung von 12 V wurden die ersten Signale noch ohne das Blechgehäuses genommen. Für am TLK2501-EVO-PCB eingeschaltete Generation von Zufallsdaten ist ein Signal am Ausgang des optischen Tastkopfes zu erkennen. Während bei vollkommen abgeschaltetem TLK2501-EVO-PCB keine Signale aus dem optischen Tastkopf am Oszilloskope anliegen, liegt bei eingeschaltetem TLK2501-Board und deaktivierten Zufallszahlen eine starke 80 MHz-Oszillation am Ausgang des Tastkopfes. Der Ursprung des 80 MHz-Signals ist der Referenzoszillator auf dem TLK2501-EVO-PCB.

<sup>10</sup>Honeywell HFD3381-102, [37]

<sup>11</sup>ERA-1, Mini-Circuits

<sup>12</sup>Die Sendediode muß durch eine Kurzschlußbrücke auf J21 zwischen TDIS und GND aktiviert werden.



**Abbildung 5.57:** Laboraufbau optischer Tastkopf.

Die ersten Messungen der Amplitude des optischen Signals aus der ULM-VCSEL-Diode in Abhängigkeit vom GOL-Laserbiasstrom  $I_{bias}$  wurden am GOL 1.1 Testboard-EVO2 durchgeführt, siehe Abbildung 5.57. Der Laserbiasstrom wurde mit den GOL 1.0 Eingängen ID0 und ID1 eingestellt. Wie in Tabelle 5.13 zu sehen, ist die optische Signalamplitude bei 5.8 mA am größten.

ID0	ID1	Strom [mA]	pk-pk [mV]	Amplitude <sub>OSZ</sub> [mV]	Amplitude <sub>MAN</sub> [mV]
1	1	16.2	25-27	10-20	19.0±2 mV
0	1	11.4	32-34	18-27	24.2±2 mV
1	0	7.4	48-52	28-42	46.4±2 mV
0	0	5.8	50-54	28-40	46.4±2 mV

**Tabelle 5.13:**  $I_{bias}$  vs optische Amplitude.

### 5.10.2 Messungen

Zur Messung der optischen Amplitude bei systematischen Variation des Laserbiasstromes wurde ein LabView-Programm entwickelt, um die Register des GOL 1.0 über I<sup>2</sup>C zu setzen. Auf diese Weise ist der Strom in einem weit größeren Bereich einstellbar. Abbildung 5.58 zeigt das Ergebnis dieser Messung, bei minimalem Biasstrom ist die Amplitude des

optischen Signals am größten und fällt mit steigendem Strom ab.

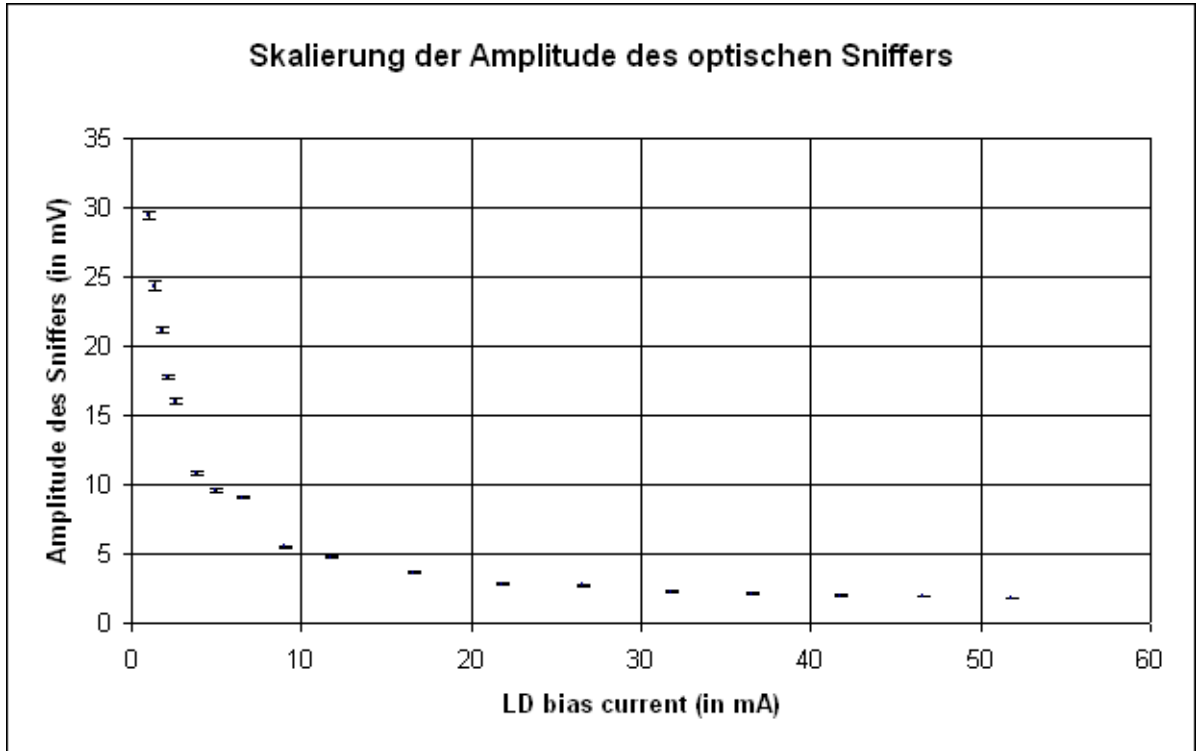


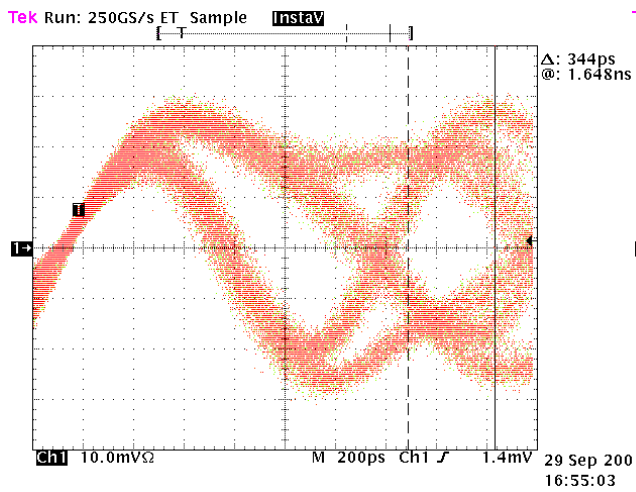
Abbildung 5.58:  $I_{bias}$  vs optische Amplitude.

Entscheidend für die optische Datenübertragung ist die Unterscheidbarkeit von logischen Nullen und Einsen. Es wurden für den am GOL 1.0 einstellbaren Bereich des Biasstromes Augendiagramme (vgl. Abschnitt 4.2 und 7.2.3) ausgenommen. Bei einem Augendiagramm werden viele Messungen eines digitalen Signales übereinandergelegt. Die unterschiedlichen Datenabfolgen führen in der Regel zu Bereichen, in denen die Datenübergänge stattfinden und Bereichen, in denen die Daten stabil logisch Null oder Eins sind, das Auge. In der hier vorgestellten Messung wurde die Zeitspanne in der die Daten klar nach Null und Eins unterscheidbar sind (die Augenbreite), als Maß für die Datenqualität genommen.

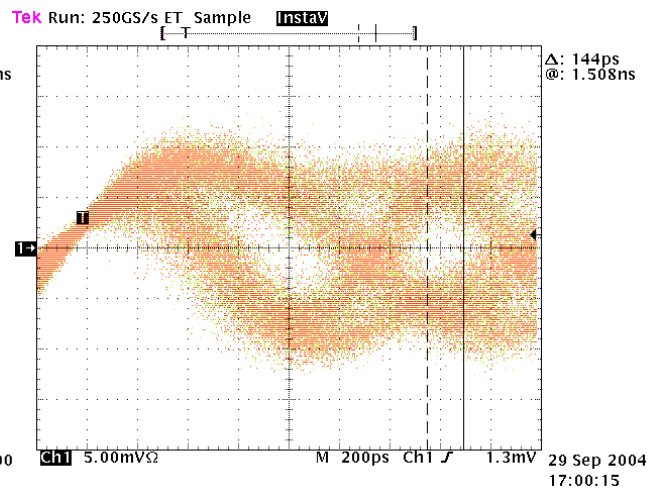
Abbildung 5.59 zeigt das Augendiagramm für 5 mA, Abbildung 5.60 das für 17 mA. In Abbildung 5.61 ist die gemessene Augenbreite in Abhängigkeit des am GOL 1.0 eingestellten Biasstromes zusammengefaßt. Die benutzte Sendediode ist die ULM-VCSEL-Diode<sup>13</sup>. Die Messung zeigt einen deutlichen Abfall der Augenbreite oberhalb eines Biasstromes von 10 mA. Der bevorzugte Biasstrom von 5.8 mA wird auch durch diese Messung voll bestätigt.

Der gebaute optischen Tastkopfes ermöglicht eine schnelle und quantitative Untersuchung des optischen Signals. Insbesondere bei der Verkabelung mit Glasfasern kann mit

<sup>13</sup>Ulm850-05-TN-USMB0P



**Abbildung 5.59:** Augendiagramm  
5 mA Biasstrom.



**Abbildung 5.60:** Augendiagramm  
17 mA Biasstrom.

dem optischen Tastkopf die Signalqualität mit Hilfe eines Oszilloskopes nach jedem Leitungsabschnitt geprüft werden.

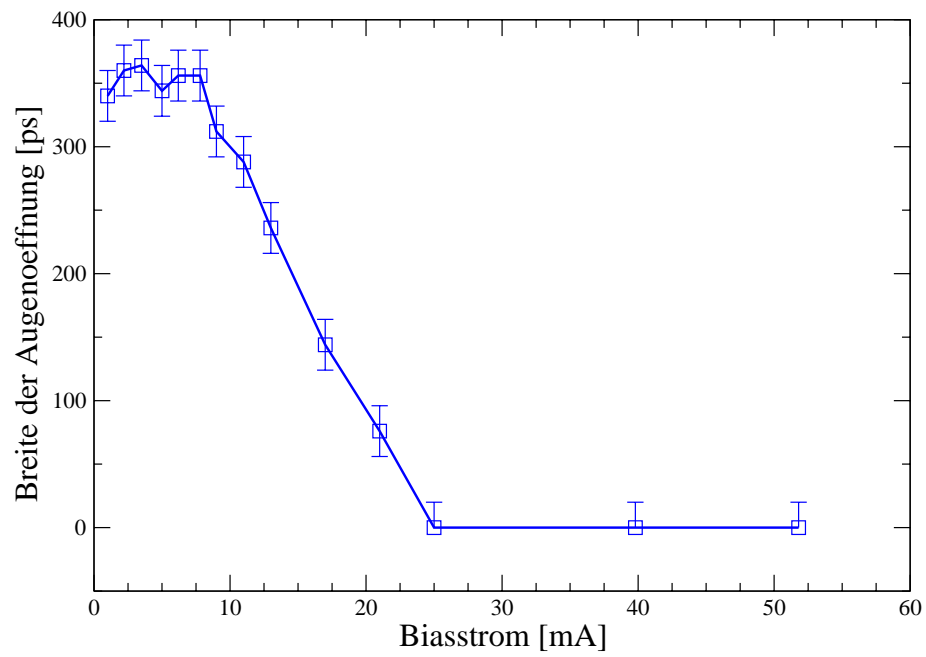


Abbildung 5.61:  $I_{bias}$  vs Breite der Augenöffnung.

# Kapitel 6

## Front-End-Box

An den Detektormodulen des äußeren Spurkammersystems werden am oberen und unteren Ende jeweils 128 Kanäle über HV-Verteilerkarten, ASDBLR-Vorverstärker, OTIS-TDCs und den GOL-Serialisierer ausgelesen. Die vier HV-Verteilerkarten, acht ASDBLR-Karten, vier OTIS-Karten und das GOL-Aux-Board werden in einer Front-End-Box (FE-Box) miteinander verschraubt. Die Front-End-Box, siehe Abbildung 6.1, bildet eine mechanische Einheit und wird als Ganzes mit dem Detektormodul verbunden.

### 6.1 Inbetriebnahme der FE-Box 1.0

Die Front-End-Box bestand in der hier vorgestellten Version 1.0 aus HV-Karten, ASDBLR-Karten 1.0, OTIS-Karten 1.0 mit dem OTIS 1.0 s. Abschnitt 4.3 und dem GOL-Aux-Board Version IF13-0, Abschnitt 5.

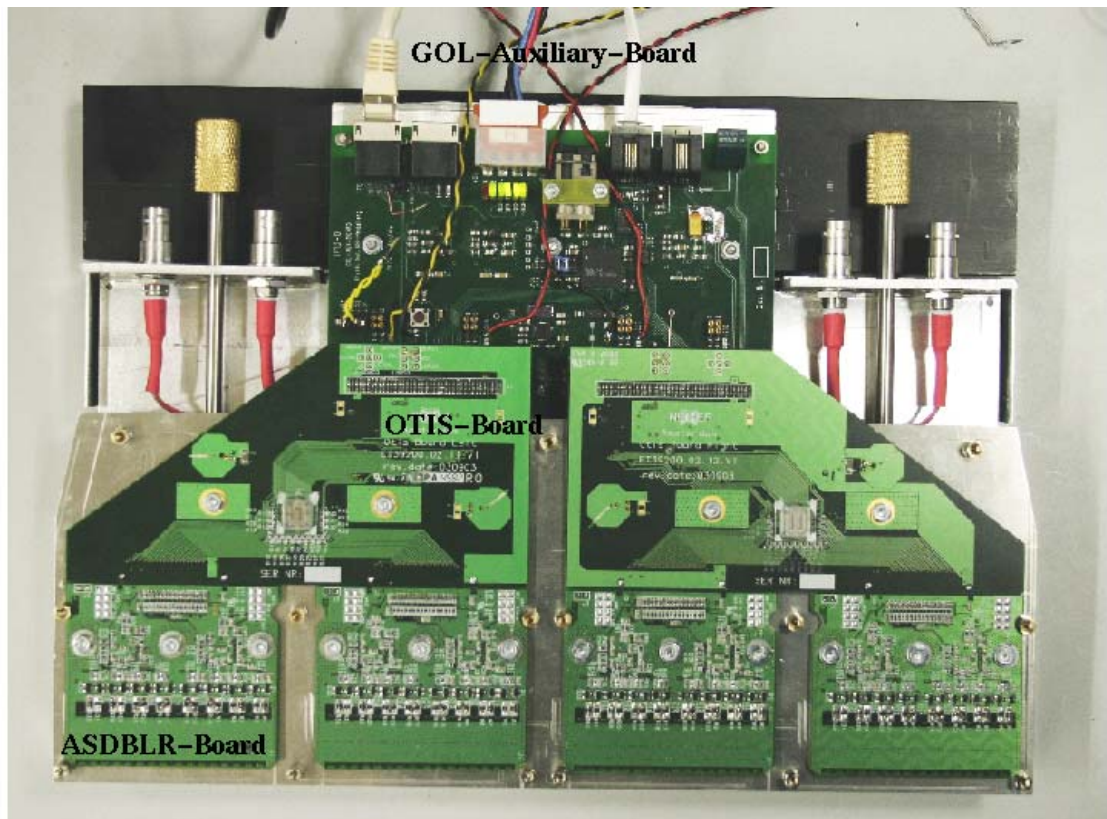
Bei Inbetriebnahme der FE-Box war die Stromaufnahme wie in Tabelle 6.1, der Wert liegt in der erwarteten Größenordnung von  $\leq 24$  W im Betrieb.

Spannung	Strom	Leistung	Bemerkung
+6.0 V	2 A	12 W	ohne Hits/Daten
-6.0 V	0.89 A	5.34 W	ohne Hits/Daten

**Tabelle 6.1:** Stromaufnahme FE-Box

Um eine Überhitzung der FE-Elektronik zu verhindern, wurde ein CPU-Lüfter mit dem Aluminiumgehäuse der FE-Box verklebt, dieser ersetzt die für das Experiment vorgesehene Wasserkühlung.

Die Taktverteilung erfolgte vom 80.16 MHz-Quarz auf dem Stratix-PCI-Tochterboard “St.Cruz” aus über das TFC-System auf die FE-Box. Eine Kontrolle mit dem Oszilloskop belegte, dass die Phasenlage zwischen dem Takt auf der TTCrm-Karte in starrem Verhältnis zum aus den Daten rückgewonnenen Takt auf der O-RxCard steht. Die QPLL, der GOL 1.0 und der sind also TLK2501 im “lock”-Zustand. Die Trigger und synchronen Reset-Signale wurden vom TTC-System gesteuert, vgl. Abschnitt 4.3.2.



**Abbildung 6.1:** Bild der FE-Box in der Version 1.0

Von oben nach unten:

1 GOL-Auxiliary-Board Version IF13-0

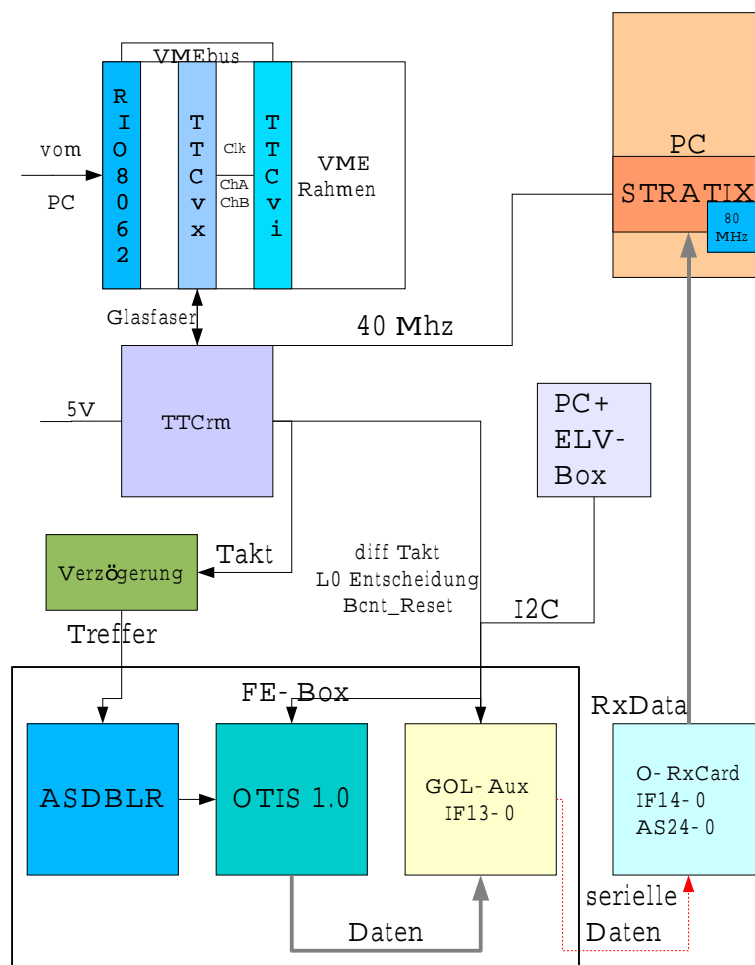
4 OTIS-Karten Version 1.0

8 ASDBLR-Karten Version 1.0.



Mit Hilfe einer zweiten GOL-Aux-Karte, die mit der FE-Box über Ethernetkabel und den Monitorstecker verbunden ist, kann ein PowerUp-Reset ausgeführt werden.

Die Daten vom OTIS 1.0 auf den FE-OTIS-Karten wurden über den GOL 1.0 und ein optisches LC-auf-MTP-MPO-Adapterkabel auf die O-RxCARD 14-0 Nr.4 [9] geführt und mit Hilfe von Adapterkarten AS24-0 zugänglich gemacht. Dort kann man die Daten entweder mit dem Oszilloskop überprüfen, oder via Flachbandkabel auf die Stratix-PCI-Karte leiten. Abbildung 6.2 zeigt den Meßaufbau mit Fast- und Slow-Control sowie Datennahme in den PC.

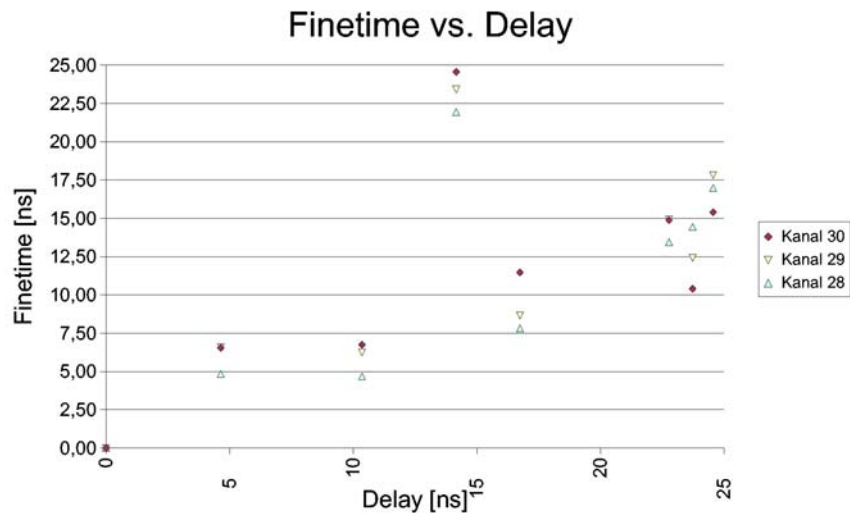


**Abbildung 6.2:** Aufbau zur Messung von phasenverschobenen Testpulsen an der FE-Box, mit dem I<sup>2</sup>C-Bus werden die Schwellen an den Vorverstärkern eingestellt.

Bei ersten Versuchen, die OTIS-Daten im PC zu speichern, wurden zunächst nur Signale eines TDCs empfangen. Bei 10 000 Ereignissen waren für die 32 Kanäle des aktiven

TDCs ca. 1900 Einträge Null, ca. 500 Einträge bei 32 und der Rest 0, welches für “kein Treffer” steht [3].

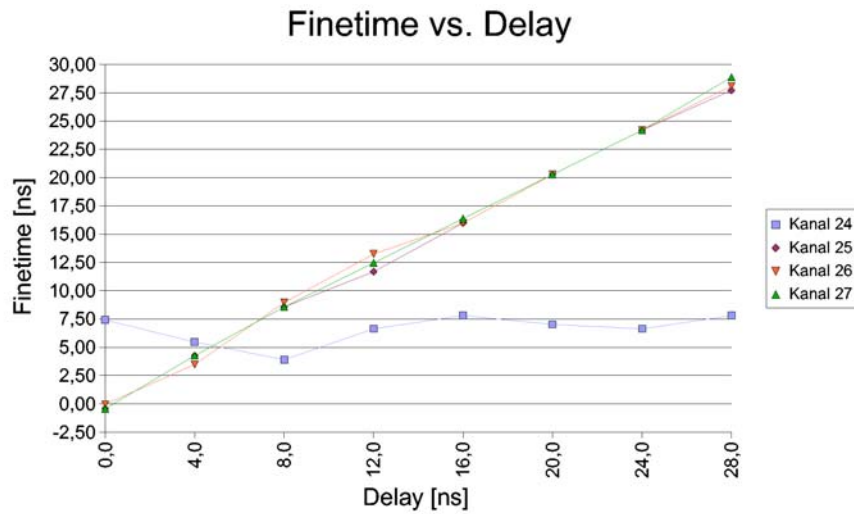
Zur Simulation von Kammerpulsen wurde versucht, das LVDS-Taktsignal auf die Hit-Eingänge der FE-Box einzukoppeln. Ein passiver Verzögerungseinschub ermöglichte die zuvor auf TTL-Pegel gewandelten Signal gezielt in der Phase zu verschieben. Obwohl es auf diese Weise gelang die ASDBLR-Vorverstärker anzusprechen, 95 % der jeweils 10 000 Ereignisse lagen jeweils in Verteilungen mit  $\text{RMS} \leq 1 \text{ ns}$ , gab es zunächst keinen systematischen Zusammenhang zwischen der am Verzögerungsglied eingestellten und der mit dem TDC gemessenen Phase. Das Entfernen einer Kontrolleitung des verzögerten TTL-Signals zum Oszilloskop brachte eine Verbesserung des Signals. Abbildung 6.3 zeigt, daß es jetzt zwar einen Zusammenhang zwischen an der Verzögerungseinheit eingestelltem Delay und der mit dem OTIS 1.0 gemessenen Phasenlage gab, aber noch keine exakte Reproduktion der Verzögerungszeit gelang.



**Abbildung 6.3:** Integrale Nichtlinearität des OTIS 1.0, Einspeisung eines verzögerten LVDS-Taktsignals am ASDBLR-Vorverstärker. Kanäle 28, 29, 30 des OTIS-TDCs sind jeweils an das gleiche Taktsignal angeschlossen.

Um das Eingangssignal am ASDBLR zu verbessern, wurde statt wie bisher das TTL-Signal mittels Y-Adaptoren auf die TTL-nach-LVDS-Umsetzer zu verteilen, das LVDS-Signal vor dem Umsetzen nach TTL mit dem passiven Stromteiler (vgl. 5.9) auf die FE-Box bzw. drei verschiedene LVDS-nach-TTL-Konverter geleitet, verzögert und nach LVDS rückkonvertiert. Zudem wurde das Signal jetzt mittels 10 pF Kondensator auf der HV-Karte auf den ASDBLR eingekoppelt. Dabei ist zu beachten, daß das negative (Elektronen) Signal eingekoppelt wird.

Mit Hilfe des I<sup>2</sup>C-Buses (3) wurden die Schwellen der ASDBLRs auf 100 mV, entsprechend  $< 2 \text{ fC}$ , eingestellt und die negativen LVDS-Signale eingekoppelt, welche 300 mV bei  $10 \text{ pF} = 3000 \text{ fC}$  Ladung hatten. Das Ergebnis der Messung für jeweils 100 000 Ereignisse



**Abbildung 6.4:** Integrale Nichtlinearität des OTIS 1.0, Einkoppelung eines verzögerten LVDS-Taktsignals mit 10 pF am ASDBLR-Vorverstärker. Kanäle 25, 26, 27 des OTIS-TDCs sind jeweils an das gleiche Taktsignal angeschlossen, Kanal 24 wird nicht verzögert.

ist in Abbildung 6.4 zu sehen.

Obwohl die Messung bei 12 ns Verzögerung bis zu 1.6 ns Abweichung zwischen den Kanälen aufweist, zeigt sie deutlich, daß Vorverstärker, TDC und Datennahme über den optischen Link zusammen funktionieren.



# Kapitel 7

## O-RxCARD

Die optische Empfängerkarte (O-RxCARD) [9] empfängt Daten auf 12 optischen Fasern und deserialisiert sie auf je 16+2 Bit bei 80 MHz, siehe Abbildung 7.1. Sie wurde im Rahmen dieser Arbeit entwickelt und hatte wesentlichen Einfluß auf die Entwicklung der TELL1-Karte als eine LHCb-weite Auslesekarte.

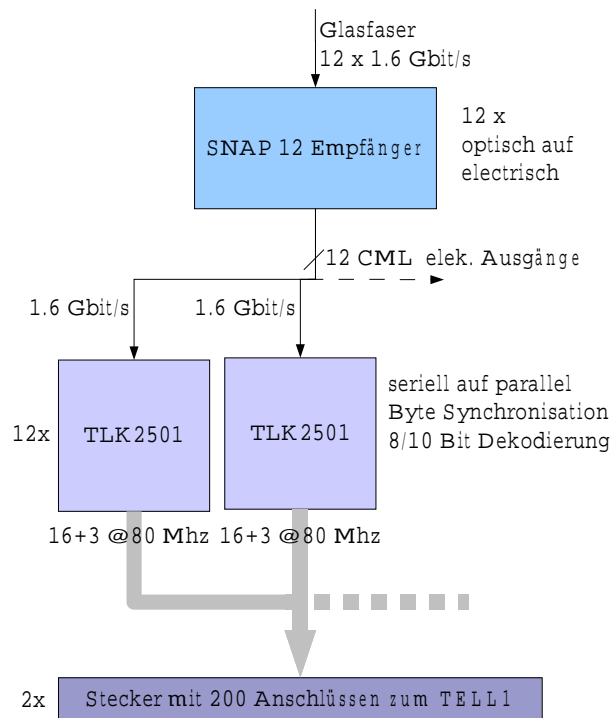


Abbildung 7.1: Optische Empfängerkarte , Datenfluß.

Die optischen Daten werden über 12-fach Fasern von den verschiedenen Subdetektoren auf die O-RxCARD übertragen. Ein mit der Industriennorm SNAP12 [39] konformer 12-fach Empfänger wandelt die optischen Signale in differentielle elektrische (CML) Signale um. Nach einigen cm Datenübertragung auf  $50\Omega$ -Leiterbahnen werden die Daten mit einem Deserialisierer TLK2501 [11] von 1.6 GBit/s auf 16 Bit bei 80 MHz parallelisiert. Die Daten von je 6 optischen Leitungen werden zusammen mit je zwei Statusbits (RxDv, RxEr) und dem aus den Daten rückgewonnenen Takt auf einen PreProcessing-FPGA auf der TELL1-Karte [8] gegeben, der die Daten für den L1-Trigger aufbereitet und bis zur L1-Entscheidung auf DDR-SDRAM zwischenspeichert. Eine ausführliche Beschreibung der ersten Prototypen (IF14-0 und IF14-1) der O-RxCARD findet sich in [9] und [10], Abbildung 7.1 zeigt den Datenfluß. Abbildung 7.2 zeigt die geometrische Anordnung der Bauteile und Abbildung 7.3 zeigt ein Bild des ersten Prototyps der O-RxCARD.

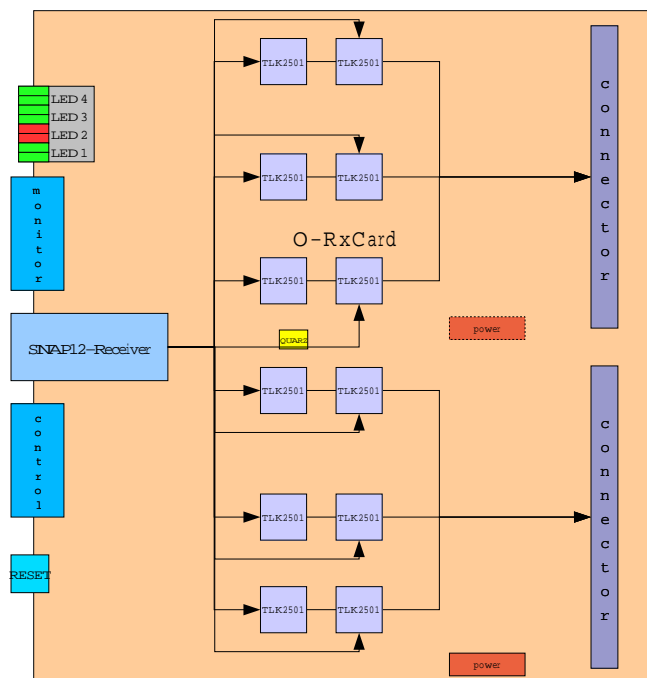
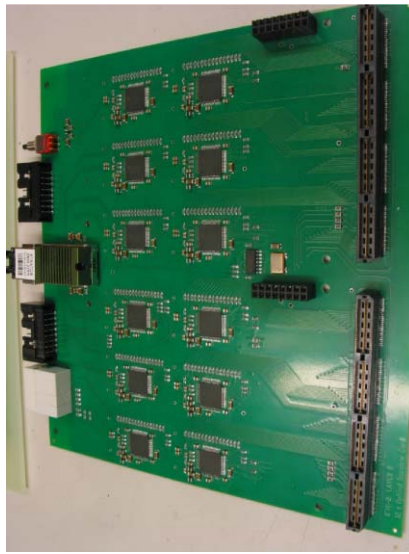


Abbildung 7.2: Optische Empfängerkarte , Übersicht.

## 7.1 Funktionsprüfung

Für Funktionstests, die unabhängig von der TELL1-Karte gemacht werden können, wurde eine Testadapterkarte AS-24 [9] gefertigt, mit deren Hilfe die Daten, welche von der O-RxCARD auf die TELL1-Karte gegeben werden, an 1/10-Zoll-Pfostenleisten abgegriffen werden können. Pro O-RxCARD benötigt man zwei AS24-Karten.



**Abbildung 7.3:** Optische Empfängerkarte IF14-0.

### 7.1.1 Pseudozufallszahlen

Mit Hilfe von Kurzschlußbrücken kann man die Konfiguration der Deserialiser einstellen. Durch Aktivieren der Generation von Pseudozufallszahlen (PRBSen) und interner Signalerückführung (LOOPen) werden auf dem TLK2501 Pseudozufallszahlen erzeugt und auf die Datenausgänge geführt.

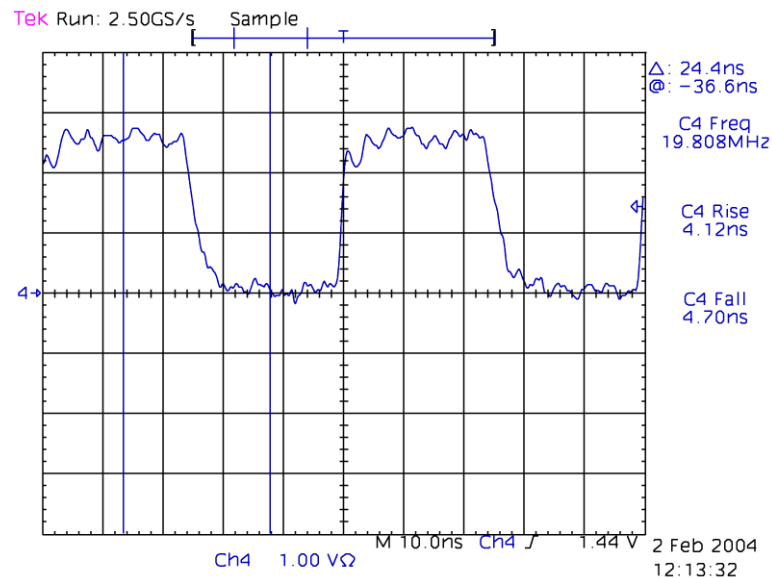
Der Kanal Nr 1 der ersten bestückten Karte IF-14-0 wurde mit rückgeführten Zufallszahlen getestet. Die an den Pfostenleisten auf Testadapter-AS24 abgegriffenen Daten und der 80 MHz-Takt zeigten saubere Rechteckform, Übersprechen von den Nachbarkanälen war in der Höhe von 7% der Signalhöhe. Die Ausgangssignale für Daten, Status und Takt werden in LV-TTL ausgegeben, mit einer Signalspannung von 2.1 bis 2.5 V im Eins-Zustand, der Null-Zustand ist bis 0.8 V gültig, das heißt erst ab 32 % analogem Übersprechen gibt es digitales Übersprechen, daher sind 7 % analoges Übersprechen unkritisch.

Der Test der O-RxCards IF14-0 Nr.2 und 3 zeigte an allen 12 x 19 Ausgängen sehr saubere Signale mit 5-10% Überschwüngen und 2-5% Unterschüngen. Die O-RxCards aus der Vorserie IF14-1 wurden ebenfalls mit Pseudozufallszahlen getestet. Auf den Karten IF14-1 Nr.1 bis 3 konnten so schlechte Lötstellen an den 200-poligen Steckern zum TELL1-Board gefunden werden. Der Test der Karte IF14-1 Nr.4, bei der das Löten der 200-poligen Stecker optimiert war, zeigte, daß alle Daten korrekt anlagen.

### 7.1.2 Zählerdaten

Um die O-RxCards IF14-0 mit optisch übertragenen Daten zu testen, wurden mit einem FPGA (GOL-EV2 Karte) Zählerdaten erzeugt und via GOL-Aux-Karte optisch an die O-RxCards übertragen; dabei ist eine gemeinsame Taktreferenz für den Daten erzeugen-

den FPGA und die GOL-Aux-Karte nötig. Der Referenztakt für die O-RxCARD sollte 2 mal der GOL-Aux-Takt  $\pm 450$  ppm sein. Hier wurde der 80 MHz-Takt mit dem SMS2-Frequenzgenerator erzeugt, am FPGA auf 40 MHz heruntergeteilt und an den GOL 1.0 auf der GOL-Aux-Karte geleitet. Der Takt für die O-RxCARD wurde von einem 80 MHz-Quarzoszillator bereitgestellt. Für alle Datenkanäle, die Statussignale RxDv und RxEr sowie die RxClk (den datensynchronen Takt) lagen bei den O-RxCARDs IF14-0 2 und 3 korrekte Zählerdaten an. Die Anstiegszeit betrug 4.12 ns, die Abfallzeit 4.7 ns, siehe Abbildung 7.4.



**Abbildung 7.4:** Zählerdaten an O-RxCARD, Anstiegs- und Abfallzeiten.

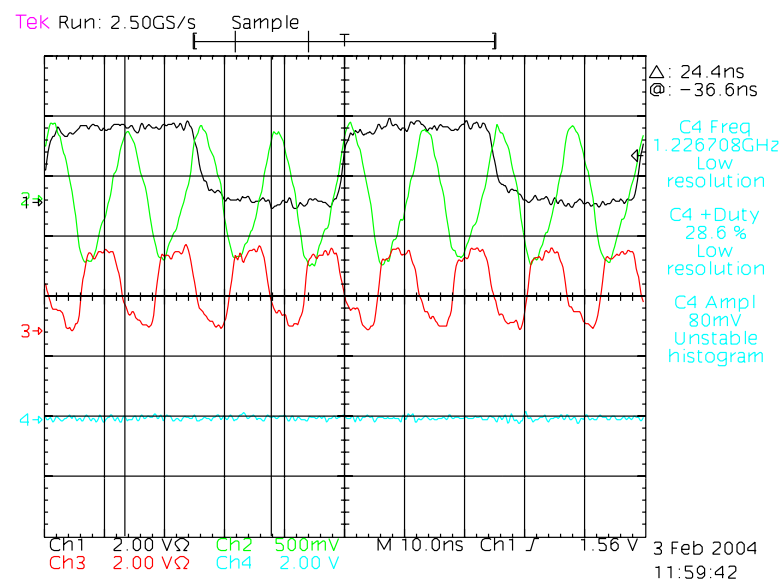
Beim Test der Karte IF14-1 Nr.4 aus der Vorserie mit Zählerdaten konnten an allen (Data0-11) Kanälen für alle 16 Datenbits die Zähler signale mit dem Oszilloskop nachgewiesen werden.

### Taktverteilung

Im Experiment soll der Referenztakt für die TLK2501-Deserialisierer auf der O-RxCARD von einem lokalen Oszillator erzeugt werden. Um die Möglichkeit einer Takteinspeisung vom TELL1-Board zu evaluieren, wurde das 80 MHz-Oszillatorsignal auf einer anderen Karte erzeugt und auf die O-RxCARD geleitet. Solange das 3.3 V-Signal des externen Quarzes nur an eine O-RxCARD geleitet wird, reicht die Amplitude aus, um den 4xNAND-Baustein in der Taktverteilung auf der O-RxCARD zu treiben. Um den Takt für die O-RxCARD vom Frequenzgenerator SMS2 mit maximal 1 V Hub zu nehmen, wurde ein Levelshifter mit 1.78 V Mittenspannung und einem nachgeschalteten NAND-Gatter genutzt, siehe Abbildung 7.5

Taktsynchrone Signale wie das Resetsignal an die OTIS-TDCs werden mit dem Takt





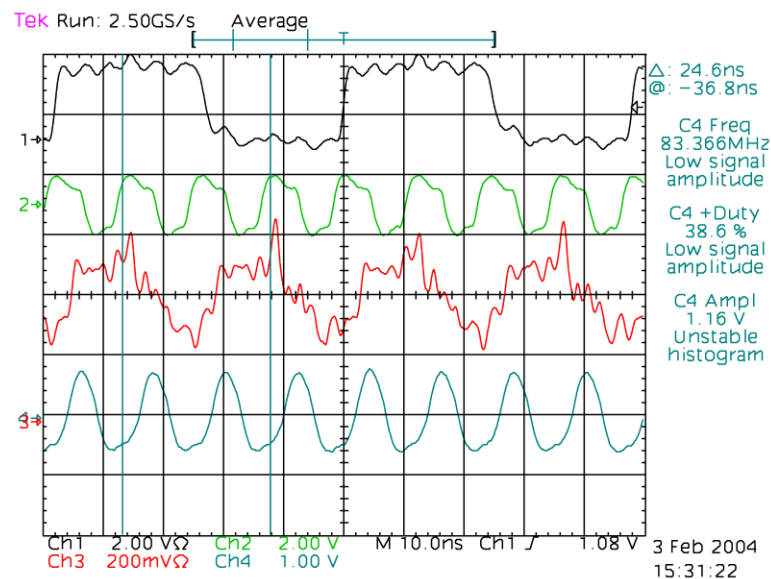
**Abbildung 7.5:** Taktverteilung mit Levelshifter,  
 1 Zählerdaten AS24-0 Data0-0  
 2 Takt Rx-Clk Data4 auf IF14-0  
 3 Rx-Clk von AS24-0 Data0.

zusammen über das TFC-System verteilt. Im nächsten Schritt wurde ein Takt von 81.9550 MHz mit dem SMS2 erzeugt und über den Levelshifter an das GOL-EV2-Board sowie die O-RxCARD verteilt. Aus dem GOL-EV2-Board wurde der Takt auf 40.97725 MHz heruntergeteilt und an das TTCvi [27] geleitet, von dort über Glasfaser an das TTCrm und differentiell an die QPLL auf dem GOL-Aux-Board, also ähnlich Abbildung 5.32. Eine Überprüfung der Datenübertragung und des Taktes an der O-RxCARD mit dem Oszilloskop zeigte eine funktionierende Datenübertragung und Taktverteilung wie in 7.5.

### Datenübertragung via ULM Photonics SMA-VCSEL

Statt mit der bislang verwendeten strahlenharten VCSEL-Diode von Honeywell wurden die Daten nun über eine VCSEL-Diode von ULM Photonics übertragen. Diese ist im Gegensatz zum Honeywell Transceivermodul als reine Sendediode erhältlich, somit halb so teuer, in kleinen Stückzahlen verfügbar und mechanisch wesentlich robuster (Stahl statt Plastikgehäuse).

Die ULM VCSEL-Diode wurde auf das GOL-Aux-Board montiert und bei Biasströmen von 5.8, 7.4, 11.4 und 16.2 mA zum Senden von Zählerdaten genutzt, Abbildung 7.6



**Abbildung 7.6:** Daten über ULM-VCSEL an O-RxCARD,  
 1 Zählerdaten AS24-0 Data0-0  
 2 Rx-Clk von AS24-0 Data0  
 3 Clk\_Pll\_P QPLL-Takt  
 4 Takt Rx-Clk Data4 auf IF14-0.

Mit Hilfe eines Glasfaseradapters von SMA auf MTP/MPO-Standard wurden alle 12 Kanäle von O-RxCARD IF14-0 Nr.3 im Betrieb mit der Ulm Photonics VCSEL-Diode

erfolgreich getestet.

### 7.1.3 LVDS-Adapterkarte

Zur Verringerung der Gleichtakteinstreuung bei der Datenübertragung von der O-RxCARD auf die Stratix-PCI-Karte im PC wurden in Zusammenarbeit mit der TU Dresden [40] Karten zur differentiellen Übertragung entwickelt. Auf der Sendeseite kommt die AS27-0 Karte zum Einsatz, pro optischem Link wird eine Karte benötigt. Jede Karte kann neben den 16 RxData Bits, den beiden Statusbits RxDv und RxEr und dem Takt RxClk weitere 5 Bits von LVTTTL auf LVDS umsetzen.

Ein Test der ersten produzierten Karten AS27-0 Nr.1, 2 zeigte bei Überprüfung mit dem Oszilloskop sowohl für Pseudozufallszahlen als auch für Daten aus der FE-Box (Abschnitt 6) die erwarteten Ausgangssignale.

## 7.2 Bitfehlerratenentest

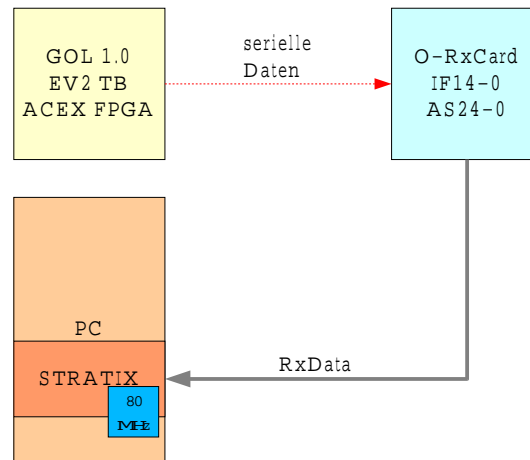
Bei der Datenübertragung im LHCb-Experiment werden ca. 500 O-RxCARDS eingesetzt. Soll die Anzahl der Fehler durch die O-RxCARDS unter einem Fehler pro Minute liegen, muß die Fehlerrate kleiner als  $2 \cdot 10^{-14}$  sein, eine höhere Fehlerrate würde den Betrieb des Experimentes ernsthaft stören.

Wie bereits in Abschnitt 4.2 beschrieben werden zum Ermitteln der Fehlerrate Zählerdaten erzeugt, über die optische Übertragungsstrecke verschickt und danach mit den erwarteten Werten (bzw. den ursprünglichen) verglichen. Der Testaufbau, siehe Abbildung 7.7, bestand aus dem GOL-EV2-Board auf dem die Zählerdaten in einem FPGA erzeugt werden, vom GOL 1.0 serialisiert und über eine VCSEL-Diode in eine optische Faser eingespeist werden. Die optische Faser war in diesem Fall ein Adapter von 12 SMA-Einzelleitungen auf einen 12-fach MTP/MPO-Stecker, der an der O-RxCARD IF14-0 Nr.5 angeschlossen wurde. Die auf der O-RxCARD deserialisierten Daten wurden via AS24-0-Karte, Flachbandkabel, "St.Cruz"-Adapterkarte auf die Stratix-EVO-PCI-Karte gesandt. Die Daten wurden mit dem Programm "Shippo 1.01 v4" für Ereignisse, die ungleich Null sind und einer Null folgen, auf den PC übertragen.

Histogrammiert man die Zählerbytes von 0 bis 255 sollte eine Gleichverteilung zwischen 5 und 36 entstehen.

Bei der Übertragung von Zählerdaten für die oberen und die unteren 16 (von 32) Bit identisch sind, fehlten bei 1 000 000 Ereignissen (je 36 Byte) 72 773 Einträge im letzten Bin, in den anderen Bins waren 99% der erwarteten Einträge.

Erzeugt man 32-Bit Zählerdaten, werden an den O-RxCARD Ausgängen immer abwechselnd die unteren 16 Bit bzw. die oberen 16 Bit ausgegeben (MSB ungleich LSB). Nachdem die Quarzoszillatoren auf der Sende- und der Empfängerseite die gleiche Frequenz hatten, wurden von 1 000 000 Ereignissen nur 4076 mit falschem Datenkopf übertragen, der Rest der Ereignisse war in Ordnung. Der "falsche" Datenkopf entstand durch das Schalten der Bits 8 bis 15 von 0000 0000 auf 0000 0001 (256 mal seltener als der Übergang für Bits 0 bis 7), wobei zusätzlich die Reihenfolge der Bits 8 bis 15 gedreht war. Dies führte zu Ereignissen



**Abbildung 7.7:** Aufbau Fehlerraten test an O-RxCARD mit Zählerdaten aus dem ACEX-FPGA, die mit dem Stratix-PCI-Board auf PC gespeichert werden.

nissen die statt mit 0000 0000 0000 0001 zu beginnen, mit 0000 0000 1000 0000 begannen - also 12-Bit-TDC-Adresse 008.

Bei systematischer Überprüfung aller Kanäle der O-RxCARD ergab sich für Data0 bis Data2, daß nur ca. 4000 von  $10^6$  Ereignissen fehlten, bei Data3 und Data4 waren jedoch die Hälfte der Daten fehlerhaft. Auch bei Data9 und Data10 waren die Hälfte der Ereignisse fehlerbehaftet, die Daten in Kanälen Data5-8 und Data11 waren bis auf jedes 256te Ereignis in Ordnung. Eine Messung an den O-RxCARD Ausgängen 3, 4 bzw. 9, 10 mit dem Oszilloskop, zeigte daß die Zählerdaten wie erwartet korrekt an den Ausgängen anlagen (MSB = LSB).

Es wurden die Signalzuordnung zwischen O-RxCARD und Stratix-FPGA korrigiert, um den oben beschriebenen Fehler durch gedrehte Bytes zu beheben, siehe Tabelle 7.1 und 8.1.

Nach Korrektur der Bitzuordnung zwischen O-RxCARD und Stratix-PCI-Karte wurde der oben beschriebene Test mit Zählerdatenübertragung wiederholt, es gab jedoch wieder nur 40% korrekte Ereignisse in Kanälen 3, 4, 9, 10.

### 7.2.1 ACEX-Fehlerraten testprogramm

Nach dem Versuch, ein Bitfehlerraten testprogramm auf dem Stratix-FPGA zu nutzen, vgl. Abschnitt 8.4, wurde nochmals der ACEX-FPGA auf der GOL1.1 EV2-Karte mit einem überarbeiteten Bitfehlerraten test programmiert, vgl. Abschnitt 4.2.

Um den Einfluß möglicher Fehler auf der O-RxCARD auszuschließen, wurde das Programm mit dem GOL1.1 EV2 Board und der TLK2501-EVO-Karte getestet, siehe Abbildung 4.6. 32-Bit Zählerdaten werden mit dem GOL 1.0 serialisiert, mit einem kommerziell erhältlichen optischen Transceiver (STRATOS MLC-25-8-1-TL) gesendet, auf der TLK2501-EVO-Karte mit einem identischen Stratos-Transceiver empfangen und vom

Signal	Adapter Pin	Stratix Board Pin	FPGA Pin
RxDat0	S2-4	J3-18	P24
RxDat1	S2-6	J3-16	N26
RxDat2	S2-8	J3-14	P27
RxDat3	S2-10	J3-12	R27
RxDat4	S2-12	J3-10	P26
RxDat5	S2-14	J3-8	R24
RxDat6	S2-16	J3-6	R26
RxDat7	S2-18	J3-4	T32
RxDat8	S1-4	J3-3	T31
RxDat9	S1-6	J3-5	R29
RxDat10	S1-8	J3-7	R25
RxDat11	S1-10	J3-9	R23
RxDat12	S1-12	J3-11	P25
RxDat13	S1-14	J3-13	R28
RxDat14	S1-16	J3-15	P28
RxDat15	S1-18	J3-17	N25
RxDv	S4-1	J3-28	N24
RxEr	S4-3	J3-32	M27
Clk40	S5-2	J4-11	AL16
RxCk	S5-4	J4-13	D15

**Tabelle 7.1:** Stratix -Kit-Adapterkarte auf dem “St.Cruz”-Steckplatz, Steckerbelegung für den Fehlerratenentest.

TLK2501 auf 16 Bit bei 80 MHz deserialisiert. Die 16-Bit RxDaten werden auf den ACEX-FPGA rückgeführt und mit den intern verzögerten Werten verglichen.

Die Dauer der Verzögerung im FPGA sollte flexibel sein, da zum Beispiel 1 m zusätzliche Leitung einer Verzögerung von 5 ns entsprechen, bei einem Taktzyklus von 12.5 ns.

Zur schnellen Fehlersuche zeigen jeweils vier LEDs die Differenz zwischen den gesandten und den wieder empfangenen Daten und die Anzahl der Fehler an. Weitere LEDs signalisieren den GOL-“ready”-Status und geben die höchsten Zählerbits wieder.

Im Test mit der TLK2501-Karte ergab sich eine Signallaufzeit von 125 ns. Mit fünf Flipflops die mit 40 MHz getaktet die Zählerdaten im FPGA verzögerten gab es bei einem 10 minütigen Test keine Fehler. Hierbei waren die oberen und unteren 16 Bit identisch (MSB = LSB).

Beim Anschluß der O-RxCards IF14-0 statt der TLK2501-EVO-Karte war das Flachbandkabel zum GOL 1.1 EV2-Board um 2 m länger, nach Sicherstellen eines guten Stromkontaktes gab es keinen Fehler in 5 Minuten (MSB = LSB). Dieser Test wurde für alle 12 optischen Kanäle der O-RxCards IF14-0 Nr. 5 und 6 eine Minute lang durchgeführt, die Verzögerung der Daten im FPGA war nun 100 ns. In allen 24 Kanälen der beiden O-RxCards gab es keinen Übertragungsfehler. Kanal Data4 auf IF14-0 Nr.5 zeigte erst nach mehreren Resets fehlerfreie Datenübertragung.

Ausgehend von der Annahme, daß die feste Verzögerung der Daten auf dem FPGA (hier 100 ns) im Widerspruch zu einer variablen Latenz der Datenübertragung (bei mehreren Initialisierungen) steht, wurde letztere zwischen Datenausgang und Dateneingang am FPGA gemessen. Bei 15 Messungen variierte die Latenz zwischen 105.5 ns und 110.8 ns,

wobei die Daten unabhängig von der Latenz 6 mal zu Fehlern und 9 mal nicht zu Fehlern führten. Trotz des unklaren Einflusses der Latenz auf die Fehlerratenmessung, wurde ein zusätzlich zuschaltbares 25 ns Verzögerungselement für die ursprünglichen Daten hinzugefügt. Asynchrone FIFOs für die wiederempfangenen und die ursprünglichen Zählerdaten kamen ebenfalls hinzu.

Der Test der Fehlerrate an O-RxCARD IF14-0 Nr.6 mit dem optischen Empfänger Emcore MRX9512 wurde mit dem überarbeiteten ACEX-BERT (Version 14) durchgeführt. Die optische Datenübertragung wurde sowohl mit der ULM Photonics VCSEL-Diode (SMA-Verbinder) als auch mit dem Stratos Lightwave Transceiver (LC-Verbinder) getestet. Alle 12-Kanäle konnten mit beiden optischen Sendern je eine Minute fehlerfrei betrieben werden, bei Data9 und Stratos-Transceiver mußte die Messung dazu zweimal gestartet werden.

Beim Fehlerraten test mit der Karte IF14-1 aus der Vorserie [10] ergaben sich für die Einstellungen MSB = LSB und 125 ns interne Verzögerung der Zählerdaten eine Minute fehlerlose Datenübertragung bei Data0 - Data2, Data5 - Data8 und Data11, wohingegen Data3, 4, 7, 8 ein schlechtes Verhalten bezüglich der Startsynchro nisation zeigten.

Der Test der Karte IF14-1 Nr.4 ergab bei einem einminütigen Test eine fehlerfreie Datenübertragung in den Data0-2, 5-8 und 11. Bei Data3, 4, 9, 10 gab es zwar Fehler, die untersten Bits 0 bis 3 waren aber vor und nach der optischen Übertragung gleich.

Die Messung der Phasenlage von RxClk-Takt und Daten an Data0 im Vergleich zu Data10 zeigte nur geringe Unterschiede. Bei Data0 war der Zeitversatz zwischen Takt und Daten zwischen 4.5 und  $5.1 \pm 0.2$  ns, bei Data10 zwischen 4.4 und  $5.0 \pm 0.2$  ns.

### Fehlerraten tests über lange Zeit

Für einige Datenkanäle wurden mit dem ACEX-Fehlerraten testprogramm Messungen über Stunden bis Tage gemacht. Eine Fehlerquelle bei diesen Messungen ist, daß Fehler nur über vier LEDs angezeigt werden, also Vielfache von 16 von Null nicht unterscheidbar sind, aber auch ein Stromausfall kurz vor dem Ablesen der LEDs ein falsches Resultat bringen würde. In Tabelle 7.2 sind die Langzeitmessungen zusammengefaßt.

Karte	Datenkanal	Datum	Dauer	Fehler	Rate	Bemerkungen
IF14-0 Nr.5	Data11	16.6'04	2 h	0	$\leq 8.7 \cdot 10^{-14}$	
IF14-0 Nr.5	Data9	17.6'04	13 h	0	$\leq 1.4 \cdot 10^{-14}$	Data9 problematisch
IF14-0 Nr.5	Data4	18?.6'04	12 h	0	$\leq 1.5 \cdot 10^{-14}$	Data4 problematisch
IF14-0 Nr.5	Data0	18-21.6'04	67 h	0	$\leq 2.6 \cdot 10^{-15}$	
IF14-0 Nr.6	Data11	24-25.6'04	19.3 h	0	$\leq 9 \cdot 10^{-15}$	Emcore Receiver

**Tabelle 7.2:** Lange Fehlerraten tests.

Diese Dauertests belegen, daß eine optische Datenübertragungsstrecke, welche einige Minuten fehlerfrei funktioniert, auch die nächsten Stunden keine Fehler verursacht.

### 7.2.2 Signalform an den O-RxCard-Ausgängen

Die Unterschiede der Datenqualität an den Datenbussen Data3, 4, 9, 10 gegenüber den anderen acht parallelen Ausgängen der O-RxCard könnte durch die Signalform der verschiedenen angeschlossenen Bits verursacht werden. Messung der Anstiegs- und Abfallzeiten aller 12 mal 16 Bits sowie der RxClk 0 bis 11 ergab die in Tabelle 7.3 zusammengefaßten Ergebnisse. Die Datenkanäle haben zwar unterschiedliche Flankensteilheit, dies ist jedoch wahrscheinlich nicht für die schlechten Ergebnissen in Abschnitt 7.2 verantwortlich. Abbildung 7.8 zeigt die Pulsform an O-RxCard IF14-0 Nr.5 Data8-3, das Signal schwingt sehr stark unter und zeigt eine starke Welligkeit.

Datenbus	Anstiegszeit [ns]	Abfallzeit [ns]
Data0	1 bis 2.5	3 bis 4.7
Data1	1.4 bis 2	3 bis 4.5
Data2	1 bis 3	2 bis 3
Data3	1 bis 3	1 bis 5
Data4	1 bis 5	1.5 bis 5
Data5	$\leq 1$ bis 2.3	1 bis 4
Data6	1 bis 4	1.5 bis 4
Data7	1 bis 3.6	1 bis 4
Data8	1 bis 4	1 bis 4
Data9	0.6 bis 2.8	1.2 bis 3.5
Data10	0.5 bis 4	0.8 bis 5
Data11	0.8 bis 2	0.4 bis 3.2

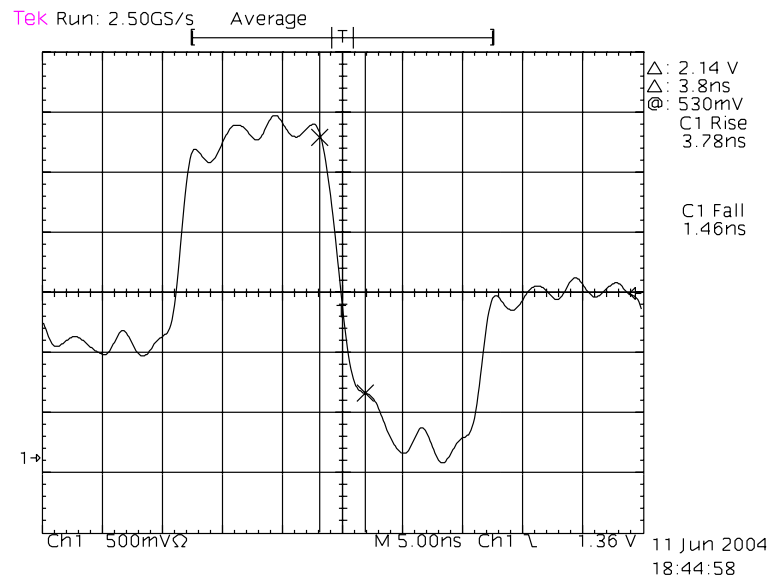
**Tabelle 7.3:** Anstiegs- und Abfallzeiten O-RxCard IF14-0. Es sind jeweils minimale und maximale Anstiegs- bzw. Abfallzeiten für die 16 Datenbits und den Takt angegeben.

#### Signalform an den Datenausgängen für verschiedene Serienwiderstände

Die Signalform an den 80 MHz-Ausgängen für Daten, Takt und Statusbits wird durch eine Serienterminierung bestimmt. Die Serienterminierung verlangsamt den Signalanstieg und dämpft Schwingungen. Als Ausgangswert wurden, wie auch auf dem Referenzdesign TLK2501-EVO-Kit,  $50\ \Omega$  gewählt. Auf O-RxCard IF14-0 Nr.5 wurden die Serienwiderstände bei Data10-0 (RS161), Data10-15 (RS176) und Data11-14 (RS191) gegen Potentiometer ausgetauscht. Die Leitungslänge auf dem PCB ist für Data10-0 maximal, für Data10-15 durchschnittlich und für Data11-14 minimal. Alle Signale wurden an der Adapterkarte AS24-0 abgegriffen.

Bei Serienterminierung zwischen  $0\ \Omega$  und  $100\ \Omega$  wurden die Signalformen der drei Kanäle mit drei verschiedenen Meßanordnungen aufgenommen:

- 1pF-1M $\Omega$ -Aktivtaktkopf direkt (Abb. 7.9),
- 1pF-1M $\Omega$ -Aktivtaktkopf mit parallelem 10 pF-Kondensator (Abb. 7.10), entsprechend der Eingangskapazität des FPGAs der die Daten im Experiment verarbeitet,



**Abbildung 7.8:** Pulsform an O-RxCARD IF14-0 Nr.5 Data8-3.

- Lemokabel ( $50\ \Omega$ ) direkt an das Oszilloskop angeschlossen,  $1\ \text{M}\Omega$ -Abschluß (Abb. 7.11).

Die Anstiegszeit verdeutlicht den starken Einfluß der Meßmethode,  $1.1\ \text{ns}$  am Tastkopf,  $2.9\ \text{ns}$  mit Tastkopf und  $10\ \text{pF}$  parallel und  $9\ \text{ns}$  am Lemo-Kabel. Da durch die Eingangskapazität des FPGA von  $10\ \text{pF}$  die zweite Meßmethode den Bedingungen im Experiment am nächsten kommt, werden die folgenden Signale nur für diese Messung gezeigt.

Abbildungen 7.12, 7.13 und 7.14 zeigen die Signale mit  $30\ \Omega$  Serienwiderstand für die drei Datenleitungen. Abb. 7.15, 7.16 und 7.17 sind mit  $50\ \Omega$  in Serie entstanden, also dem Wert des Referenz Designs, in Abb. 7.18, 7.19 und 7.20 ist der Einfluß des maximale Widerstandes von  $100\ \Omega$  zu erkennen.

Bei  $30\ \Omega$  Serienwiderstand entsteht für die lange Leiterbahn ein (leichtes) Überschwingen, welches sich zu noch niedrigeren Widerständen hin verstärkt. Die mittellange Leiterbahn zeigt bei  $30\ \Omega$  deutliche Oszillationen. Bei der kurzen Leiterbahn sind  $30\ \Omega$  die beste Impedanz, da bei höheren Werten eine Stufe in der ansteigenden Flanke entsteht. Die lange und die mittlere Leiterbahn liefert bei  $50\ \Omega$  die saubersten Signale mit  $2.9\ \text{ns}$  Anstiegszeit und ohne Überschwingen. Für  $100\ \Omega$  in Serie sieht man für alle drei Leiterbahnen deutliche Stufen in den ansteigenden Flanken, wobei die kurze Leiterbahn mehr Oszillationen als für  $50\ \Omega$  zeigt.

Da es unpraktikabel ist jede Leiterbahn mit einem anderen Serienwiderstand abzuschließen, wurden  $50\ \Omega$  als bester Kompromiß für alle Signale gewählt.

### Signalqualität in der Taktverteilung

Durch die hohe Geschwindigkeit der seriellen Datenübertragung von  $1.6\ \text{GHz}$ , ist die Taktverteilung auf der O-RxCARD besonders sorgfältig zu implementieren. Der Referenztakt



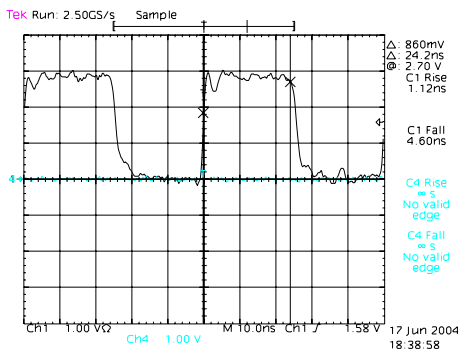


Abbildung 7.9: Signalform an Data10-0, 50 Ω-Serienterminierung mit Aktivtastkopf.

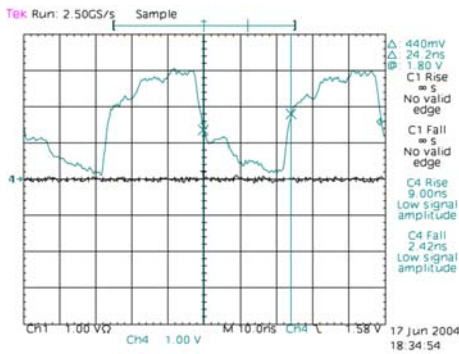


Abbildung 7.11: Signalform an Data10-0, 50 Ω-Serienterminierung mit Lemo Kabel und 1 MΩ Abschlußwiderstand am Oszilloskop.

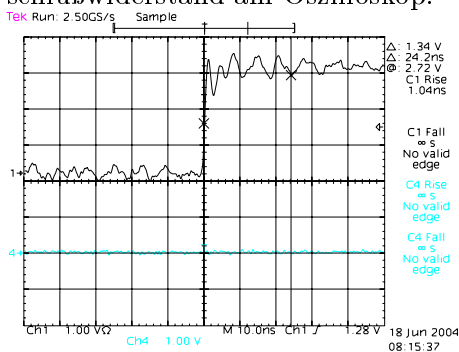


Abbildung 7.13: Signalform an Data10-15 (mittellang), 30 Ω Serienterminierung mit Aktivtastkopf und 10 pF.

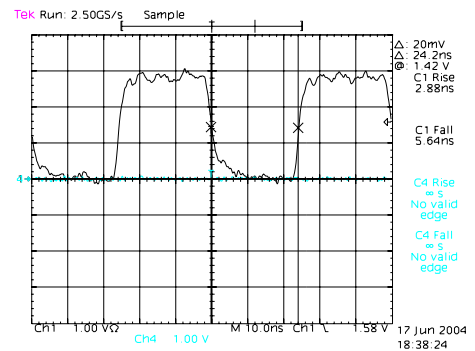


Abbildung 7.10: Signalform an Data10-0, 50 Ω-Serienterminierung mit Aktivtastkopf und 10 pF parallel - entsprechend der Eingangsimpedanz des FPGAs.

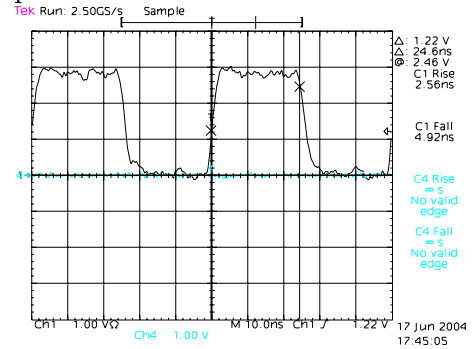


Abbildung 7.12: Signalform an Data10-0 (lang), 30 Ω Serienterminierung mit Aktivtastkopf und 10 pF.

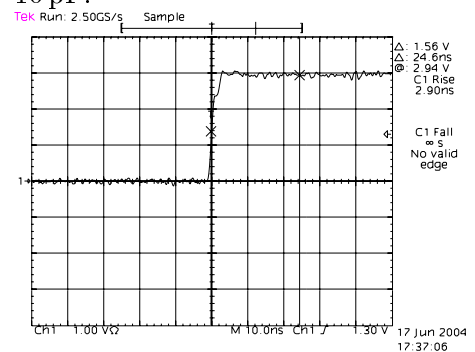
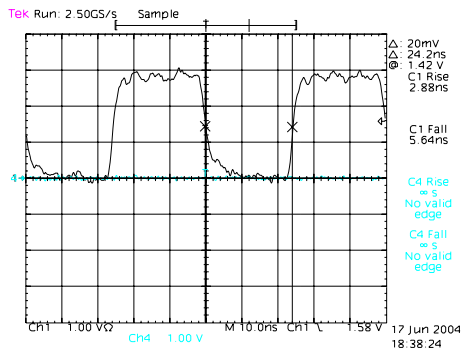
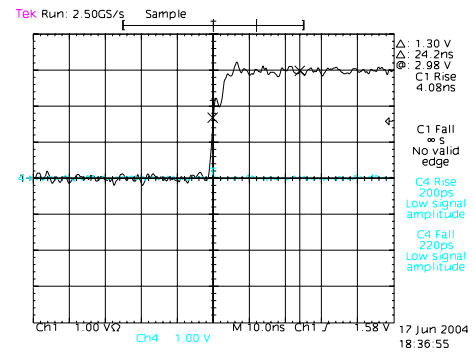


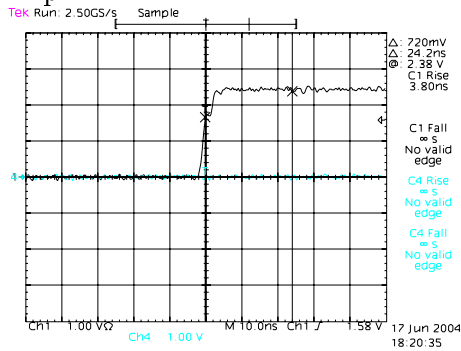
Abbildung 7.14: Signalform an Data11-14 (kurz), 30 Ω Serienterminierung mit Aktivtastkopf und 10 pF.



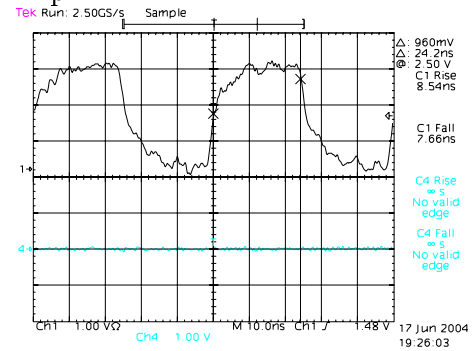
**Abbildung 7.15:** Signalform an Data10-0 (lang),  $50\Omega$  Serienterminierung mit Aktivtastkopf und  $10\text{ pF}$ .



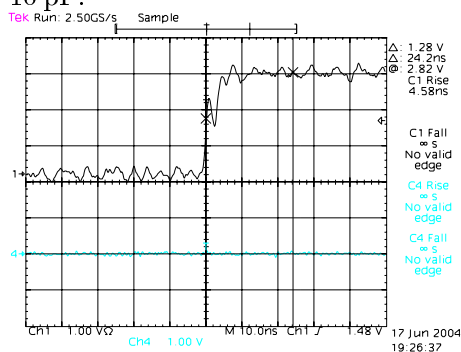
**Abbildung 7.16:** Signalform an Data10-15 (mittellang),  $50\Omega$  Serienterminierung mit Aktivtastkopf und  $10\text{ pF}$ .



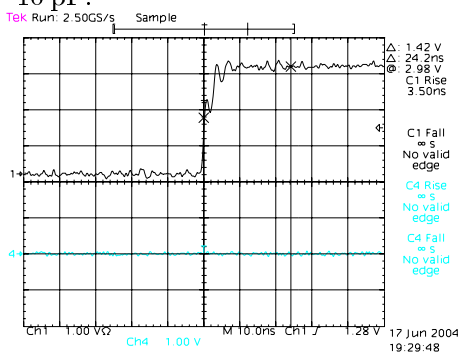
**Abbildung 7.17:** Signalform an Data11-14 (kurz),  $50\Omega$  Serienterminierung mit Aktivtastkopf und  $10\text{ pF}$ .



**Abbildung 7.18:** Signalform an Data10-0 (lang),  $100\Omega$  Serienterminierung mit Aktivtastkopf und  $10\text{ pF}$ .



**Abbildung 7.19:** Signalform an Data10-15 (mittellang),  $100\Omega$  Serienterminierung mit Aktivtastkopf und  $10\text{ pF}$ .



**Abbildung 7.20:** Signalform an Data11-14 (kurz),  $100\Omega$  Serienterminierung mit Aktivtastkopf und  $10\text{ pF}$ .

wird entweder extern eingespeist, oder lokal von einem 80 MHz-Quarzoszillator erzeugt (vgl. Abbildung 8.4). Mit Hilfe eines schnellen NAND-Gatters wird der Takt an die 12 TLK2501-Deserialisierer verteilt. Die vier Ausgänge des NAND-Gatters sind jeweils mit  $60\ \Omega$  serienterminiert, jeweils drei TLK2501 sind ohne weitere Terminierung angeschlossen.

Das Taktsignal wurde mit einem aktiven Tastkopf an den GTX\_Clk (Taktreferenz) Eingängen aller 12 Deserialisierer auf der O-RxCard IF14-0 Nr.5 abgegriffen, siehe Abbildung 7.21. Das Signal ist frei von starken Überschwüngen oder Störungen. Trotzdem wurde statt dem Widerstand R403 ein Potentiometer zur Serienterminierung des Taktsignals für die Deserialisierer U8, U10, U12 eingelötet. In  $10\ \Omega$  Schritten wurde der Widerstand zwischen  $20\ \Omega$  und  $100\ \Omega$  variiert und für jeden Wert an den Takteingängen der drei TLK2501 die Signalform mit dem Oszilloskop überprüft. In Abbildung 7.22 war die Serienterminierung mit  $20\ \Omega$  minimal, das Signal steigt zwar schnell an, hat aber einen starken Überschwinger. Mit  $50\ \Omega$  in Serie ergibt sich ein Signal mit mäßig starkem Unter- bzw. Überschwinger, die Anstiegszeit ist mit  $2\ \text{ns}$  noch kurz genug, siehe Abb. 7.23 und Abb. 7.24. Auch für  $60\ \Omega$  in Serie, Abb. 7.25, ist die Pulsform günstig. Bei  $100\ \Omega$ , Abb. 7.26, erreicht das Signal erst verzögert maximalen Pegel und die Unterschwingungen sind stärker.

Fazit aus dieser Messung ist, daß die Taktverteilung mit  $50$  bis  $60\ \Omega$  Serienterminierung an allen Deserialisierern stabile Signale liefert.

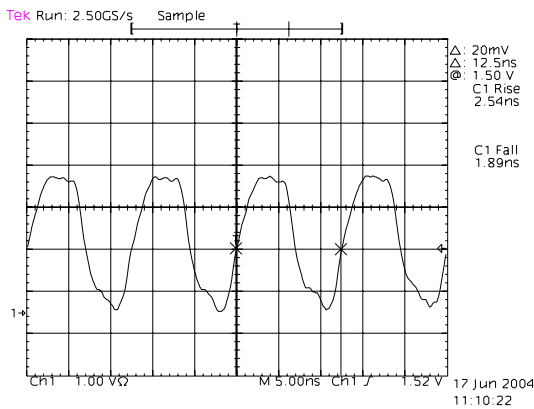
Um eine Abhängigkeit der Initialisierung der optischen Übertragung von dem gewählten Serienwiderstand zu prüfen, wurde Datenkanal Data9 (TLK U10) mit Widerständen zwischen  $20$  und  $100\ \Omega$  betrieben. Die Probleme bei der Initialisierung traten bei allen Widerstandswerten gleichermaßen auf.

### 7.2.3 Signalqualität an den seriellen 1.6 GHz-Signalleitungen

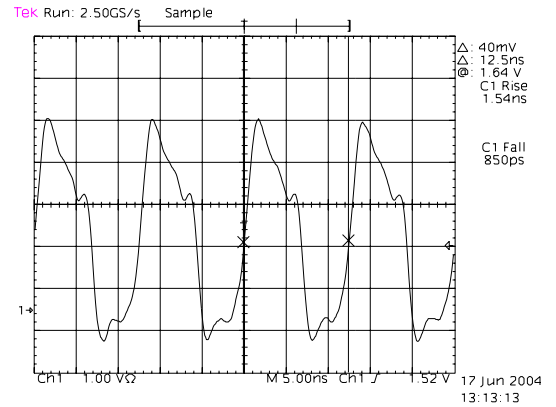
Die Qualität der schnellen seriellen Signale läßt sich durch die Deutlichkeit der Trennung von Nullen und Einsen im Datenstrom beurteilen. In jedem Taktzyklus muß für möglichst lange Zeit klar feststehen ob das Signal "high" oder "low" ist. Man kann durch Übereinanderlegen vieler Messungen bestimmen, ob das Signal zeitlich stabil immer mit der selben Phase zu einem Null-Eins-Übergang einen klaren digitalen Wert annimmt. Da die Öffnung zwischen den digitalen Übergängen wie ein Auge aussieht, spricht man von Augendiagramm, vgl. Abschnitt 4.2. Die gesendeten Daten haben großen Einfluß auf das Augendiagramm, siehe Abbildungen 4.15 und 4.18. Konstante Daten (hier Null) erzeugen klarere Übergänge als Zählerdaten.

Für die O-RxCard IF14-0 Nr.5 wurde an allen 12 seriellen Datenpfaden sowohl für die positiven als auch für die negativen Signale ein Augendiagramm aufgenommen. Die Signale wurden für eine Zeit von  $960\ \text{ms}$  übereinandergelegt. Der Abgriff erfolgte an Testpunkten G1-24 mit einem  $1.5\ \text{GHz}$ -Tastkopf. Entscheidend für die Qualität der Augendiagramme war der sichere mechanische Kontakt zum Testpunkt.

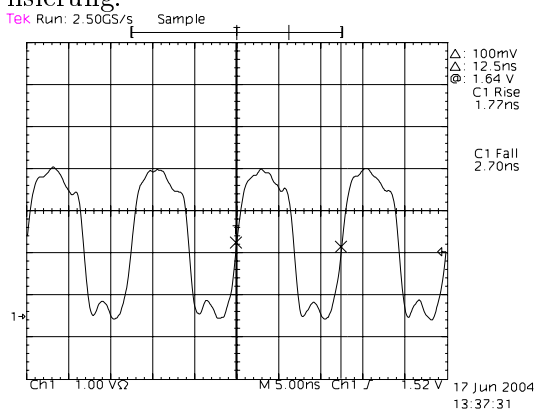
Abbildung 7.27 zeigt als Referenz ein Augendiagramm, das mit der TLK2501-EVO-Karte erzeugt wurde, die Augenöffnung ist  $350\pm 20\ \text{ps}$ . In Abbildung 7.28 sieht man das Verschwinden der Augenöffnungen ( $200\pm 20\ \text{ps}$ ) bei schlechtem Kontakt des Tastkopfes, gemessen an Data0 auf O-RxCard IF14-0 Nr.5. Abbildung 7.29 zeigt für den gleichen Kanal das Augendiagramm bei gutem Massekontakt. Abbildung 7.30 zeigt Data4, einen



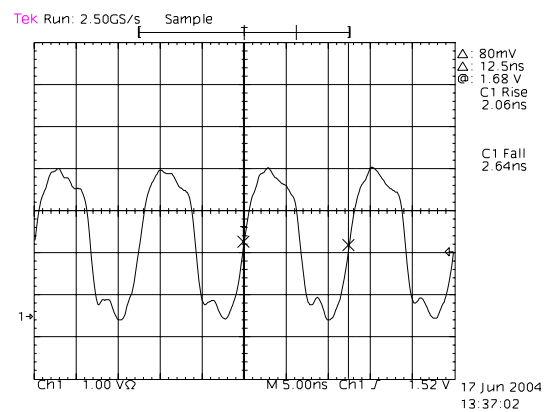
**Abbildung 7.21:** Takt direkt am Deserialisierer U5 (Data4), dieser Kanal zeigt Probleme bei der Initialisierung.



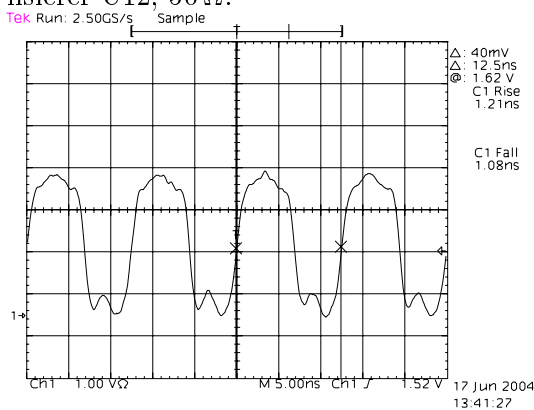
**Abbildung 7.22:** Takt an Deserialisierer U12, 20 Ω.



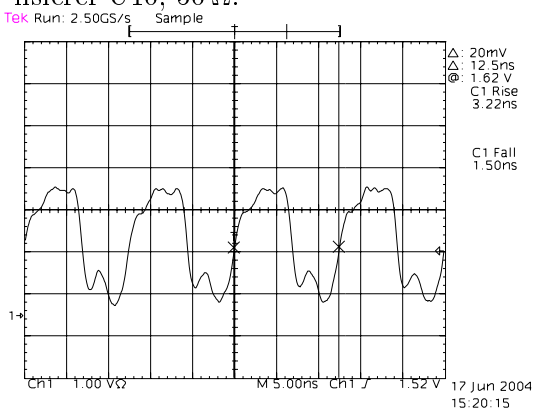
**Abbildung 7.23:** Takt an Deserialisierer U12, 50 Ω.



**Abbildung 7.24:** Takt an Deserialisierer U10, 50 Ω.



**Abbildung 7.25:** Takt an Deserialisierer U12, 60 Ω.



**Abbildung 7.26:** Takt an Deserialisierer U12, 100 Ω.

Kanal, der bei der Fehlerratenmessungen nicht bei jedem Mal in den “lock”-Zustand ging. Die Augenöffnung für Data0 beträgt  $350 \pm 20$  ps, die bei Data4  $300 \pm 20$  ps.

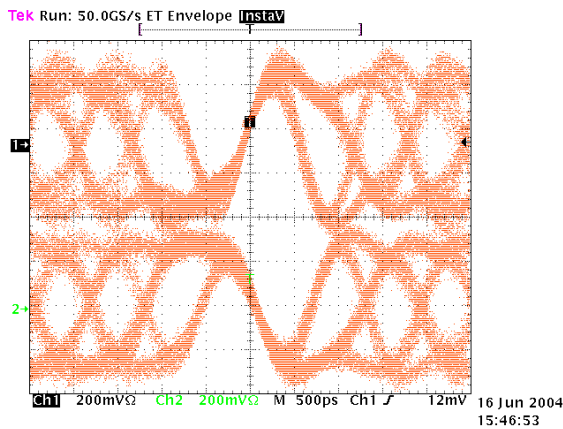


Abbildung 7.27: Augendiagramm TLK2501-EVO - Referenz.

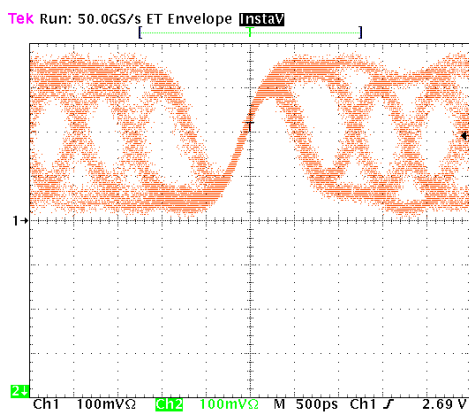


Abbildung 7.29: Augendiagramm negatives Signal Data0.

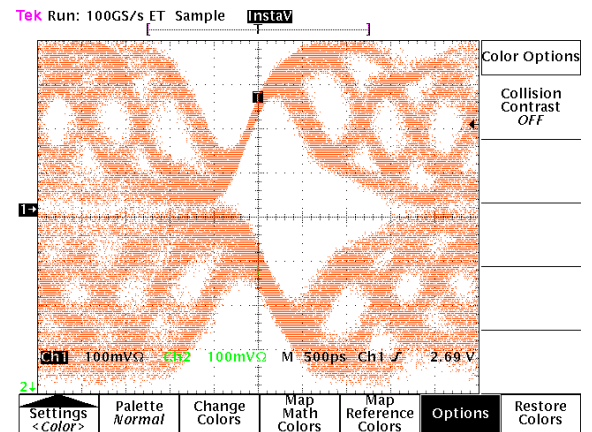


Abbildung 7.28: Augendiagramm positives und negatives Signal Data0, schlechter Kontakt.

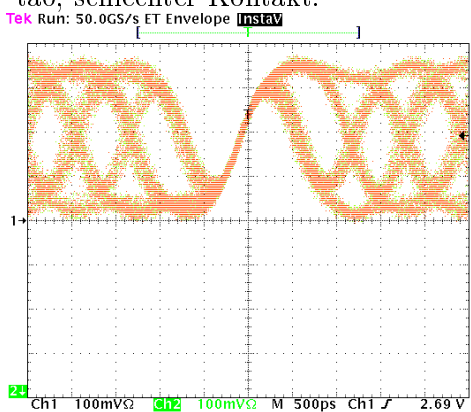


Abbildung 7.30: Augendiagramm negatives Signal Data4.

Somit konnte die Funktion aller Kanäle der O-RxCARD nachgewiesen werden, wobei vier der zwölf Kanäle bei der Synchronisation am Anfang der Datenübertragung teilweise Schwächen zeigten.



## Kapitel 8

# L1-Buffer-Board

Die Daten aus den Driftzeitmessungen mit dem OTIS-TDC werden über optische Fasern von den Spurkammern zur Elektronik im gegen Strahlung geschirmten Bereich gesandt. Dort werden die Daten empfangen, deserialisiert (O-RxCard) und bis zu einer L1-Entscheidung auf dem TELL1-Board <sup>1</sup> [8] zwischengespeichert (L1Buffer), siehe Abbildung 8.1 und 8.2.

Der Teil der Daten der für die L1-Entscheidung relevant ist wird von den TELL1-Karten prozessiert (PP-FPGA <sup>2</sup>) und via Ro-Tx-Karten an die L1-PC-Farm geschickt. Bei positiver L1-Entscheidung werden die Daten aus dem 64 k Ereignisse tiefen Zwischenspeicher (L1B) ausgelesen, prozessiert (SyncLink-FPGA) und ebenfalls an die PC-Farm geschickt.

Aufgrund der Komplexität der eigentlichen TELL1-Karte wurde zunächst eine kommerzielle Karte mit ähnlicher Funktion erworben, das PCI-Stratix-EVO-Kit [41] des FPGA Herstellers ALTERA (siehe Abbildung 8.3). Das Stratix-EVO-Kit besitzt unter anderem folgende Eigenschaften:

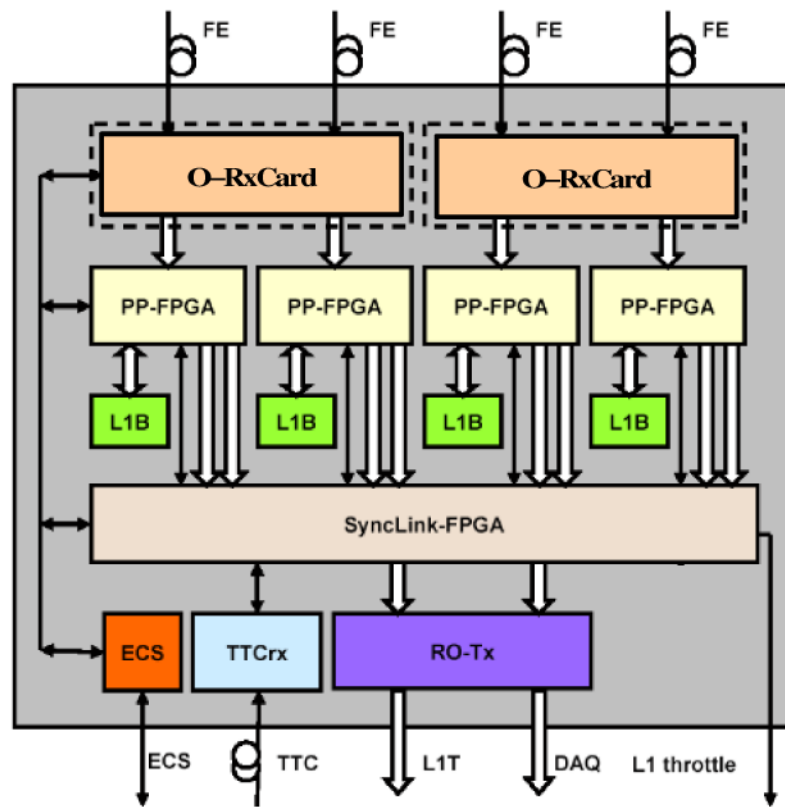
- Stratix EP1S25F1020 FPGA, der gleiche FPGA wird auf der TELL1-Karte genutzt
- PCI-Interface zur schnellen Erfassung der Daten im PC
- 256-MByte DDR-RAM vergleichbar mit den 512 MBit DDR-RAM Bausteinen auf dem TELL1
- Mehrere parallele Schnittstellen mit >100 angeschlossenen Ein- und Ausgängen. So können Daten von bis zu 6 optischen Übertragungsstrecken eingespeist werden.
- Flexible Takteinspeisung
- LEDs und Schalter für Testzwecke während der Entwicklung

Die Software für die FPGA-Programmierung und PC-Auslese entstand im Rahmen zweier Diplomarbeiten [42], [40].

---

<sup>1</sup>“Trigger **E**lectronics and **L**evel **1** board”

<sup>2</sup>Ein FPGA ist ein programmierbarer digitaler Baustein, der durch Verschalten logischer Gatter in der Lage ist, Daten parallel zu verarbeiten.



© Guido Haefeli

Abbildung 8.1: Datenfluß auf der TELL1-Karte.





Abbildung 8.2: TELL1-Karte mit allen Tochterkarten.

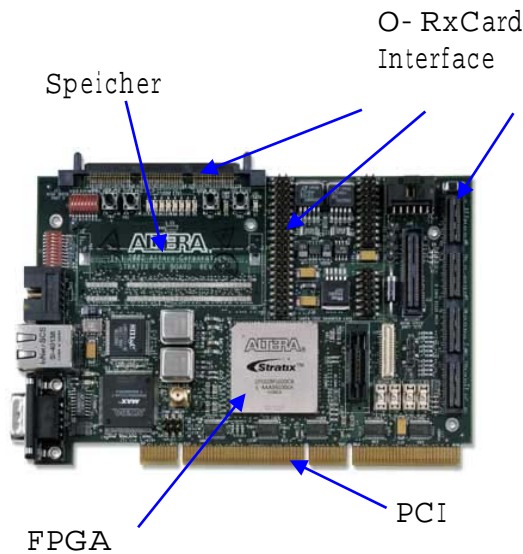


Abbildung 8.3: Stratix-PCI-EVO-Kit

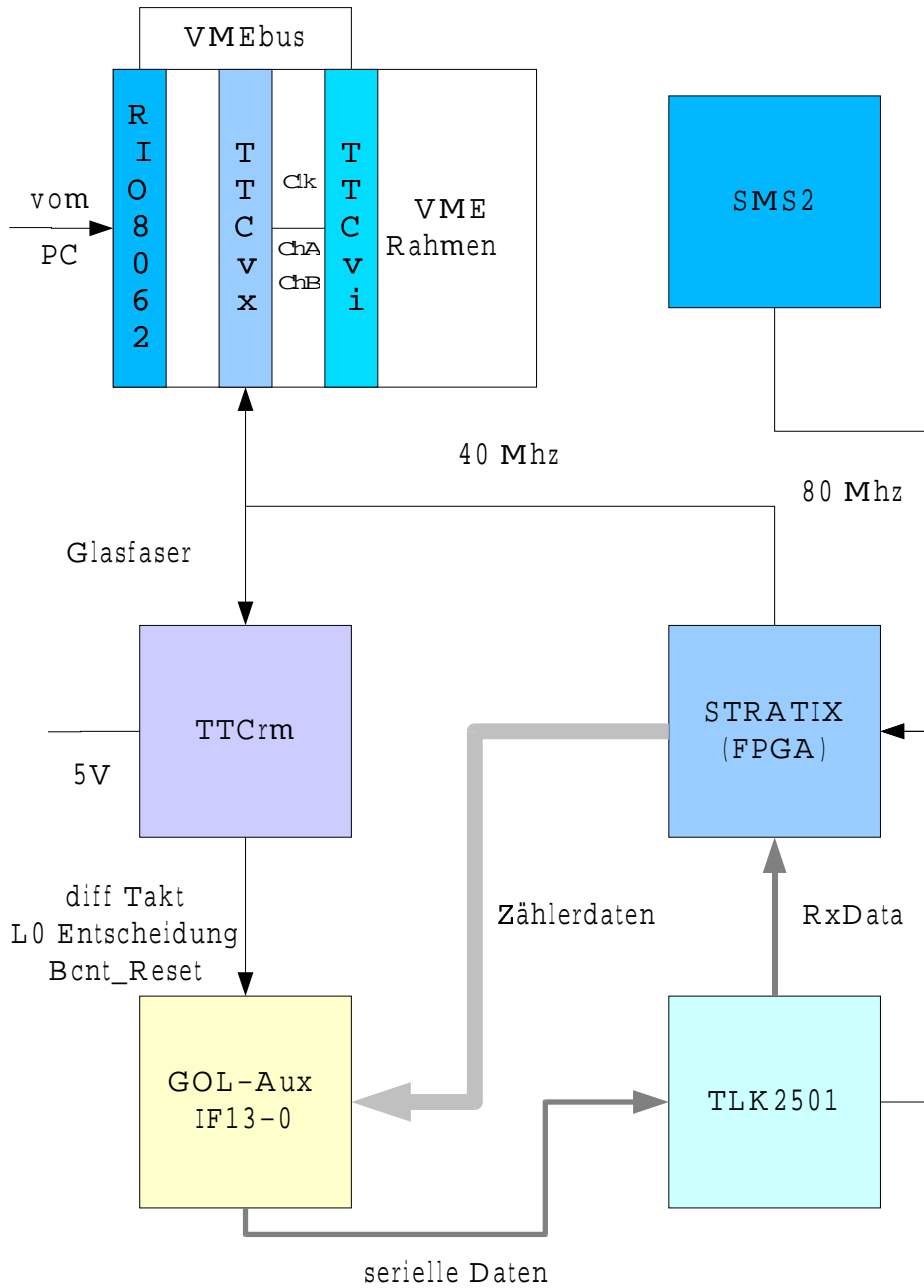
## 8.1 Stratix-EVO-Kit-Inbetriebnahme

Nachdem die PCI-Stratix-Karte bereits im PC mit der vorprogrammierten Software getestet wurde, wurde sie im Labor zunächst außerhalb des PC an einem ATX-Netzteil betrieben. Um Daten von der optischen Übertragungsstrecke einspeisen zu können, wurde ein Adapter gebaut, dessen Eingangsbuchsen die gleiche Steckerbelegung wie die Ausgänge der TLK2501-EVO-Karte bzw. die Eingänge der GOL-EV2/GOL-Aux-Karte hat. Für einen Bitfehlerratenest wurden 16-Bit-Zählerdaten auf dem Stratix-Board generiert und mit Flachkabeln auf das GOL-Aux-Board gebracht, dort serialisiert, optisch auf die TLK-Karte übertragen, parallelisiert und bei 8 Bit @ 80MHz wieder mit der Stratix-Karte empfangen (siehe Abbildung 8.4).

Die Daten vom Stratix-Board wurden am GOL-Aux-Board mit 100 Ohm terminiert, die Daten vom TLK2501-EVO-Kit sind mit 50 Ohm quellterminiert. Die Taktverteilung erfolgt von einem 2xLHC-Frequenz (80.157332 MHz) Oszillator auf dem TLK-Board über 50 cm SMA-Kabel an den USER-Takteingang auf dem Stratix-Board. Der auf 1xLHC-Frequenz heruntergeteilte Takt geht vom Stratix-Kit über eine BNC-Leitung auf den Takteingang des TTCvx [28] und weiter über das TTCrm an die GOL-Aux-Karte. Auf der GOL-Aux-Karte arbeitet jetzt ein 4xLHC-Frequenz (160.31470 MHz) Oszillator, bei Takteinspeisung durch den SMS2-Frequenzgenerator ergab sich eine stabile Datenübertragung bei  $40.0795 \pm 0.0013$  MHz (Frequenzanzeige des SMS2).

Aufgrund von Kurzschlüssen an der ersten Adapterkarte auf dem Stratix-Board wurde eine zweite Adapterkarte mit verbesserter Signalführung verlötet. Tabelle 8.1 listet Signale und Pinbelegung auf.

Der Datenfluß wurde zunächst mit dem Oszilloskop überprüft, wobei Zählerdaten mit



**Abbildung 8.4:** Bitfehlerratenestaufbau mit Stratix-Karte, der Takt kommt alternativ vom SMS2-Frequenzgenerator oder 80.157332 MHz-Oszillator.

Signal	Adapter-Pin	Stratix-Board-Pin	FPGA-Pin
Dout0	S1-18	J3-17	N25
Dout1	S1-16	J3-15	P28
Dout2	S1-14	J3-13	R28
Dout3	S1-12	J3-11	P25
Dout4	S1-10	J3-9	R23
Dout5	S1-8	J3-7	R25
Dout6	S1-6	J3-5	R29
Dout7	S1-4	J3-3	T31
Dout8	S2-4	J3-18	P24
Dout9	S2-6	J3-16	N26
Dout10	S2-8	J3-14	P27
Dout11	S2-10	J3-12	R27
Dout12	S2-12	J3-10	P26
Dout13	S2-14	J3-8	R24
Dout14	S2-16	J3-6	R26
Dout15	S2-18	J3-4	T32
RxDat0	S3-18	J3-35	L26
RxDat1	S3-16	J3-33	M26
RxDat2	S3-14	J3-31	M24
RxDat3	S3-12	J3-29	M25
RxDat4	S3-10	J3-27	N23
RxDat5	S3-8	J3-25	N27
RxDat6	S3-6	J3-23	N28
RxDat7	S3-4	J3-21	P23
RxDv	S4-1	J3-28	N24
RxEr	S4-3	J3-32	M27
Clk40	S5-2	J4-11	AL16
RxClk	S5-4	J4-13	D15

**Tabelle 8.1:** Stratix-Kit-Adapterkarte auf dem “St.Cruz”-Steckplatz.

identischem oberen und niederen Byte anlagen:

- Alle Daten Dout[15..0] lagen korrekt am GOL-Aux-Board an.
- Die Daten am RxDat[7..0] Ausgang des TLK2501-EVO-Boards waren korrekt.
- Die Daten an den LEDs (mit Oszilloskop gemessen) waren korrekt.

Bei dem Versuch gesendete und empfangene Daten im Stratix-FPGA zu vergleichen kam es zu einer hohen Fehlerrate ( $> \text{kHz}$ ), welche auf eine ungünstige Phasenbeziehung zwischen empfangenen Daten und RxClk hindeuten. Es wurden daraufhin gleichlange ( $2 \text{ m} \pm 10 \text{ cm}$ ) Kabel für Daten, RxTakt und die Statusbits RxDv, RxEr konfektioniert.

### 8.1.1 Registerzugriff per PCI-Interface

Um die Daten aus der optischen Übertragungsstrecke im PC zu speichern, werden sie zunächst im FPGA auf dem Stratix-Kit zwischengespeichert und dann via PCI-Bus auf Festplatte geschrieben.

Um den Datentransfer zwischen FPGA und PC via PCI zu testen, wurden einzelne Register beschrieben und wieder ausgelesen. Man benötigt dazu sowohl für den FPGA als auch für den PC je ein Programm, das PCI-Schreib- und Lesevorgänge gestattet. Das FPGA-Programm [42] nutzte einen PCI-Treiber von ALTERA <sup>3</sup>, das PC-Programm [40] wurde mit der Entwicklungsumgebung Jungo Driver erstellt.

Mit Version Shippo  $\beta 4$  des FPGA-Programmes und Version Shippo1.exe des PC-Ausleseprogrammes (diag.exe), konnten einzelne Register auf dem FPGA geschrieben und zurückgelesen werden, zudem wurden vom FPGA-Programm fest vorgegebene Muster aus Registern zurückgelesen. Zählerdaten aus dem ACEX-FPGA auf der GOL 1.1 TB-Karte wurden über Flachbandkabel und das "St.Cruz"-Board an den Stratix-FPGA geschickt und ereignisweise auf den PC übertragen. Bis zu 16 Ereignisse (jeweils 36 Bytes) wurden korrekt übertragen. Um die Limitierung der Anzahl der Ereignisse in der PCI-Auslese zu verstehen, wurden voreingestellte Daten aus FPGA-Registern ohne Umweg durch das ca. 1000 Ereignisse tiefe FIFO auf dem FPGA gelesen - hierbei gab es keine Probleme. Bei Auslese der vorprogrammierten Daten nach Passieren des FIFOs, waren die Ereignisse teilweise abgeschnitten, es kam zu einem Absturz der Datenübertragung.

### 8.1.2 Datenübertragung vom OTIS 1.0

Nach einigen Verbesserungen in den beiden Programmen zur Datennahme via PCI-Schnittstelle, war es möglich vom OTIS-TDC 1.0 erzeugte Ereignisse mit dem GOL-Aux-Board optisch zu übertragen und mit Hilfe der Stratix-EVO-Karte auf Festplatte zu schreiben (Aufbau siehe Abbildung 8.5).

Die Taktverteilung erfolgt nun von einem Quarzoszillator auf der "St.Cruz"-Tochterkarte der Stratix-PCI-Karte, die Reihenfolge der RxDaten wurde im FPGA-Programm angepaßt (RxData0 auf Stratix-Eingang T32 bis RxData15 auf N25 vgl. Tabelle 8.1). Nicht angeschlossene Leitungen müssen auf Masse gezogen werden.

---

<sup>3</sup>PCI-Megacore function PCI64T

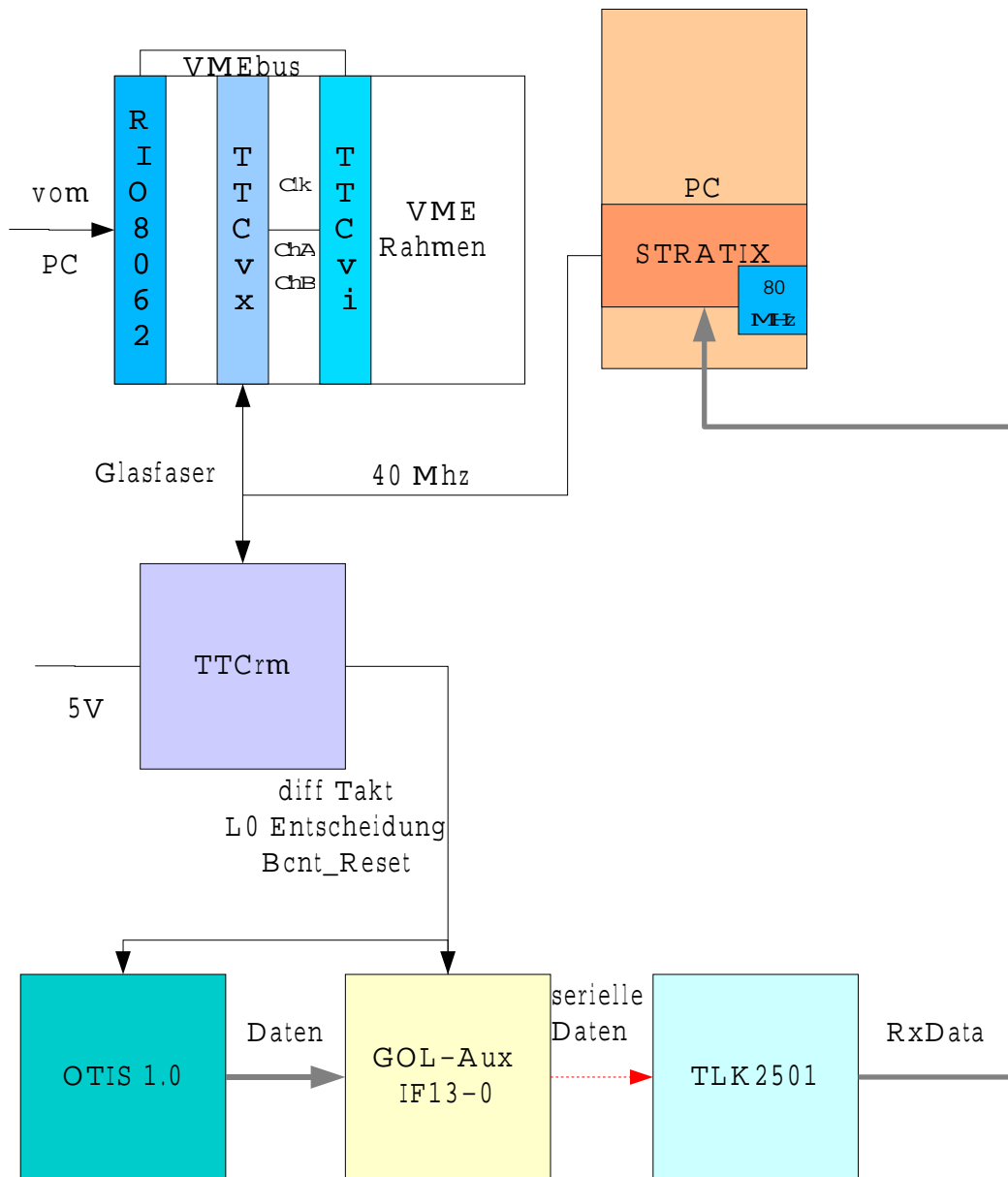
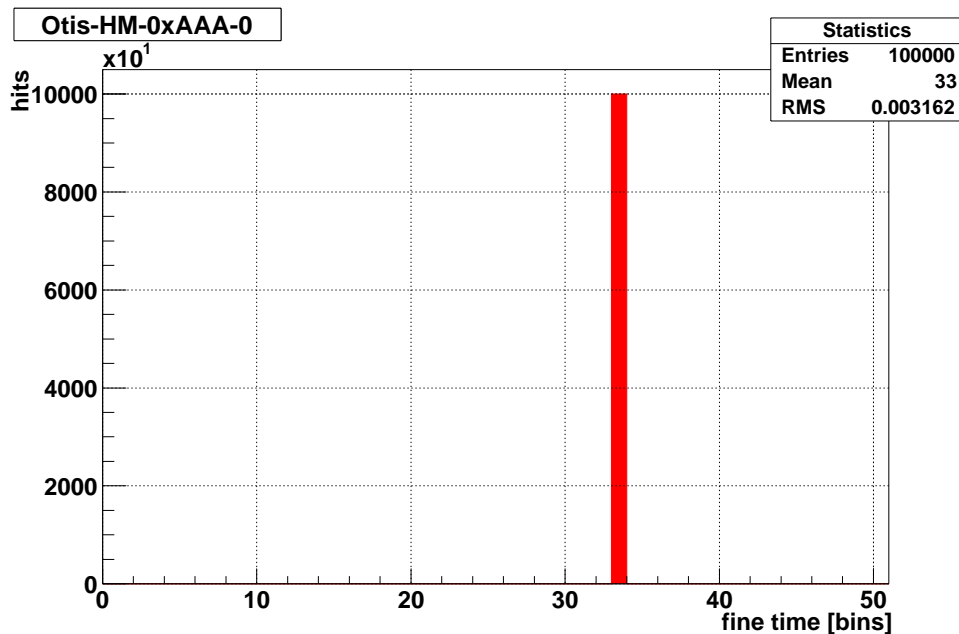


Abbildung 8.5: OTIS 1.0 Datennahme mit Stratix-FPGA-PCI-Interface.

Die Ereignisse wurden im Datenstrom entweder durch das Auftreten von Bits ungleich Null oder durch Auffinden der erwarteten 12 Bit-TDC-Adresse vom FPGA gefunden. Während die erste Methode zur Fehlersuche hilfreich ist und auch geringe Störungen in der Datenübertragung sichtbar macht, kann man mit Synchronisation auf eine bestimmte OTIS-Adresse sicherstellen, nur interessante Ereignisse abzuspeichern. Neben der TDC-Adresse enthält der Datenkopf des OTIS Statusinformationen, sowie je einen Zähler für die Wechselwirkungen (Bunch-Counter) und die L0-Ereignisse (Event-Counter)<sup>4</sup>. Wie in Abschnitt 4.3.3 beschrieben werden zur Synchronisation und Verifikation der Daten diese Informationen verwandt. Um eine Zeitmessung mit dem OTIS 1.0 durchzuführen, wurde über den in Abschnitt 5.9.2 beschriebenen passiven LVDS-Verteiler der 40 MHz-Takt verteilt und sowohl an den Takteingang, als auch an drei Hiteingänge eingespeist (ch0-2). Das Verwenden von Taktsignalen bot sich an, weil auf Grund eines Fehlers der OTIS-TDC nur für mindestens zwei Pulse mit exakt einem Taktzyklus Abstand korrekte Zeiten mißt.

Abbildung 8.6 zeigt ein Histogramm von 100 k Ereignissen, die bei einer 100 Hz Triggerrate aufgenommen wurden. Die Trigger sind Zufallstrigger (das Signal ist ohnehin in jedem Taktzyklus vorhanden).



**Abbildung 8.6:** OTIS 1.0 Taktsynchrone Hits, 100 k Ereignisse mit 100 Hz Triggerrate aufgezeichnet.

Man kann gut erkennen, daß fast alle der 100 000 Ereignisse im selben Zeitbin des TDCs lagen, was erstens ein Funktionieren der Zeitmessung mit dem OTIS 1.0 bestätigt, zweitens aber zeigt, daß bei einer Datenübertragung von 100 000 Ereignissen der Anteil

<sup>4</sup>Ab OTIS Version 1.1

der fehlerhaften Bit sehr gering ist.

Bei 1 kHz Triggerrate waren 45 von 100 000 Ereignisse statt im Maximum, welches durch die Phasenbeziehung von Takt zu Hitsignal vorgegeben ist, bei Null oder Eins, eine noch höhere Triggerrate (5 kHz) führt zum Verlust mehr als der Hälfte der Daten. Um die Signale an den Hiteingängen des TDCs gezielt in der Phase zum Takt verschieben zu können wurde das differentielle Taktsignal in ein TTL-Signal umgewandelt, mit Lemo-Leitungen verzögert, von TTL nach LVDS zurückkonvertiert und auf die Hiteingänge gelegt. Um einen Einfluß der Konvertierung von LVDS nach TTL und zurück auszuschließen, wurde nur die Karte mit den LVDS-Treibern/Empfängern vor den Hiteingängen angeschlossen. In Tabelle 8.2 sind Lage und Breite der Verteilungen für die drei Kanäle zusammengefaßt, der Einfluß der LVDS-TTL-Konvertierung auf die Zeitmessung ist mit maximal 0.03 ns RMS weit geringer als die Auflösung von 0.39 ns.

Kanal	Mittelwert [bins]	RMS [bins]
3	57	0.089
4	58	0,017
5	58	0,0499

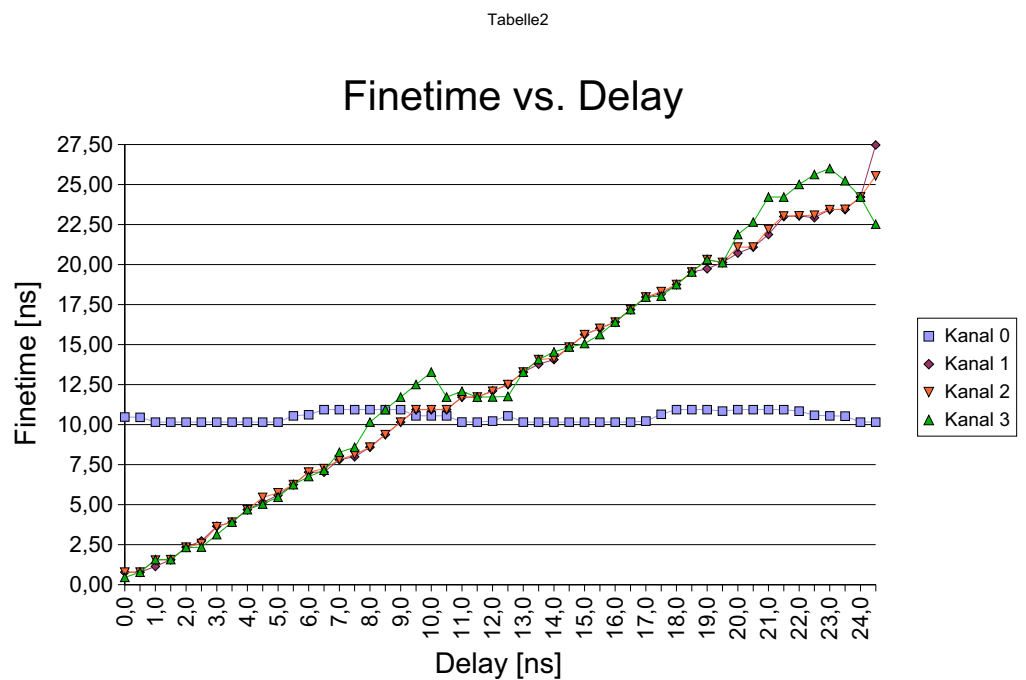
**Tabelle 8.2:** Phasenjitter durch LVDS-TTL-Konverter, ein Bin sind 390 ns.

Der mit dem Oszilloskop gemessene Jitter zwischen TTL-Eingang und LVDS-Ausgang des TTL-LVDS-Konverters beträgt  $\leq 100$  ps. Mit Hilfe eines passiven Verzögerungseinschubs wurden die Signale an drei Hiteingängen eines OTIS 1.0 in 0.5 ns Schritten gegen das Referenzsignal auf einem weiteren Kanal verschoben. Abbildung 8.7 zeigt die Beziehung zwischen Verzögerung und gemessener Phasenlage für OTIS 1.0 auf OTIS TB EV2 Nr.4.

Die deutliche Abweichung vom linearen Verhalten in Kanal 3 gehen mit einer deutlich größeren Standardabweichung der Daten einher (RMS bis zu 6.7 ns statt 0.2 ns).

Es konnte gezeigt werden, daß Daten aus dem OTIS-TDC mit dem Stratix-EVO-Kit zuverlässig verarbeitet und auf Festplatte gespeichert werden.





Seite 2

**Abbildung 8.7:** Integrale Linearität, OTIS 1.0, die Phasenlage der Kanäle 1-3 wurde mit einem passiven Verzögerungseinschub eingestellt.



## Kapitel 9

# Outer-Tracker-Clusteralgorithmus

Die Driftzeitinformationen des äußeren Spurkammersystems werden bei einer Datenrate von ca. 550 GBit/s von den Detektormodulen in den Zählraum übertragen. Dort werden sie auf den TELL1-Karten [8] in elektrische parallele Signale zurückgewandelt und mit Hilfe von programmierbaren logischen Bausteinen (FPGAs) prozessiert. Die FPGAs synchronisieren die Daten, unterdrücken Nullen, formatieren sie um und verwalten den L1-Speicher, in dem die Daten bis zur L1-Entscheidung verweilen.

Für den Vertex-Detektor (Velo) und andere Detektoren die an der L1-Entscheidung beteiligt sind, werden auf den gleichen FPGAs die Daten prozessiert, um die tatsächlicher Treffer aus den Daten zu filtern. Dabei werden für die Siliziumstreifenzähler des Vertex-Detektors und des inneren Spurkammersystems die digitalisierten Vorverstärkerwerte von Offsetschwankungen befreit, Teilchendurchgänge identifiziert und Cluster gebildet. Die gefundenen Cluster werden ereignisweise mit einem Datenkopf versehen und zu den PCs der L1-Trigger-Farm geschickt.

Da das äußere Spurkammersystem präzise Spurinformatoren nach dem Magneten und somit u.a. Informationen über den Transversalimpuls der Teilchen liefert, ist es sinnvoll, diese Information für die L1-Entscheidung zu nutzen. Das Benutzen der gleichen TELL1-Karten wie für den Velo ermöglicht dem äußeren Spurkammersystem Daten für den L1-Trigger bereit zu stellen, ohne das prinzipiell neue Elektronik entwickelt werden muß <sup>1</sup>.

Ein Algorithmus, der aus den OTIS-TDC-Daten Cluster ähnlich denen des Velo bilden sollte, wurde implementiert und in zwei Simulationen getestet. Der Algorithmus sucht in den Daten eines Halbmodules Treffer in hintereinanderliegenden Kanälen und berechnet aus den gemessenen Driftzeiten den Ort des Teilchendurchganges. Diese Ortsinformation wird wie beim Velo in ein 16-Bit-Wort umgewandelt. Durch das Unterdrücken von Nullen und das Zusammenfassen von Treffern kann das Datenvolumen stark (auf ca. 12%) verringert werden.

---

<sup>1</sup>Allerdings ist der Belegungsgrad des äußeren Spurkammersystem ca. 10-mal größer als für den Vertex-Detektor, sodaß die Bandbreite am Ausgang zur L1-PC-Farm deutlich höher ist.

## 9.1 Das Prinzip des Clusterbildens

Der Outer-Tracker-Algorithmus wurde als C-Programm entwickelt und sowohl in einer Simulation für den Cosmicstand [43] [44], als auch in einer LHCb-Montecarlo-Studie [45] getestet. Das C-Programm für die TT-Studie befindet sich in Anhang H. Der Algorithmus wurde für die Implementierung auf einem FPGA geschrieben, bei der parallele Datenverarbeitung und die Nutzung von Nachschlagetabellen vorteilhaft sind.

Der Outer Tracker-Algorithmus sucht in den je 128 Kanälen, die mit der gleichen FE-Box ausgelesen werden, nach Einträgen. Defekte Kanäle können maskiert werden. Gibt es für einen Kanal einen Treffer, werden die beiden Nachbarkanäle der gegenüberliegenden Lage auf Treffer untersucht (vgl. Abbildung 9.1). Mit Hilfe einer Nachschlagetabelle wird die Driftzeitinformation in einen Radius umgewandelt.

Liegt ein einzelner Treffer vor wird er direkt mit einem Byte für den Driftradius und einem Byte für die Drahtnummer innerhalb des Modules kodiert (Abb. 9.2). Die Ambiguität bleibt ungelöst.

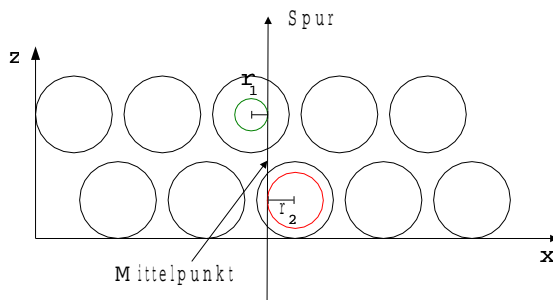


Abbildung 9.1: Doppeltreffer

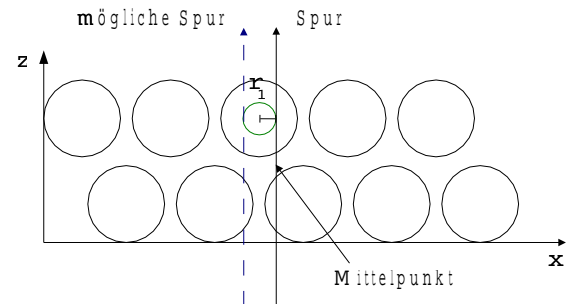


Abbildung 9.2: Einfachtreffer

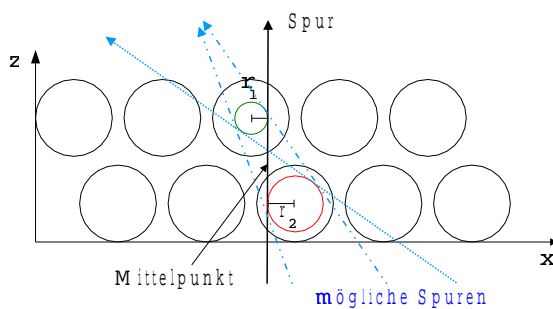


Abbildung 9.3: Ambiguität

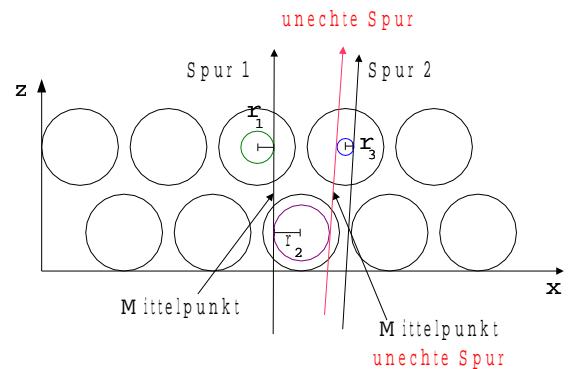


Abbildung 9.4: Unechte Spur

Bei Doppeltreffern wird der Mittelwert der Radien der Isochronen berechnet, wobei der

Zellversatz berücksichtigt wird. Die absolute Lage der Straws fließt in die Berechnung ein, da in Abhängigkeit des Spurwinkels die links/rechts-Ambiguität gelöst werden kann, oder es sinnvoller ist, die Ambiguität nicht zu lösen (Abbildung 9.3, Abschnitt 9.1.1). Strawnummer und der Mittelwert der Radien werden mit je einem Byte kodiert, der Clusters wird als 16-Bit-Wort ausgegeben.

### 9.1.1 Winkelabhängigkeit

Kennt man die Koordinate des getroffenen Straws und macht eine einfache Annahme über die dortige Winkelverteilung der Spuren, kann man für einen Doppeltreffer die wahrscheinlichste der vier möglichen Spuren, Abb.9.3, der Berechnung der Clusterkoordinaten zu Grunde legen.

Bei der Studie zum Trigger-Tracker [45] wurde die Annahme gemacht, daß alle Spuren vom Wechselwirkungspunkt ausgehen und gerade verlaufen, also in der x-z-Ebene den Einfallswinkel  $\alpha = \tan^{-1}(x\text{-Pos.}/z\text{-Pos.})$  haben. Es wurde unterschieden zwischen gerade Spuren mit Winkel  $\leq \beta$  und Spuren unter starkem Winkel  $\geq \beta$ . Der Winkel  $\beta = \tan^{-1}(x\text{-Raster}/(z\text{-Raster}\cdot 4)) = 14^\circ$  wurde gewählt, um die Fallunterscheidungen geometrisch leicht überschaubar zu halten. Um den optimalen Winkel  $\beta$  zu finden, sollte man für Monte-Carlo-Daten die durchschnittliche Spurauflösung (oder die Triggereffizienz verschiedener Zerfallskanäle) gegen den Winkel  $\beta$  auftragen.

In dem für die TT-Studie entwickelten C-Programm (siehe Anhang H) wird abgefragt, ob der Spurwinkel  $\alpha$  (s.o.) größer als  $\beta$  ist (Spur mit Winkel nach Links), kleiner als  $-\beta$  ist (Spur mit Winkel nach Rechts), oder zwischen  $\beta$  und  $-\beta$  liegt und als gerade Spur behandelt wird.

Für den Doppeltreffer einer "geraden" Spur wird der Abstand "x" zum linken der beiden Drähte mit Gleichung 9.1 und 9.2 berechnet (siehe auch Abbildung 9.1). In diesem Fall liegt der vordere linke Treffer rechts vom Draht, der hintere rechte Treffer links vom Draht. Dabei hat der linke Straw den Index 1, der rechte Straw den Index 2. Der Cluster erhält die Strawnummer "n" des linken Straws.

$$r = -x_{pitch}/4 + (r_2 - r_1)/4 \quad (9.1)$$

$$x_{Cluster} = x_1 + r \quad (9.2)$$

Liegen die getroffenen Straws unter einem Winkel  $\geq 14^\circ$ , wird unterschieden, ob der hintere Straw rechts oder links vom vorderen Straw lag. Lag er rechts gelten die Gleichungen für gerade Spuren, lag er links gelten die Gleichungen (9.3), (9.4) für Spuren unter Winkeln, bei denen entweder beide Treffer links der Drähte oder beide Treffer rechts der Drähte lagen. In Abbildungen 9.5 bis 9.12 werden die möglichen Spuren für Winkel  $\alpha \geq 0^\circ$  veranschaulicht, wobei für einen Bereich von jeweils einem viertel Strawdurchmesser die möglichen Spuren durch den hinteren Straw dargestellt sind. "n" bezeichnet die Nummer des linken Straws. Unter den Abbildungen stehen die korrekten Formeln für die dargestellten Treffer. Wie in Abbildungen 9.7, 9.10 und 9.11 zu erkennen ist, werden die Mittelpunkte der Spuren in einigen Fällen im C-Programm falsch berechnet, was zu Auflösungsverlusten führt. Der Fehler beträgt jeweils ein Driftradius.

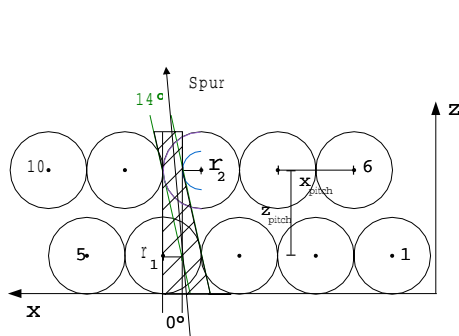
$$r = (r_1 + r_2)/2 \quad (9.3)$$

$$x_{Cluster} = x_1 - x_{pitch}/4 \pm r \quad (9.4)$$

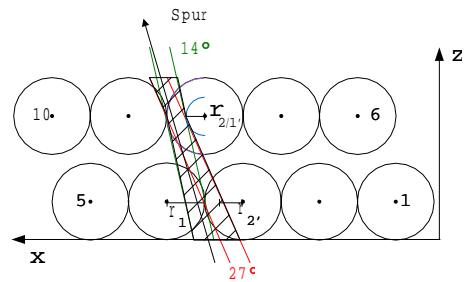
Zur Unterscheidung der Spurbehandlung wird eine Variable gesetzt. Spuren mit nur einem Treffer erhalten die “1”, “gerade” Spuren mit zwei Treffern die “2” und Spuren unter Winkeln größer  $\pm 14^\circ$  die “3”. Wird der Treffer mit dem linken Nachbarn zu einem Doppeltreffer kombiniert, wird die “4” gesetzt. In den echten Daten werden diese 4 Möglichkeiten mit zwei Bits des Bytes für den Abstand/Radius kodiert, wobei Daten mit “4” klarerweise nicht verschickt werden.

### 9.1.2 Datenformat

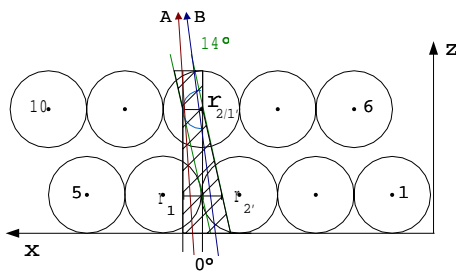
Da Strawnummer (hier des linken Straws) und errechneter Abstand/Radius mit je einem Byte angegeben werden, ergibt sich für jeden Einfach- oder Doppeltreffer ein 16-Bitcluster mit Ortsinformationen. Die Cluster werden für jede FE-Box / Modulhälfte gesammelt und um die Moduladresse ergänzt. In Einklang mit dem in [8] spezifizierten Format für die Datenübertragung auf der TELL1-Karte, werden die Daten für jedes Ereignisses um einen Datenkopf ergänzt, der einen 24-Bit-L0-Ereigniszähler, einen 12-Bit-Wechselwirkungszähler, die Anzahl der Cluster (8-Bit), sowie 8-Bit Fehlerinformation enthält (siehe Tabelle 9.1). Der weitere Datentransport über die RO-TxCard auf die PC-Farm erfolgt wie für die Velo-Daten. Das Datenaufkommen sollte nie höher sein als 244 Cluster (512 Byte) pro Ereignis und TELL1-Karte. Eine Hitmaske führt bei 18 an eine TELL1-Karte angeschlossenen Halbmodulen zu konstant 312 Byte pro Ereignis. Der hier vorgestellte Algorithmus reduziert durch das Zusammenfassen von Doppeltreffern das Datenvolumen auf ca. 60% und produziert unterhalb einer Belegung von ca. 10% weniger Daten als eine Hitmaske.



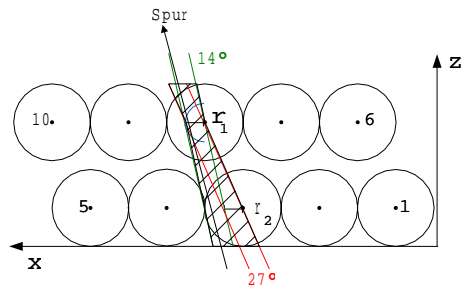
**Abbildung 9.5:**  
 Doppeltreffer 1. Viertel, Winkel  $\leq 14^\circ$   
 $x_{Cluster} = x_1 - x_{pitch}/4 + (r_2 - r_1)/2$ .



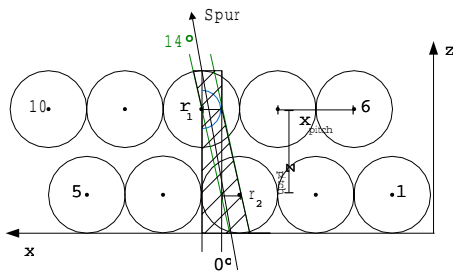
**Abbildung 9.6:**  
 Doppeltreffer 1. Viertel, Winkel  $\geq 14^\circ$   
 A für  $n \leq 5$   
 $x_{Cluster} = x_1 - x_{pitch}/4 + (r_2 - r_1)/2$   
 B für  $n > 5$   
 $x_{Cluster} = x_1 - x_{pitch}/4 + (r'_1 + r'_2)/2$ .



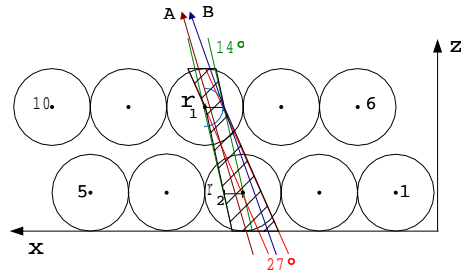
**Abbildung 9.7:**  
 Doppeltreffer 2. Viertel, Winkel  $\leq 14^\circ$   
 A für  $n \leq 5$   
 $x_{Cluster} = x_1 - x_{pitch}/4 + (r_2 - r_1)/2$   
 B für  $n > 5 \Rightarrow$  FEHLER  
 $x_{Cluster} = x_1 - x_{pitch}/4 + (r'_1 + r'_2)/2$ .



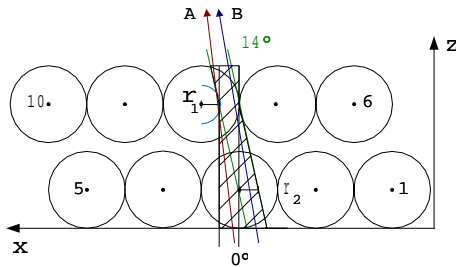
**Abbildung 9.8:**  
 Doppeltreffer 2. Viertel, Winkel  $\geq 14^\circ$   
 $x_{Cluster} = x_1 - x_{pitch}/4 + (r_1 + r_2)/2$ .



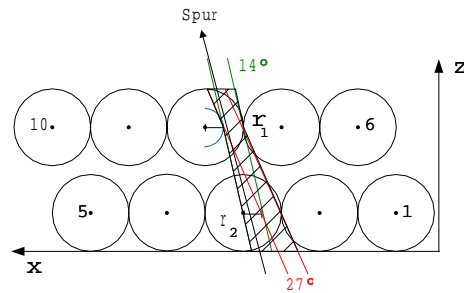
**Abbildung 9.9:**  
 Doppeltreffer 3. Viertel, Winkel  $\leq 14^\circ$   
 $x_{Cluster} = x_1 - x_{pitch}/4 + (r_2 - r_1)/2$ .



**Abbildung 9.10:**  
 Doppeltreffer 3. Viertel, Winkel  $\geq 14^\circ$   
 A für  $r_2$  positiv (links)  $\Rightarrow$  FEHLER  
 $x_{Cluster} = x_1 - x_{pitch}/4 + (r_2 - r_1)/2$   
 B für  $r_2$  negativ (rechts)  
 $x_{Cluster} = x_1 - x_{pitch}/4 - (r_1 + r_2)/2$ .



**Abbildung 9.11:**  
 Doppeltreffer 4. Viertel, Winkel  $\leq 14^\circ$   
 A für  $r_2$  positiv (links)  
 $x_{Cluster} = x_1 - x_{pitch}/4 + (r_2 - r_1)/2$   
 B für  $r_2$  negativ (rechts)  $\Rightarrow$  FEHLER  
 $x_{Cluster} = x_1 - x_{pitch}/4 - (r_1 + r_2)/2$ .



**Abbildung 9.12:**  
 Doppeltreffer 4. Viertel, Winkel  $\geq 14^\circ$   
 $x_{Cluster} = x_1 - x_{pitch}/4 - (r_1 + r_2)/2$ .



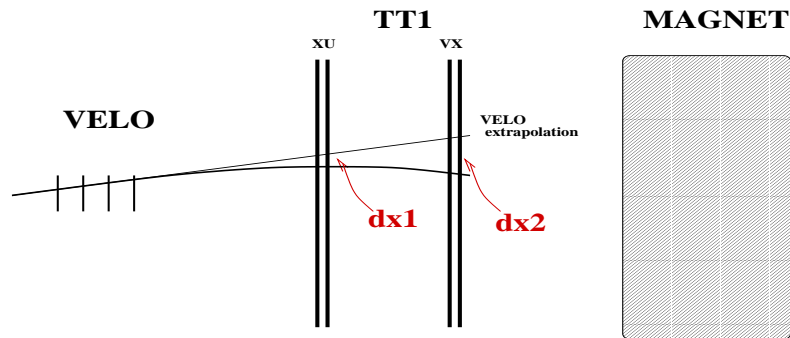
**Tabelle 9.1:** Datenformat für die L1-Cluster vgl.[8]

Byte	Daten
0	Reserviert
1	L0-Ereignisnummer (23:16)
2	L0-Ereignisnummer (15:8)
3	L0-Ereignisnummer (7:0)
4	Fehler
5	4 Bit reserviert
	Zahl der Cluster (7:4)
6	Zahl der Cluster (3:0)
	Wechselwirkungsnummer(11:8)
7	Wechselwirkungsnummer(7:0)
8	Moduladresse 1
9	Cluster1(15:8)
10	Cluster1(7:0)
11	Cluster1(15:8)
12	Cluster1(7:0)
:	:
:	:
:	Moduladresse 18
:	Cluster1(15:8)
:	Cluster1(7:0)
:	Cluster1(15:8)
:	Cluster1(7:0)
:	:
≤511	:

## 9.2 Trigger-Tracker 1 Studie

Vor dem Magneten soll eine weitere Spurkammer, der Trigger-Tracker 1, die Effizienz des L1-Triggers erhöhen. Stehen 10 % des Magnetfeldes in der Spurkammer (TT1) vor dem Magneten zur Verfügung, ist eine Impulsmessung mit einer relativen Genauigkeit von 20 % erreichbar. Die Zuordnung von Spuren aus dem Velo zu den Treffern im TT1 ist viel effizienter als zu Kalorimetersignalen. Im Rahmen einer Studie [45], [46] wurde untersucht, ob die TT1-Kammer als reiner Siliziumdetektor, oder wie die Spurkammern ST1-ST3 als Hybrid aus Siliziumdetektor innen und Straw-Detektor außen gebaut werden soll. Der in diesem Kapitel beschriebene Algorithmus wurde in der Simulation benutzt um die Daten aus den Strawtubes aufzubereiten. Wie oben beschrieben kombiniert der Algorithmus Treffer aus den beiden Lagen und gibt nullunterdrückte Daten zurück.

Abbildung 9.13 zeigt schematisch die Anordnung des Trigger-Tracker zwischen Vertex-Locator und Magneten. In Abhängigkeit vom Impuls werden die geladenen Teilchen im Magnetfeld abgelenkt. Um diese Ablenkung besser messen zu können sind der vordere und hintere Teil der TT-Station 50 cm (30 cm in [46]) in z-Richtung voneinander entfernt.

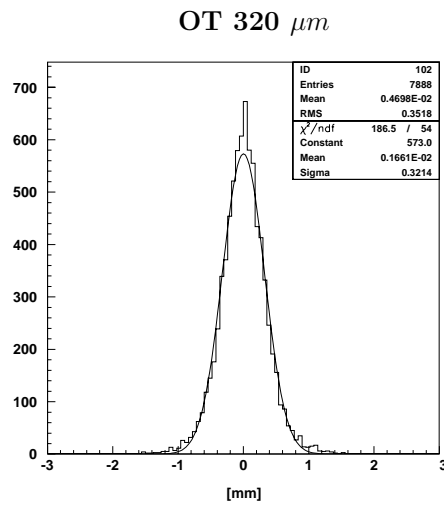


**Abbildung 9.13:** Schema des Prinzips der Spurrekonstruktion im Trigger-Tracker, entnommen aus [46].

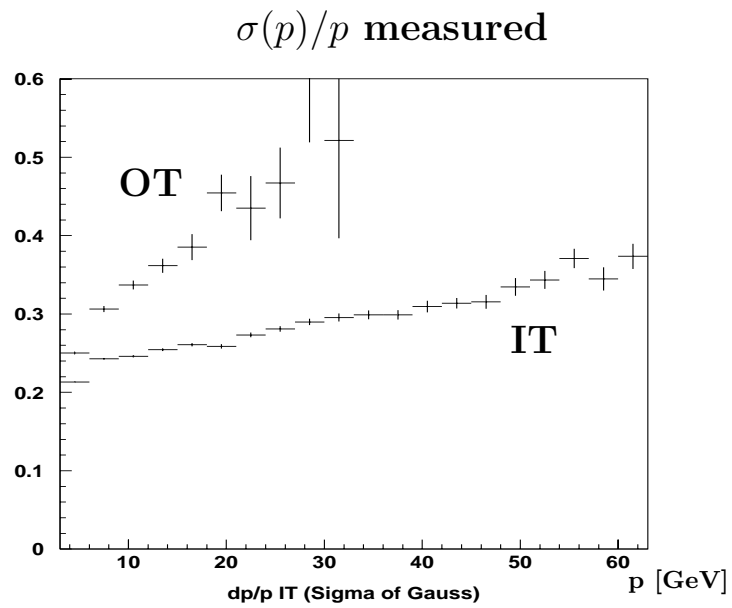
In der Simulation [46] wurden aus den TDC-Treffern in 24% Einfachtreffer, in 74% "gerade" Doppeltreffer und in 2% der Fälle Doppeltreffer unter Winkeln  $> 14^\circ$  erzeugt, was eine Datenreduktion auf 56% gegenüber schlichtem Kodieren aller Treffer als Einfachtreffer bedeutet.

Abbildung 9.14 zeigt die Auflösung der Doppeltrefferspuren von  $320 \mu m$ , die Straw-Detektorauflösung im Monte-Carlo waren hierbei  $400 \mu m$ , was eine theoretische Doppeltrefferauflösung von  $280 \mu m$  erlaubt. Im Vergleich dazu stand die Spurauflösung der reinen Silizium Variante der TT-Station mit  $70 \mu m$ .

Die schlechtere Ortsauflösung führt direkt zu einer schlechteren Impulsauflösung der Straw-Module (siehe Abbildung 9.15), was bei Spuren mit Impulsen von mehr als  $20 \text{ GeV}/c$  zu einer inakzeptablen Auflösung führt.

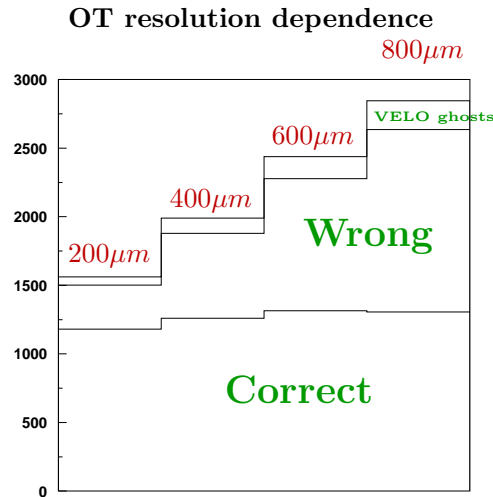


**Abbildung 9.14:** Auflösung der mit dem Clusteralgorithmus gefundenen Doppeltreffer, entnommen aus [46].



**Abbildung 9.15:** Impulsauflösung der TT1-Station, Straws und Siliziumstreifen im Vergleich, entnommen aus [46].

Die Abhängigkeit der Auflösung der einzelnen Straws zur Anzahl richtig bzw. falsch rekonstruierter Spuren (Abbildung 9.16) zeigt bereits für die vom äußeren Spurkammersystem angestrebten  $200\ \mu\text{m}$  Auflösung ca. 20% Fehler. Der Fehleranteil für ein voll aus Siliziumstreifenzählern aufgebauten Detektor lag mit 3% bis 10% deutlich niedriger.



**Abbildung 9.16:** Anzahl richtig zugeordneter, falsch zugeordneter Spuren und unechter Spuren (ghosts) gegen die Auflösung eines einzelnen Straws aufgetragen, entnommen aus [46].

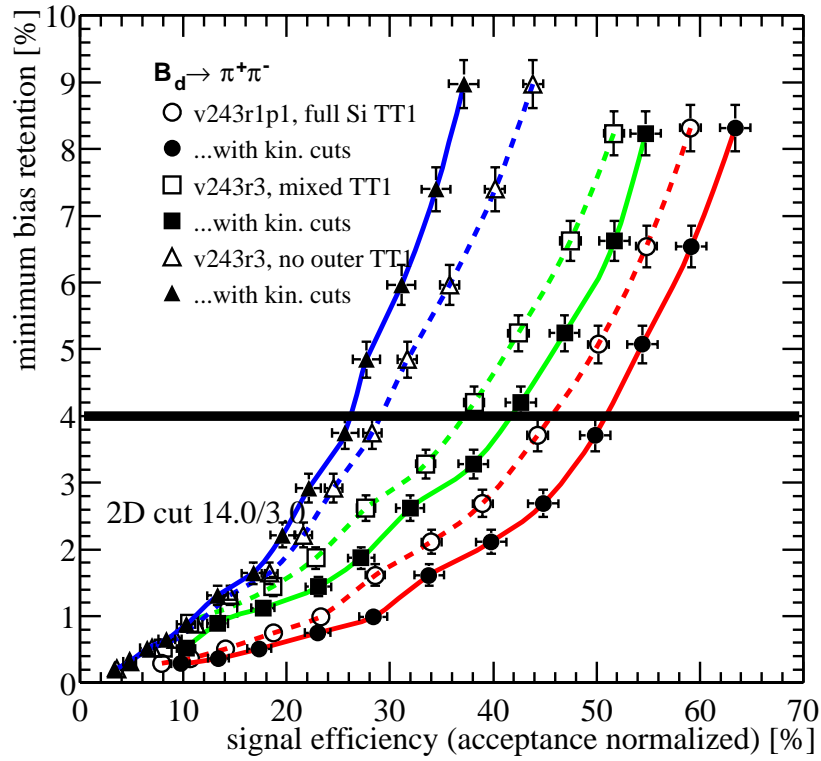
Als Beispiel für die Auswirkungen der unterschiedlichen Technologien auf die Triggereffizienz für einen ausgewählten Zerfallskanal wurde unter anderem der Zerfall

$$B_d \rightarrow \pi^+ \pi^- \quad (9.5)$$

betrachtet (Abbildung 9.17). Man erkennt einen deutlichen Zugewinn an Effizienz durch Einsatz des Straw-Detektors, aber auch hier ist die volle Siliziumstreifenzählerlösung deutlich effizienter.

Das Fazit der in [45] vorgestellten Studie ist der Bau der TT1-Kammer in reiner Siliziumstreifentechnologie, um die Spuren effizient vom Vertex-Detektor zu verfolgen und den Impuls zu bestimmen. Die Messung wird im sogenannte “mini-Level1-Trigger” genutzt, der in einer einfachen Entscheidungslogik Impaktparameter und Transversalimpuls von zwei ausgewählten Spuren pro Ereignis als Kriterien nutzt.

Für das äußere Spurkammersystem konnte gezeigt werden, daß mit Hilfe des Outer-Tracker-Clusteralgorithmus die Driftzeitdaten effizient in Ortsinformation umgewandelt und für Level1-Triggerentscheidungen genutzt werden können. Die Impulsauflösung in Stationen T1-T3 hinter dem Magneten ist bei gleicher Straw-Ortsauflösung erheblich besser als in TT1 (vgl. Abb. 9.15, siehe auch [47]).



**Abbildung 9.17:** Effizienz vs. Anteil der Übriggehaltenen “minimum-bias”-Ereignisse für variierende “mini-L1”-Schnitte. Es sind zum Vergleich Kurven für reine Si-Bauweise, Hybridlösung aus Si-Streifen und Straws sowie ohne den äußeren Teil der TT-Station eingezeichnet. Die Kurven mit offenen Symbolen und gestrichelten Linien stehen für Ereignisse die rein geometrisch passen, die Ereignisse mit gefüllten Symbolen und durchgezogenen Linien erfüllen die Bedingungen einiger kinematischer (offline) Schnitte. Die Abbildung entstammt [45].



## Kapitel 10

# Teststand zur Untersuchung von Straw-Kammern

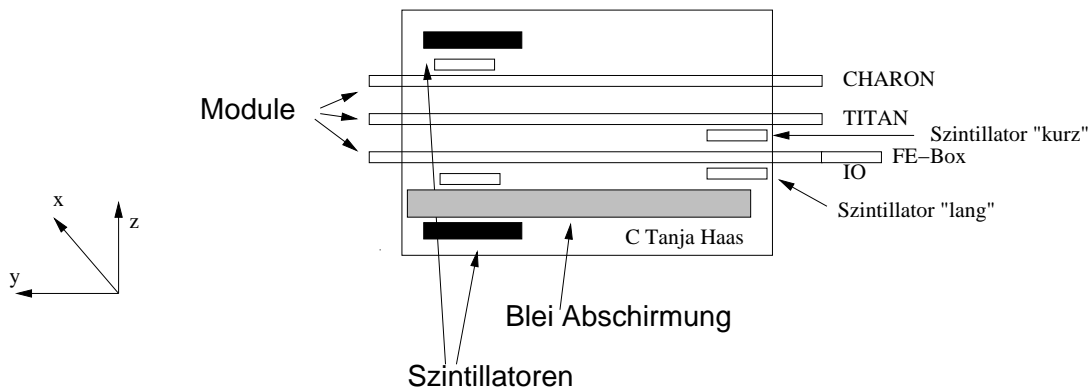
Die einzelnen Baugruppen der Ausleseelektronik waren bislang nur mit Pulssignalen getestet worden. Um die gesamte Ausleseelektronik unter realistischen Bedingungen zu testen, wurde sie an Prototypen der Straw-Detektoren für das äußere Spurkammersystem getestet.

Im Rahmen zweier Diplomarbeiten [43] [44] wurde am Physikalischen Institut ein Teststand zur Untersuchung von Straw-Detektoren mittels kosmischer Myonen (Cosmicstand) gebaut und in Betrieb genommen. In der jetzigen Anordnung besteht der Cosmicstand aus drei 1 m langen Modulen des äußeren Spurkammersystems von LHCb (siehe Abbildung 10.1). Die drei 1 m-Straw-Detektoren liegen parallel übereinander, die Straws sind horizontal ausgerichtet. Ein kosmisches Teilchen kann so Treffer in allen drei Modulen auslösen.

Zwei der Module sind in der Mitte unterteilt und haben 256 Kanäle, eines ist nicht unterteilt und hat 128 Kanäle. Alle drei Module werden auf einer Seite mit der Elektronik des äußeren Spurkammersystems von HERA-B ausgelesen. Hinzu kommen die zwei kleineren Module des ursprünglichen Cosmicstandes, deren Straws orthogonal zu den 1 m-Modulen verlaufen und so eine Ortsbestimmung längs der 1 m-Module erlauben.

Zwei 1 m-Modulenden mit je 128 Kanälen stehen für Tests der neu entwickelten Elektronik des äußeren Spurkammersystems von LHCb bereit. Mechanisch und elektrisch sind diese zwei Module zu der in Abschnitt 6 beschriebenen FE-Box kompatibel.

Um an den Straw-Detektoren Daten nehmen zu können benötigt man eine funktionierende Auslesekette bestehend aus Vorverstärker, OTIS-TDC (ab Version 1.1), GOL-Aux-Board, O-RxCard und PC sowie eine Slow-Control (Abschnitt 3) und eine Fast-Control. Die Fast-Control verteilt den Systemtakt, die synchronen Resetsignale sowie das Triggersignal. Mit der Slow-Control werden Parameter wie die Latenz und die Diskriminatorschwellen eingestellt. Für den Betrieb des Cosmicstandes ist es notwendig auf die kosmischen Teilchen mit Szintillatoren zu triggern.



**Abbildung 10.1:** Teststand zur Untersuchung von Straw-Kammern (Cosmicstand) aus drei 1 m-Modulen.

## 10.1 Szintillatortrigger

Abbildung 10.2 zeigt den Aufbau zur Inbetriebnahme eines Szintillatortriggers mit der LHCb-Ausleseelektronik. Die Signale aus zwei Szintillatoren wurden vorverstärkt und diskriminiert. Das diskriminierte (logische) Signal der beiden Szintillatoren wurde einerseits mit einer Und-Schaltung verknüpft, um so das Triggersignal zu bilden, andererseits zum OTIS-TDC übertragen. Das Triggersignal wurde vom TTC-System an den OTIS-TDC geleitet, der also ein Hitsignal und ein Triggersignal durch das gleiche Szintillatorsignal erhält. Die Daten aus dem OTIS-TDC wurden über das GOL-Aux-Board, die IF14-0-Karte mit AS24-0-Adapter und das Stratix-PCI-Board auf die Festplatte eines PCs geschrieben.

Das Koinzidenzsignal der beiden Szintillatoren wurde am externen Triggereingang LA1< 1 > angeschlossen und mit dem TTCvi-Kontrollprogramm die entsprechende Triggerquelle eingestellt. Mit dem Oszilloskop wurde die Latenz zwischen dem TTL-Trigger-signal (vor TTL2LVDS) und dem TFC-L0-Accept-Trigger am OTIS-TDC zu  $240 \pm 5$  ns bestimmt - ein Großteil davon kam durch das Glasfaserkabel zwischen TTCvx und TTCrm zustande.

Um bei der Einstellung der Latenz etc. unabhängig von der geringen Rate kosmischer Teilchen von ca. 1 Hz zu sein, wurde zunächst ein Pulsgenerator anstelle des unteren Szintillators eingebaut.

Am OTIS-TDC kann die Latenz, d.h. die Zeit zwischen Datennahme und L0-Triggerentscheidung bzw. Auslese aus dem Memory zwischen 50 ns und  $4 \mu\text{s}$  per I<sup>2</sup>C programmiert werden. Damit der Wert für die Latenz im Betrieb übernommen wird, muß ein L0-Reset erfolgen. Im Betrieb müssen dann die OTIS-TDC-Reseteingänge immer auf logisch Eins liegen.

Nachdem alle Resetsignale richtig gesetzt waren, lieferte der Pulser einerseits das Triggersignal am TTCvi, andererseits wurde der gleiche Puls differentiell auf den Hit-Eingang des OTIS 1.1 gelegt. Es befanden sich die TDC-Meßwerte für eine Latenz von 9 im ersten



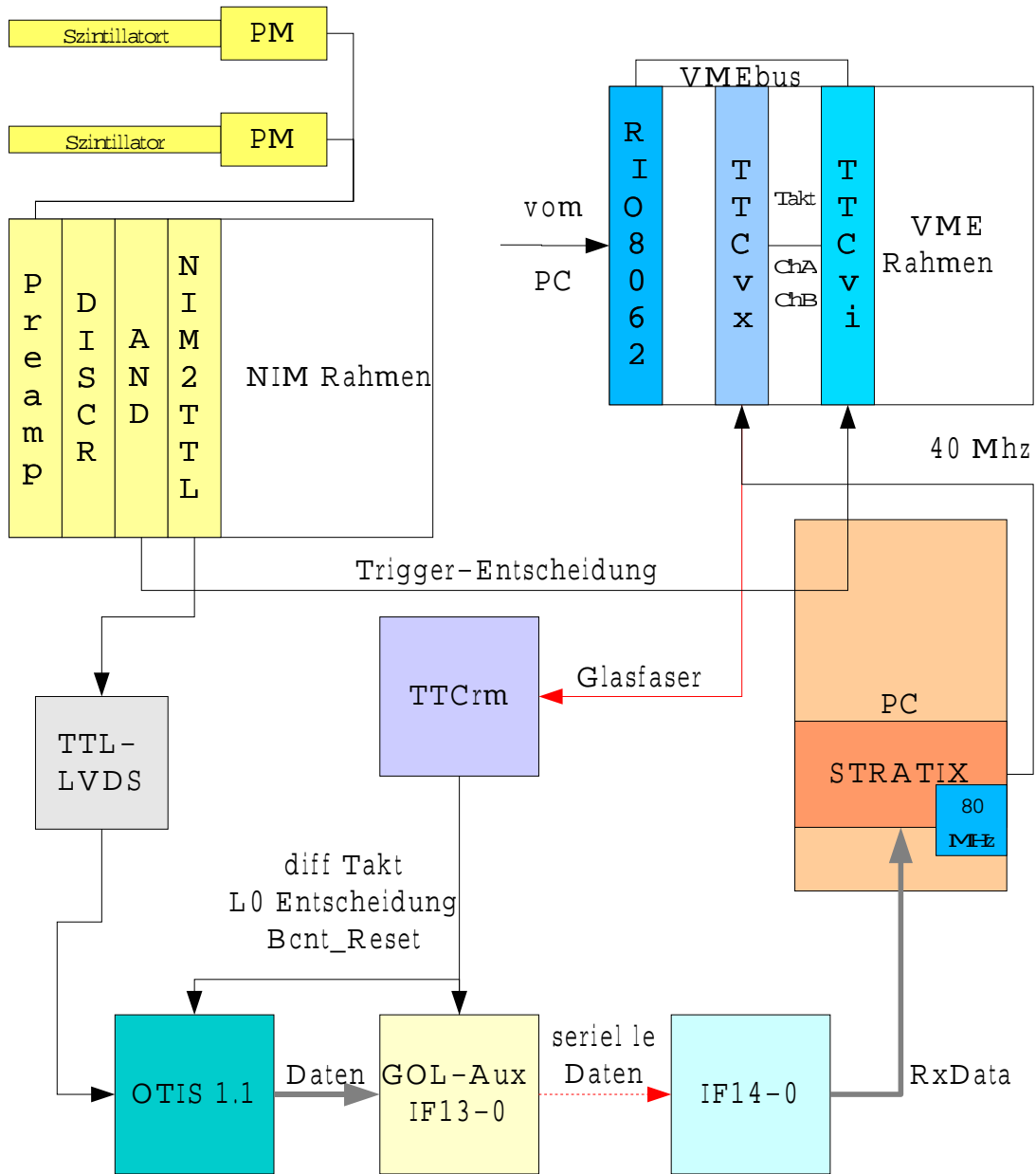


Abbildung 10.2: Aufbau des Szintillatortriggers.

Bunch-Crossing (Bx)<sup>1</sup>, bei einer Latenz von 10 im 2. Bx und bei einer Latenz von 11 im 3. Bx.

Das Pulssignal wurde zum Triggern genutzt und passiv verzögert sowie unverzögert an die Hiteingänge des OTIS 1.1 gegeben. Abbildung 10.3 zeigt die Differenz der Zeitmessung an Kanal 7 und Kanal 3, die Breite des Differenzsignals ist mit 1.6 TDC-Bins = 0.63 ns ausreichend gering um später Driftzeiten an den Strawdetektoren zu messen, wobei eine deutliche Verbreiterung im Vergleich zu den aus dem Takt abgeleiteten TDC-Hits auftritt (Abb. 8.6).

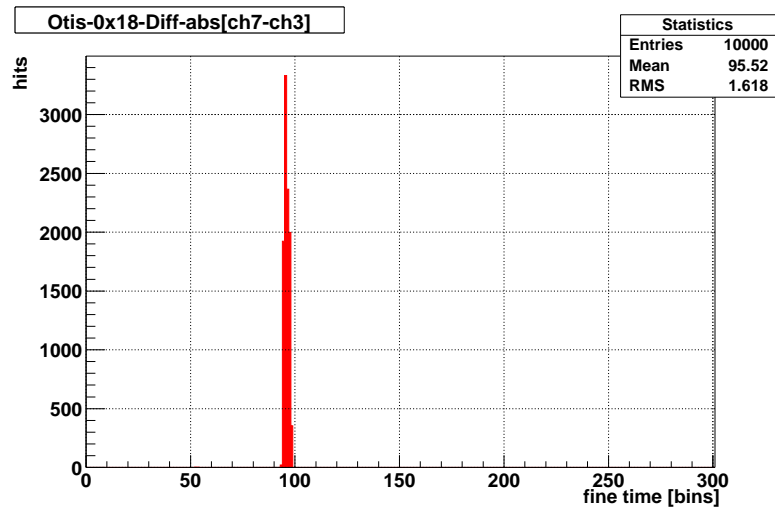


Abbildung 10.3: Zeitmessung von Pulssignalen mit dem OTIS 1.1.

Da nun korrekt auf die Pulse getriggert wurde, wurden statt des Pulsgenerators die beiden Szintillatoren angeschlossen und mit einer Rutheniumquelle bestrahlt. Das Differenzsignal der Szintillatorpulse zeigte jedoch mit einer Breite von ca. 10 ns RMS, daß Szintillatoren, Vorverstärker und Diskriminator noch nicht richtig eingestellt waren, siehe Abbildung 10.4.

Um den Einfluß der Einstellungen an Vorverstärker und Diskriminator zu untersuchen, wurde das Signal des Frequenzgenerators dem der Szintillatoren angepaßt, also 15 ns Breite, 330 mV Amplitude, flache Flanken. Mit einem V-Adapter wurden sie auf zwei 2 m BNC-Kabel verteilt und statt der Szintillatorsignale in die Vorverstärker eingespeist. Hinter dem Diskriminator wurden die beiden Signale abgegriffen nach TTL-Pegel konvertiert, ein Signal passiv verzögert, von TTL nach LVDS konvertiert und auf die Hit-Eingänge des OTIS 1.1 gegeben. Abbildung 10.5 zeigt die mit dem OTIS 1.1 gemessene Zeitdifferenz gegen die am Delay eingestellten Verzögerung. Gemessener und eingestellter Zeitversatz stimmen innerhalb von 0.66 ns überein. Die maximale Abweichung von gemessenem und eingestelltem Wert liegt im Bereich der Ungenauigkeit des TDCs.

Für beide Szintillatoren wurde die Rate gegen die Spannung gemessen um den Arbeits-

<sup>1</sup>Im LHCb-Experiment kommt es alle 25 ns zu einem Bunch-Crossing.

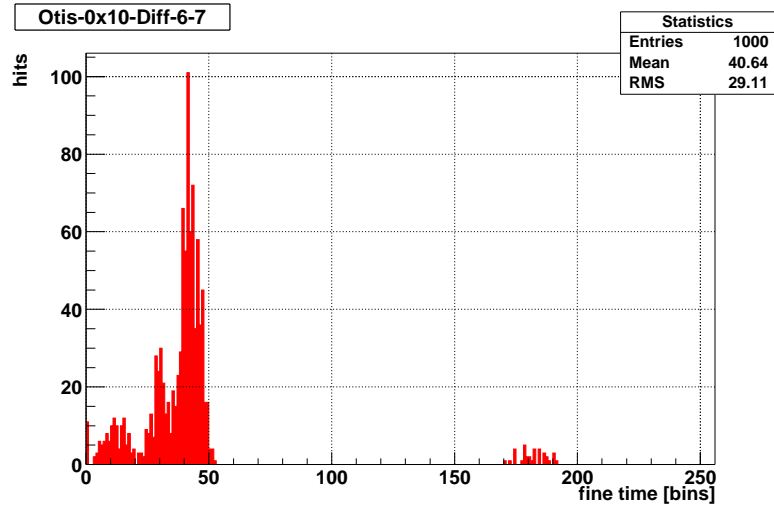


Abbildung 10.4: Zeitdifferenz des Signals von Szintillator “kurz” minus Szintillator “lang”, Ru-Quelle.

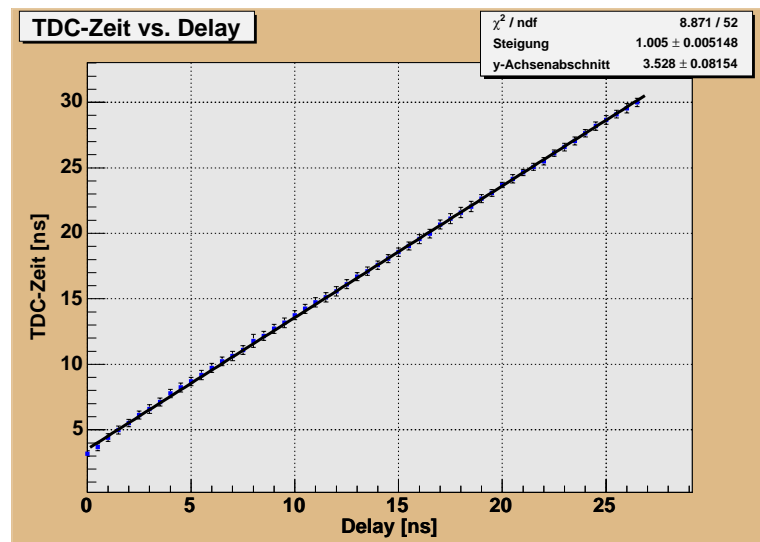
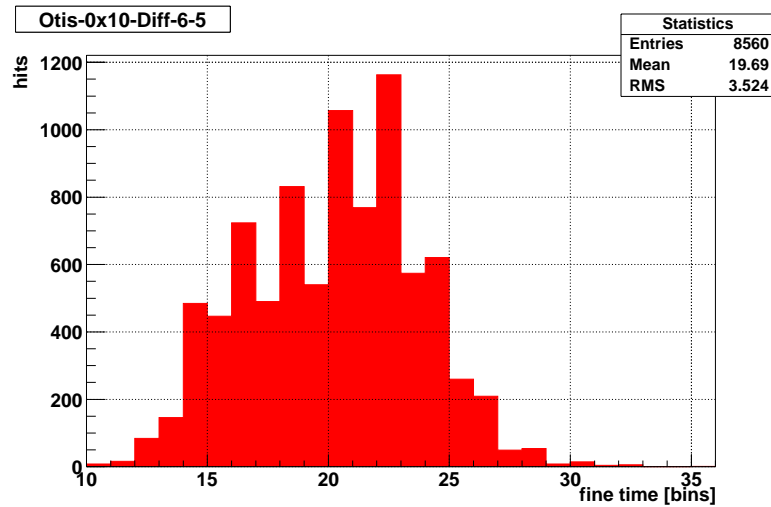


Abbildung 10.5: OTIS 1.1 Zeitmessung vs. Verzögerung (Integrale Nichtlinearität), das Signal wird mit einem Pulser am Szintillatorvorverstärker eingespeist.

punkt zu finden [42], danach wurden Vorverstärker und Diskriminatoren neu eingestellt. Um Doppelpulse zu vermeiden wurde das Signal an Szintillator “kurz” mit 20 dB gedämpft. Die beiden Szintillatoren wurden mit Ruthenium bestrahlt (s.o.), das Signal eines Szintillators um 8.5 ns verzögert. Abbildung 10.6 zeigt die Zeitdifferenz bei 10 000 Ereignissen mit einem Mittelwert von 7.67 ns und einer Breite von 1.4 ns.

Eine Messung mit kosmischen Teilchen bei sonst gleichem Aufbau und 4.5 ns Verzögerung zwischen den beiden Szintillatorsignalen zeigt Abb. 10.7, der Mittelwert ist 3.9 ns, die Breite 1.5 ns.



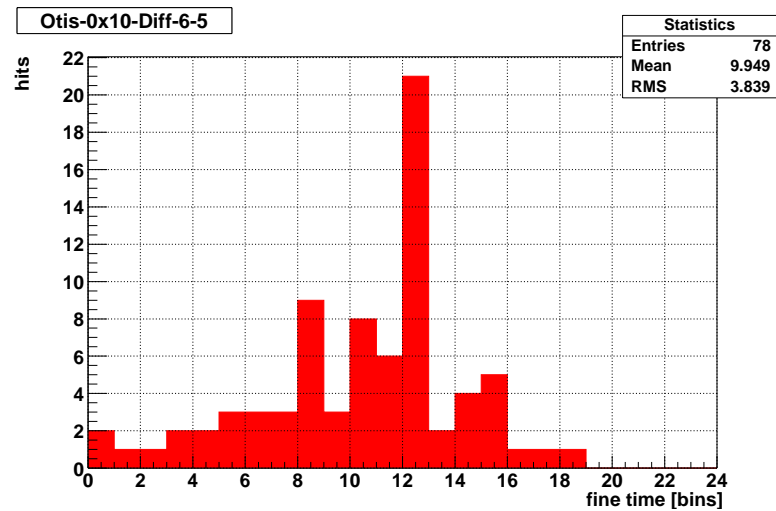
**Abbildung 10.6:** Zeitdifferenz des Signals von Szintillator “kurz” minus Szintillator “lang” nach Neueinstellung des Arbeitspunktes, Ru-Quelle.

### Artefakte in der TDC-Messung durch Fehler in der Taktreferenz

Ein wesentliches Problem bei Messungen mit kosmischer Strahlung sind die langen Meßzeiten von Stunden. Bei der Datennahme mit der in Abb. 10.2 gezeigten Anordnung (Ru-Quelle) ergaben sich beim Histogrammieren der TDC-Daten statt der erwarteten Gleichverteilung über 25 ns <sup>2</sup>, die in Abbildung 10.8 gezeigte Verteilung. Die TDC-Einträge sind stark über den erwarteten Bereich hinaus verteilt. Es gibt große Unterschiede in der Häufigkeit mit der gerade und ungerade Bins getroffen werden. Zudem gibt es Lücken bei Bin 65 und Bin 129.

Bei der Suche nach der Ursache dieser Fehler stellte sich heraus, daß eine zu hochohmige Ferritdrossel in der Stromversorgung des OTIS-TDCs lag und damit am Digitalteil nur 2.2 V statt 2.5 V anlagen. Ein Austausch gegen eine niederohmige Ferritdrossel reduzierte den Spannungsabfall an derselbigen von 280 mV auf 16.7 mV.

<sup>2</sup>Es wurde auf das gleiche Signal getriggert.

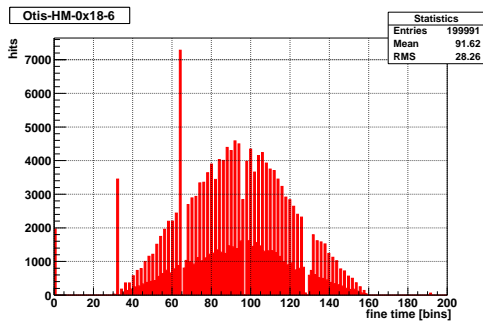


**Abbildung 10.7:** Zeitdifferenz des Signals von Szintillator “kurz” minus Szintillator “lang” nach Neueinstellung des Arbeitspunktes, kosmische Strahlung.

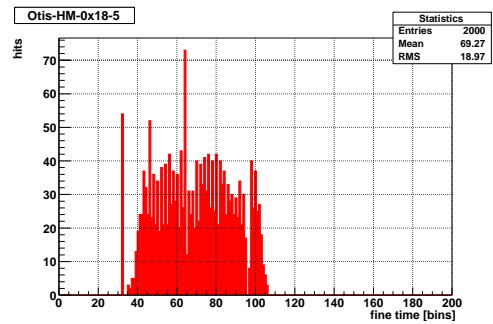
Bei weiteren Messungen mit verschiedenen Spannungen für den TDC zeigte sich ein gegenüber Abbildung 10.8 deutlich besseres Verhalten bei 3.28 V TDC Versorgungsspannung (Digitalteil) und Kühlung, siehe Abb. 10.9. Die Kühlung kam speziell der benachbarten QPLL (Jitter-Filter) zugute. Diese verliert bei ungeeigneten Betriebsbedingungen (auf der GOL-Aux-Karte IF13-0 schon bei ca. 28 °C) den “lock” und beeinflusst so auch die Zeitmessung des TDCs. Der anfangs vermutete Zusammenhang zwischen fehlerhaften Hitverteilungen und dem Triggersignal bestätigte sich nicht. In diesem Zusammenhang wurde das Triggersignal von 25 ns auf 10.2 ns verkürzt und auf die Mitte der fallenden Flanke des Taktsignals verschoben, Abbildung 10.10 zeigt eine saubere Hitverteilung auch beim Standardtriggerpuls von 25 ns Länge. Abbildung 10.11 zeigt die Verteilung der TDC-Hits bei zufälligen Triggersignalen aus dem TFC-System und davon unabhängigen asynchronen Pulssignalen an den Hiteingängen. Die geringere Anzahl an Einträgen bei Bin 65 und Bin 129 ist auf ein fehlendes Dummy-Verzögerungselement am Anfang der DLL zurückzuführen. Abbildung 10.12 zeigt die Hitverteilung bei einem auf 10.2 ns verkürzten Triggersignal und hoher Statistik. Es sind alle Artefakte beseitigt. Aus der Verteilung der zufällig erzeugten Pulssignale auf die Zeit-Bins des OTIS-Chips läßt sich deren Länge bemessen siehe Abschnitt 2.1.1. Der Unterschied zwischen längstem und kürzesten Bin betrug bei der in Abb.10.12 gezeigten Messung 0.5 ns, siehe [42].

## 10.2 ASDBLR-Vorverstärker

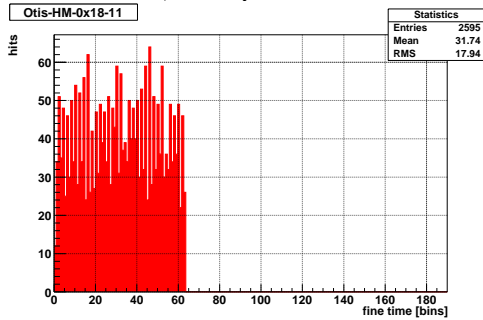
Der ASDBLR-Vorverstärker verstärkt, formt und diskriminiert die Ladungspulse der Straw-Detektoren. Das differentielle Ausgangssignal dient der Driftzeitmessung durch den OTIS-TDC. Da die Ladungssignale aus den Straw-Detektoren nur einige 10 fC groß sind und die



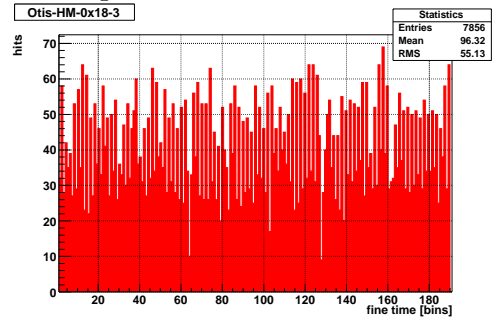
**Abbildung 10.8:**  
TDC-Verteilung bei Problemen  
mit dem QPLL-Jitterfilter,  
200 000 Ereignisse mit  
Szintillatoren, Ru-Quelle.



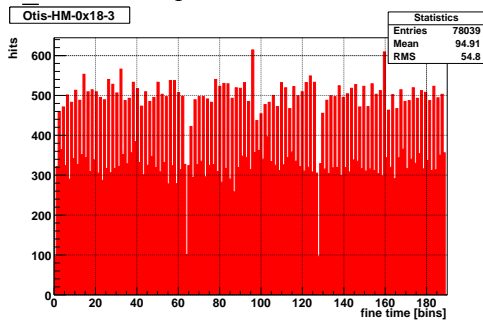
**Abbildung 10.9:**  
TDC-Hitverteilung,  
der TDC arbeitete bei 3.28 V  
TDC sowie QPLL  
werden gekühlt.



**Abbildung 10.10:**  
TDC-Hitverteilung  
(standard) 25 ns Triggerpuls,  
 $T \leq 25$  Grad °C.



**Abbildung 10.11:**  
TDC-Hitverteilung, Zufallstrigger,  
(standard) 25 ns Triggerpuls,  
 $T \leq 25$  Grad °C.



**Abbildung 10.12:**  
TDC-Hitverteilung  
Zufallstrigger,  
10.2 ns Triggerpuls,  
 $T \leq 25$  Grad °C.

Diskriminatorschwelle zwischen 2 fC und 6 fC liegt [48], ist der ASDBLR extrem empfindlich gegen Einstreuungen. Alle Messungen mit dem ASDBLR verlangen ein ausgereiftes Erdungsschema, wie es bei der Konstruktion der FE-Box vorliegt. In Abbildung 6.3 konnte bereits belegt werden, daß die Phasenlage der am ASDBLR anliegenden Signale korrekt ( $\pm 1$  ns) bestimmt werden konnte. Um Signale an der Straw-Kammer oder am Szintillator zu messen, ist es jedoch erforderlich den OTIS 1.1 zu nutzen, da der in der FE-Box eingesetzte OTIS 1.0 die Zeiten einzelner Pulse nicht richtig verarbeitet.

Der ASDBLR wurde also in der FE-Box belassen und die Ausgangssignale auf die Eingänge eines OTIS 1.1 TB gefädelt. Das OTIS 1.1 TB wird mit dem gleichen Stecker wie die OTIS-FE-Karte an das GOL-Aux-Board angeschlossen. Der Rest des Aufbaus war wie in Abb. 10.2.

### 10.2.1 Testsignale aus dem Pulser

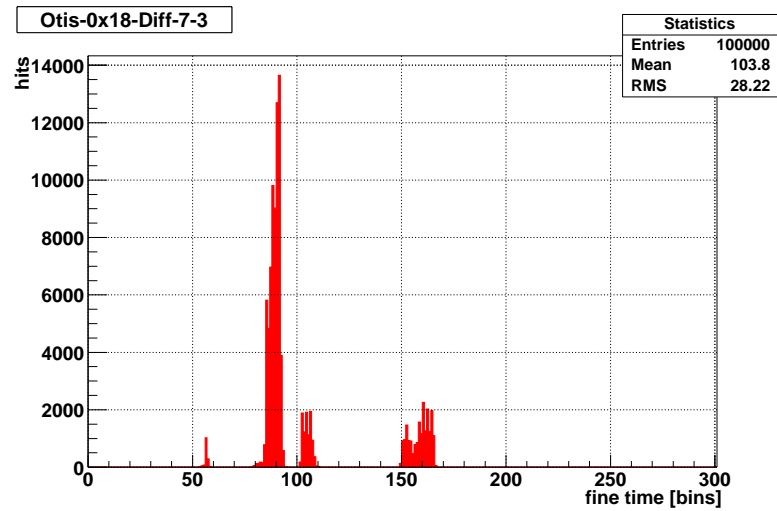
Bevor der ASDBLR mit dem Strawmodul betrieben wurde, kamen die Eingangssignale von einem Pulser. Anfangs wurden die Pulser signale, wie in Kapitel 6 erklärt, in den Vorverstärker des Szintillators eingespeist, diskriminiert, nach LVDS konvertiert, mit  $100 \Omega$  am ASDBLR abgeschlossen und über  $10 \text{ pF}$  in den Eingang des ASDBLR gekoppelt. Dieses Signal ist mit  $250 \text{ mV} \cdot 10 \text{ pF} = 2500 \text{ fC}$  100-mal größer als die Pulse im Experiment. Tabelle 10.1 listet die Anschlüsse zwischen ASDBLR-FE-Karte und OTIS 1.1 EVO-Karte auf.

Signal ASDBLR	OTIS/GOL-Aux-Karte	Bemerkung
+3 V	+3 V OTIS EVO	
GND	GND	
-3 V	-3 V	
GND	GND	
TRN1-1	Hit1n	$\overline{\text{Hit1}}$
TRP1-1	Hit1p	Hit1
TRN7-2	Hit6n	$\overline{\text{Hit15}}$
TRP7-2	Hit6p	Hit15
TRN8-2	Hit7n	$\overline{\text{Hit16}}$
TRP8-2	Hit7p	Hit16
THR-D-1	ASDDAC2	Schwelle 2
THR-D-2	ASDDAC1	Schwelle 1
GND	GND	

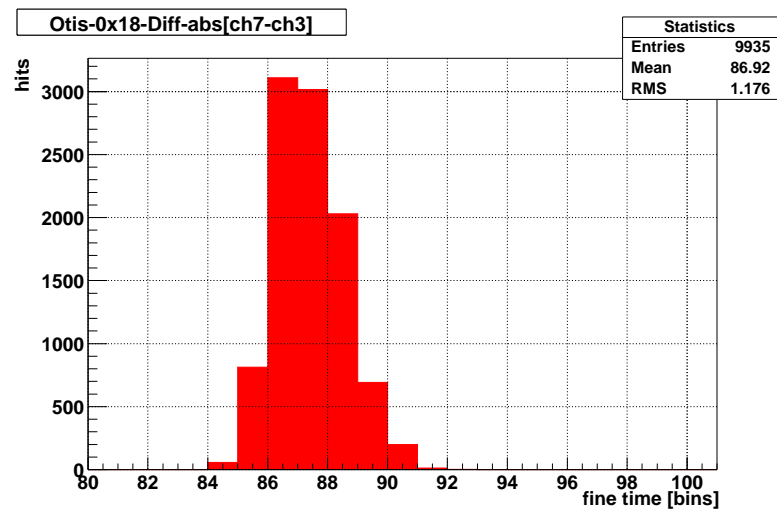
**Tabelle 10.1:** Anschluß ASDBLR-FE-Karte and OTIS 1.1.

Als Zeitreferenz wurde am OTIS Kanal 3 das Pulser-LVDS-Signal direkt angeschlossen. Die so gewonnenen Daten waren trotz hoher Diskriminatorschwellen von 1250-1300 mV entsprechend Ladungen von  $>50 \text{ fC}$  sehr unsauber (Abb. 10.13).

Verbesserungen der gemessenen Verteilung brachte eine verbesserte Masseverbindung durch  $>20 \text{ mm}^2$  Kupferlitze zwischen ASDBLR und OTIS 1.1 und bessere Kühlung der

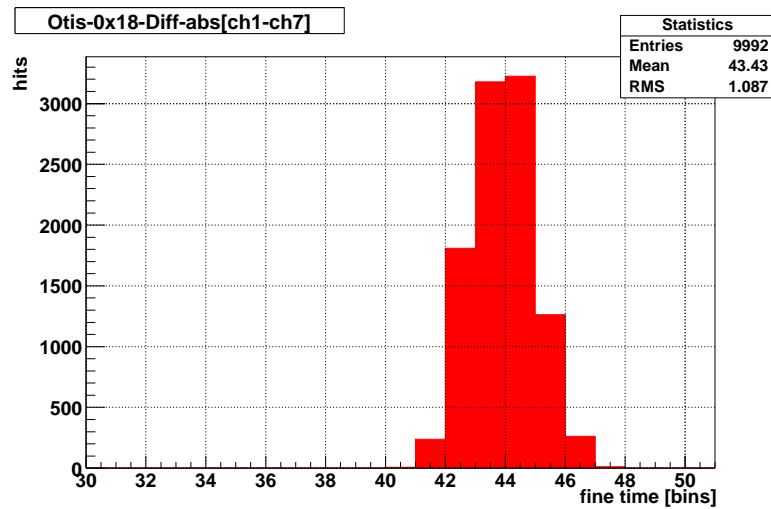


**Abbildung 10.13:** Pulsersignale am ASDBLR-Vorverstärker, nach LVDS konvertiert und mit 10 pF eingekoppelt. Histogramm: Pulser an ASDBLR minus Pulser OTIS 1.1 direkt.



**Abbildung 10.14:** Pulsersignale am ASDBLR-Vorverstärker, 50 fC bei 200 mV (2 fC) Schwelle eingekoppelt. Histogramm: Pulser an ASDBLR minus Pulser OTIS 1.1 direkt.





**Abbildung 10.15:** Pulsignale am ASDBLR-Vorverstärker. Die Pulse wurden abgeschwächt und mit einer Adapterkarte mit flächigem Massekontakt und 10 pF Kondensatoren eingekoppelt. Histogramm: Pulser an ASDBLR minus Pulser OTIS 1.1 direkt.

QPLL (Jitter-Filter). Um die Größe des Ladungspulses auf einen realistische Wert von 7.5 fC bis 50 fC einzustellen, wurde statt des LVDS-Signals das negative Pulser signal mit Abschwächern auf 0.75 mV bis 50 mV gedämpft und über 100  $\Omega$ , 10 pF “direkt” in den ASDBLR gespeist (Abbildung 10.14). Erst eine Adapterkarte mit flächigem Massenkontakt zur FE-Box erlaubte die Pulse störungsarm einzuspeisen. Abb. 10.15 zeigt, daß jetzt 99.98% der Ereignisse Zeitdifferenzen innerhalb  $\pm 3.9$  ns (RMS 423 ps) liefern.

### 10.3 Anschluß an den Cosmicstand

Die 1 m-Straw-Module des Cosmicstandes sollten mit der neu entwickelten Elektronik ausgelesen werden. Wie in 10.2 wurden die ASDBLR-Vorverstärker in der FE-Box betrieben und über den OTIS 1.1 auf der EVO-Testkarte ausgelesen. Als Zeitreferenz und als Triggerquelle wurden die in 10.1 getesteten Szintillatoren verwandt.

Nach Umbau der Elektronik wurden an den OTIS 1.1 wieder Pulser signale gegeben, siehe Tabelle 10.2.

Abbildung 10.16 zeigt die Differenz zwischen OTIS 1.1 Kanal 2 und 3, jeweils an den Pulser angeschlossen. In Abbildung 10.17 wurde an Kanal 2 und 3 das Signal aus dem langen Szintillator genutzt. Beide Messungen belegen die Funktion der Ausleseketten ab dem OTIS 1.1. Für alle Ereignisse ist die Zeitdifferenz zwischen den Referenzeingängen maximal 390 ps.

OTIS Kanal	Signal
2	Pulser bzw. Szintillator lang (Ref. A)
3	Pulser bzw. Szintillator kurz (Ref. B)
4	ASD-Kanal1
5	ASD-Dummy
6	ASD-Kanal 15
7	ASD-Kanal 16

Tabelle 10.2: Anschluß Cosmicstand an OTIS 1.1.

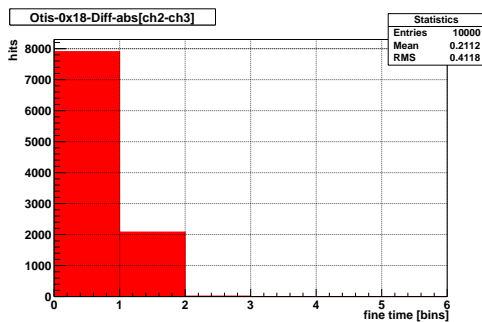


Abbildung 10.16: Histogramm der Zeitdifferenz zwischen OTIS 1.1 Kanal 2 und 3, jeweils am gleichen Pulser.

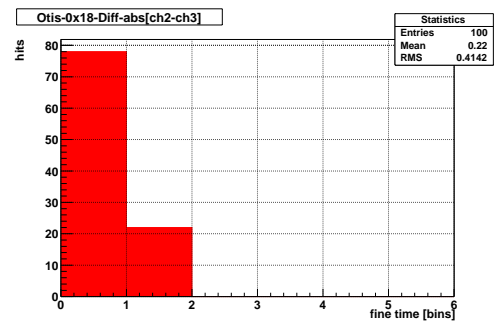
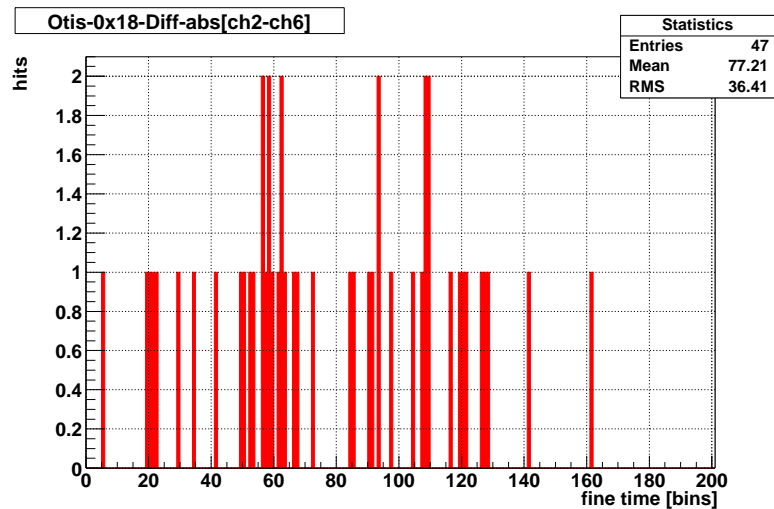


Abbildung 10.17: Histogramm der Zeitdifferenz zwischen OTIS 1.1 Kanal 2 und 3, jeweils am gleichen Szintillator.

### 10.3.1 Kammerpulse

Beim Nachweis der Kammerpulse aus den Strawmodulen war die Rate der Szintillatort-rigger ca. 1000 pro Stunde (also 0.28 Hz) die Rate der Treffer in den einzelnen Straws nur ca. 50 pro Stunde also (0.014 Hz).

Für eine Triggerschwelle von 750 mV (5 fC), eine Hochspannung am Strawmodul von 1600 V, ArCO<sub>2</sub> Gas im Verhältnis (70:30) und einer Latenz von 17.25 ns wurden 1000 Ereignisse ausgelesen (Abbildung 10.18). Die Abbildung stellt die Verteilung der Driftzeiten relativ zum Szintillatorsignal dar, wenn man die Zeitverteilung des Szintillatorsignales vernachlässigt (Abb. 10.6). Man kann so bei höherer Statistik das Driftzeitspektrum ablesen.



**Abbildung 10.18:** Messung der TDC-Verteilung mit kosmischen Teilchen im 1 m-Modul “IO”, Histogramm der Differenz zwischen Szintillatorreferenz und ASDBLR-Kanal 15.

Um eine hohe Statistik zu erreichen muß der Meßaufbau mindestens 10 h zuverlässig am Stück funktionieren. Leider ergaben sich durch die Temperaturabhängigkeit des Arbeitsbereichs der QPLL (siehe Abschnitt 5.7.1) eine Beschränkung des Betriebs auf maximal 29°C, die im Labor fast ständig überschritten wurden.

In einer neueren Version QPLL2 ist der Arbeitsbereich deutlich größer ( $\pm 4.4$  kHz gegen  $\pm 2.075$  kHz), also auch bei einer großen Temperaturspanne einsetzbar. Beim Austausch der QPLL1 mit der QPLL2 auf GOL-Auxiliary-Karte IF13-0 Nr.3 kam es zu einem Kurzschluß an einer Resetleitung, wodurch die bessere Temperaturstabilität nicht genutzt werden konnte.

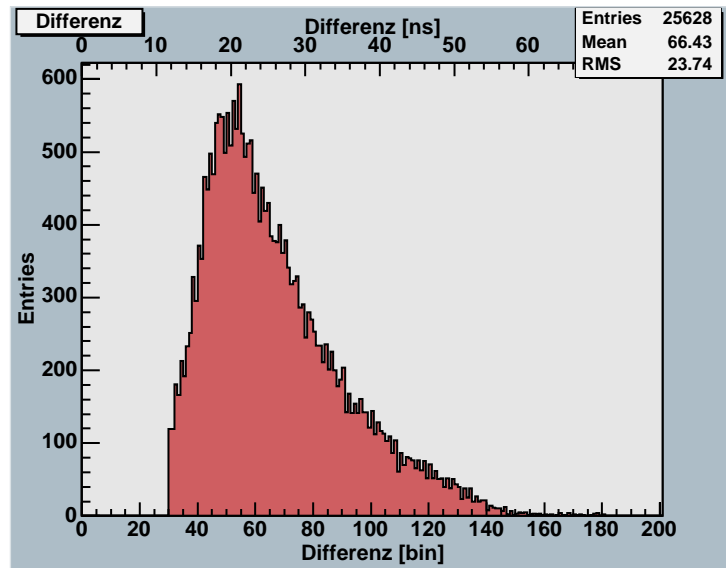
### Driftzeitspektren

Nachdem die Temperaturen im Labor jahreszeitlich bedingt auf deutlich unter 28°C gefallen waren, wurden die Messungen der Kammersignale nochmals mit einem GOL-Auxiliary-Board mit der QPLL1 wiederholt. Hierzu wurde die Triggerschwelle von 750 mV (5 fC), einer Hochspannung am Strawmodul von 1600 V, ArCO<sub>2</sub>-Gas und einer Latenz von 17·25 ns gewählt. Die Verstärkung für die Szintillatoren wurde nochmals neu eingestellt, um die Doppelpulsrate gering zu halten. Mit einem 1 MΩ-Aktivtastkopf wurden die vom ASDBLR diskriminierten Kammerpulse überprüft und die Position der Rutheniumquelle gewählt.

Um die Zeitreferenzsignale von den Szintillatoren und die mit dem ASDBLR verstärkten Kammersignale in einem gemeinsamen Zeitfenster von 75 ns auslesen zu können, wurden alle Kabelverbindungen für die Szintillatoren auf ein Minimum verkürzt. Um die Latenz zu optimieren und keine Szintillatorsignale zu verlieren, wurde zusätzlich das Triggersignal vor dem Eingang am TTCvi um 4.5 ns verzögert.

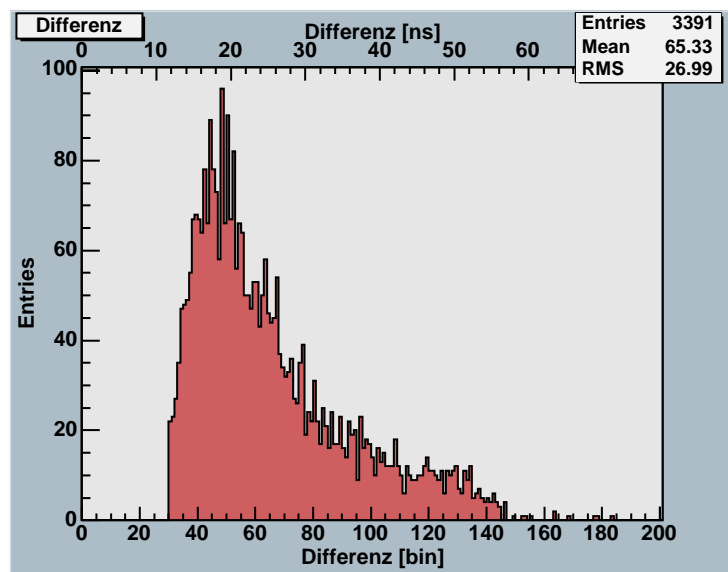
Abbildung 10.19 zeigt das mit der Rutheniumquelle aufgenommene Driftzeitspektrum.

Dem Driftzeitspektrum liegen 200 000 Ereignisse, also Szintillatordurchgänge zu Grunde, von denen 22 708 zu einem Treffer in einem der beiden ausgelesenen Strawkanälen führten. Sieht man von einem Untergrund am Anfang des Histogramm ab, so läßt sich eine Driftzeitverteilung von 120 Bins oder 47 ns ablesen, was den simulierten Daten für das Zählgas ArCO<sub>2</sub> (70/30) entspricht.



**Abbildung 10.19:** Messung der TDC-Verteilung mit Ruthenium im 1 m-Modul “IO”, Histogramm der Differenz zwischen Szintillatorreferenz und ASDBLR-Kanal 15 und 16 kombiniert. Die Zeitachse ist in Bins (a 390 ns) aufgetragen.

In Abbildung 10.20 ist die entsprechende Messung von kosmischen Teilchen zu sehen. Es wurden erst 20 000 und dann 30 000 Ereignisse aufgenommen. Hier war das Signal-zu-Untergrund-Verhältnis deutlich schlechter, die Rate für Ruthenium war ca. 0.35 Hz und 0.024 Hz für kosmische Teilchen. Das Signal-zu-Untergrund-Verhältnis war für die Datennahme mit Ruthenium Quelle 4:1, für Messung mit kosmischer Strahlung 1:1. Die gewonnene Driftzeitverteilung zeigt das gleiche Verhalten wie bei Bestrahlung mit Ruthenium, die Breite der Verteilung ist ebenfalls ca. 120 Bins = 47 ns. Da die Dauer der Messungen jeweils ca. 24 h betrug zeigen sie insbesondere, daß ein langer stabiler Betrieb der neu entwickelten Ausseelektronik an einer Kammer des äußeren Spurkammersystems möglich ist.



**Abbildung 10.20:** Messung der TDC-Verteilung mit kosmischen Teilchen am 1 m-Modul "IO", Histogramm der Differenz zwischen Szintillatorreferenz und ASDBLR-Kanal 15 und 16 kombiniert. Die Zeitachse ist in Bins ( $\approx 390$  ns) aufgetragen.



# Zusammenfassung und Ausblick

Im Rahmen der Arbeit wurde die optische Datenübertragung für das äußere Spurkammersystem entwickelt. Die optische Datenübertragungsstrecke wurde in eine Ausleseketten integriert, die vom Straw-Detektor über Vorverstärker, TDC-Zeitmessung, optischer Sende- und Empfängerkarte bis einschließlich der Datennahme mit dem PC reicht. Ergänzend wurde ein 3 m-Straw-Detektormodul unter realistischen Bedingungen im HERA-B-Experiment getestet. Die Ergebnisse, wie veränderte Drahtpositionierer und verbessertes Erdungsschema, flossen in das Design der aktuellen Kammerproduktion ein.

Die Ausleseketten wurde getestet und die dabei erkannten Fehler wie mangelnde Terminierung, Oszillationen in der Stromversorgung und geringe Temperaturstabilität des Taktfilters wurden ausge bessert. Nach Verbesserung der Karten war es möglich mit der neu entwickelten Ausleseelektronik an 1 m-Strawdetektoren mehr als 24 h am Stück unterbrechungsfrei die Driftzeiten kosmischer Teilchen zu messen. Hierbei wurden  $1.4 \cdot 10^{14}$  Bits übertragen. Es konnte so gezeigt werden, daß die im Rahmen dieser Arbeit entwickelte Elektronik eine sehr stabile Auslese der Straw-Detektoren für das äußere Spurkammersystem des LHCb-Experiments erlaubt.

Die Entwicklung der optischen Empfängerkarte als Tochterkarte der TELL1-Karte sowie die Studie zum Beitrag des äußeren Spurkammersystems zur Trigger-Tracker-Station beeinflussten nachhaltig das Design der TELL1-Karte als gemeinsame Auslesekarte für einen Großteil des LHCb-Experiments. Die optische Empfängerkarte wird unter anderem vom inneren und äußeren Spurkammersystem, dem VETO-Detektor und dem Myon-System genutzt. Die Studie zur Trigger-Tracker-Station hat gezeigt, daß das äußere Spurkammersystem effizient Spurinformatio nen für die L1-Entscheidung liefern kann. Diese Option wurde bei der Auslegung der TELL1-Karten berücksichtigt.

In Vorserie werden die im Rahmen dieser Arbeit entwickelten Karten zum Senden (GOL-Auxiliary-Board) und Empfangen (O-RxCard) der optischen Daten zur Zeit produziert bzw. getestet. Die Karten werden bei einem Beamttest am DESY (Hamburg), einem Testaufbau einer Viertelstation am NIKHEF (Amsterdam), sowie als optische Empfängerkarte zur Inbetriebnahme der L1-Trigger-Elektronik und Speicherkarten (TELL1) genutzt werden. Beim Beamttest werden bis zu 6 Module ausgelesen. Im Testaufbau der Viertelstation werden 4 mal 9 Modulenden ausgelesen. Im Zuge der Inbetriebnahme der TELL1-Karte wird die optische Empfängerkarte auch von anderen LHCb-Subdetektoren getestet. 2005 sollen jeweils 500 optische Sende- und Empfängerkarten produziert werden.



# Anhang A

## GOL 0.1 Leiterplatte

Die GOL 0.1 Leiterplatte (EV1-0) war der erster Prototyp der optische Sendekarte.

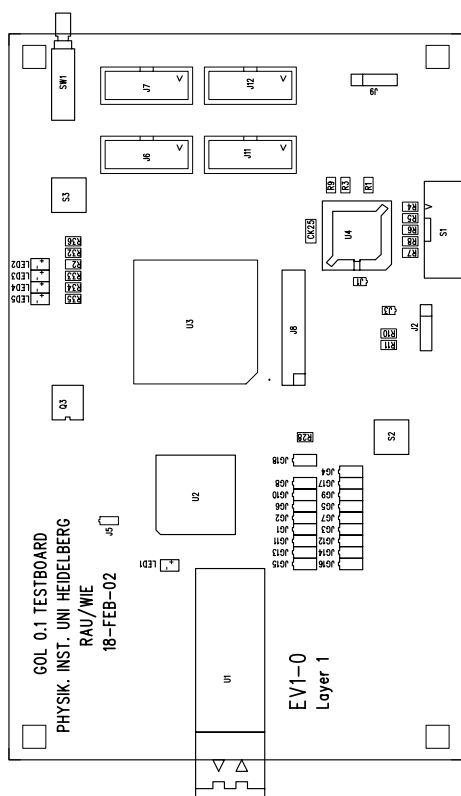


Abbildung A.1: GOL 0.1 PCB EV1 Bestückungsplan oben.

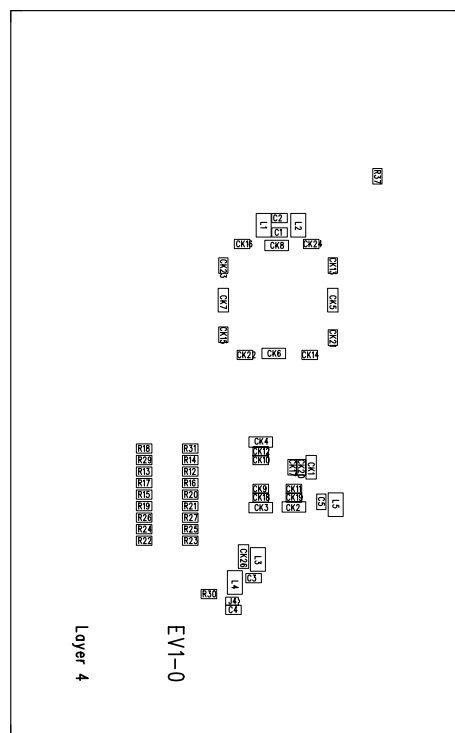


Abbildung A.2: GOL 0.1 PCB EV1 Bestückungsplan unten.

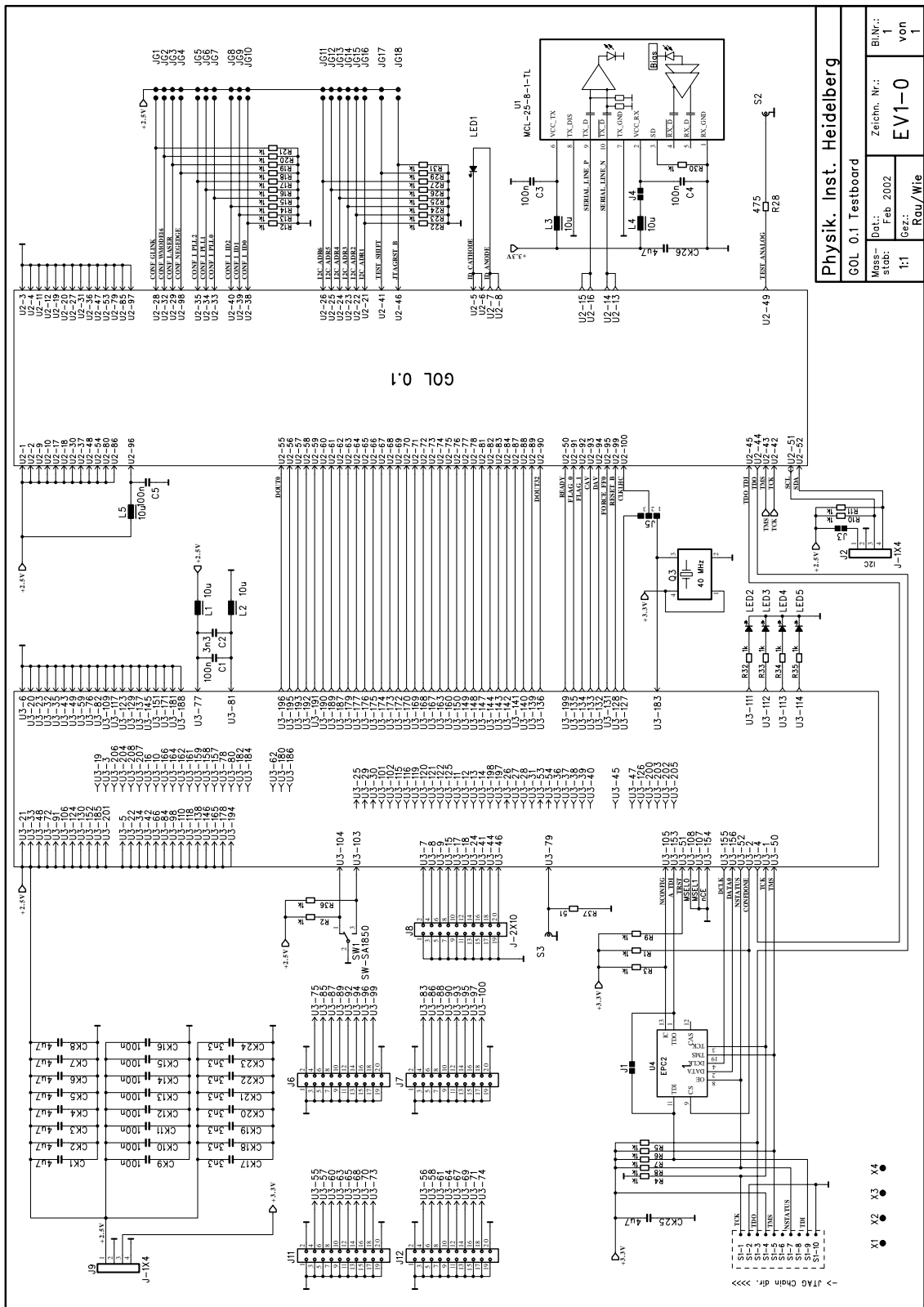


Abbildung A.3: Schaltplan GOL 0.1 Leiterplatte (EV1).

# Anhang B

## GOL 1.0 Leiterplatte

Die GOL 1.0 Leiterplatte (EV2-0) war der zweite Prototyp der optische Sendekarte, der neue GOL 1.0 war erstmals in der Lage eine strahlenharte VCSEL-Diode direkt zu treiben.

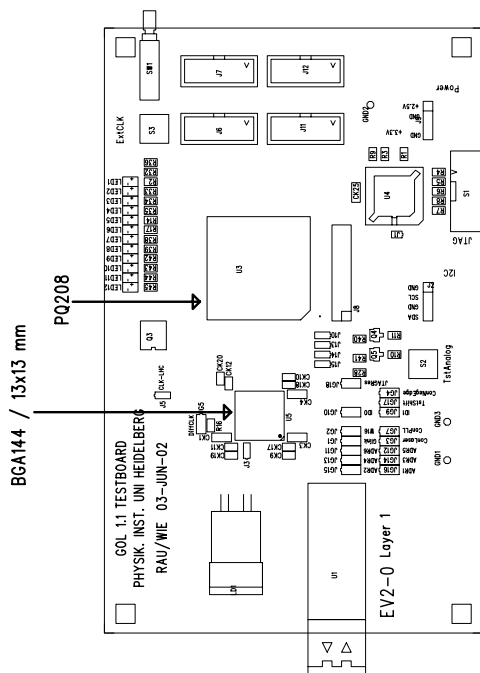


Abbildung B.1: GOL 1.0 PCB EV2 Bestückungsplan oben.

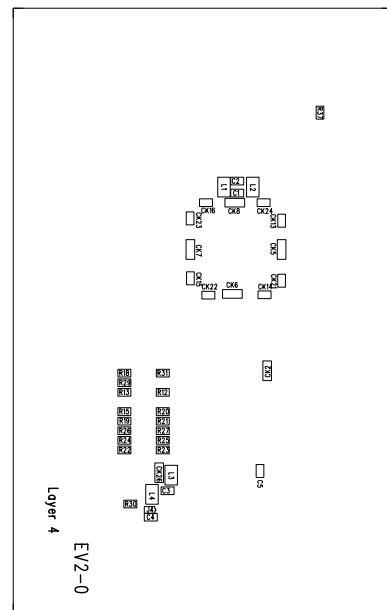


Abbildung B.2: GOL 1.0 PCB EV2 Bestückungsplan unten.

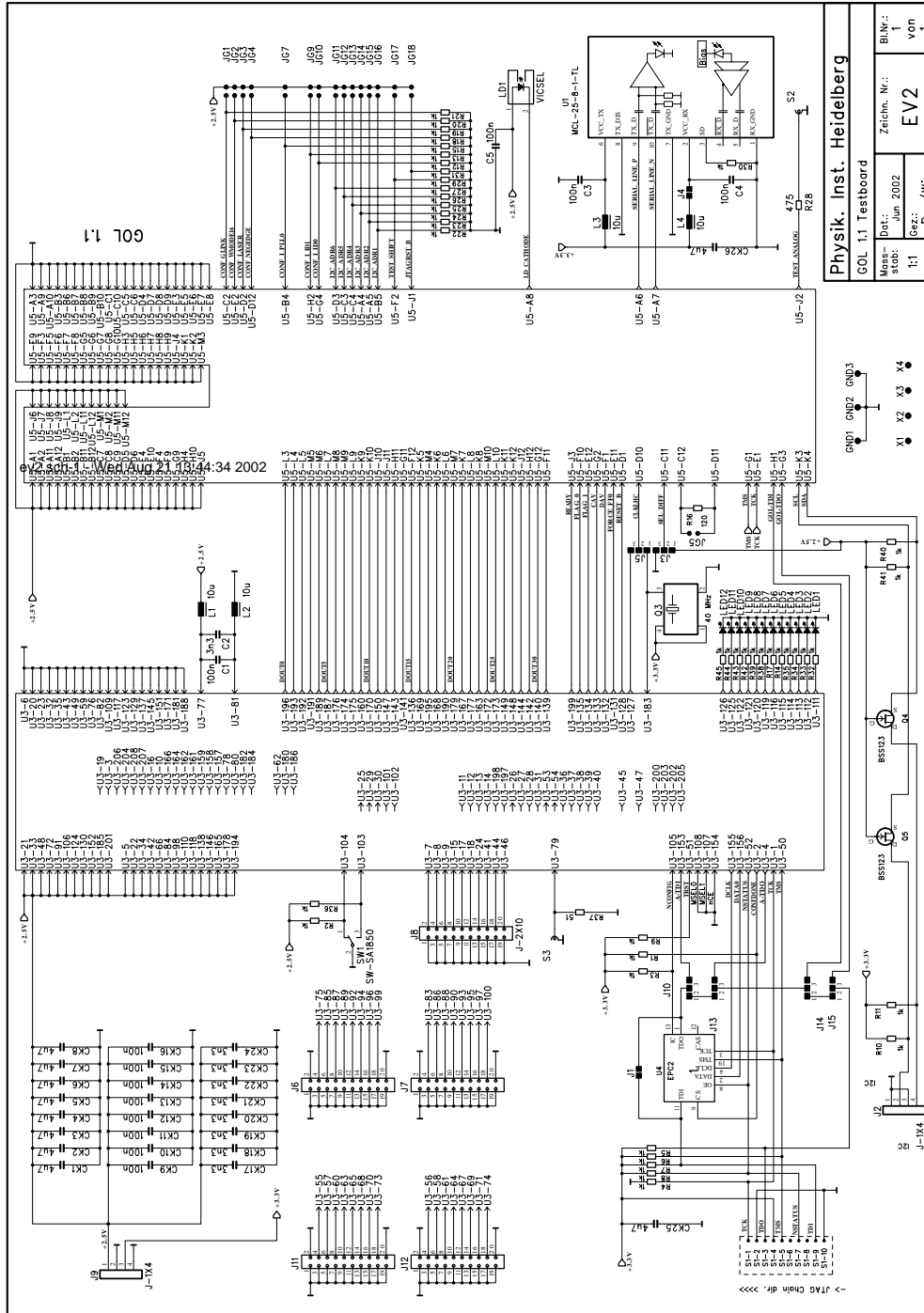


Abbildung B.3: Schaltplan GOL 1.0 Leiterplatte (EV2).

Name	Einstellung	Funktion
conf_glink	0	Ethernet
conf_wmode16	0	32 Bit
conf_laser	1	Laser-VCSEL
conf_i_pll	0	10 $\mu$ A Charge-Pump-Strom
I2C_addr<6:1>	0	I <sup>2</sup> C nicht genutzt
test_shift	0	nur für Prototyp-Tests
JTAGTRST_b	0	JTAG-Reset
flag<1:0>	0, 0	nur im GLink-Modus benutzt
CAV/tx_er	0	tx_er = 0 mit tx_en = 1
DAV/tx_en	1	normale Datenübertragung
force_ff0	0	nur im GLink-Modus benutzt
reset_b	1	negierter Reseteingang
clkLHC	40 MHz	Takteingang
selectDiff	0	Takt am nicht differentiellen Eingang
conf_id_<1:0>	00	5.8 mA Biasstrom

**Tabelle B.1:** Jumpereinstellung für GOL 1.0 Testaufbau.



# Anhang C

## I2CEXT-Leiterplatte

Die I2CEXT-Leiterplatte dient der Umwandlung der I<sup>2</sup>C-Signale in differentielle (LVDS) Signale und zurück.

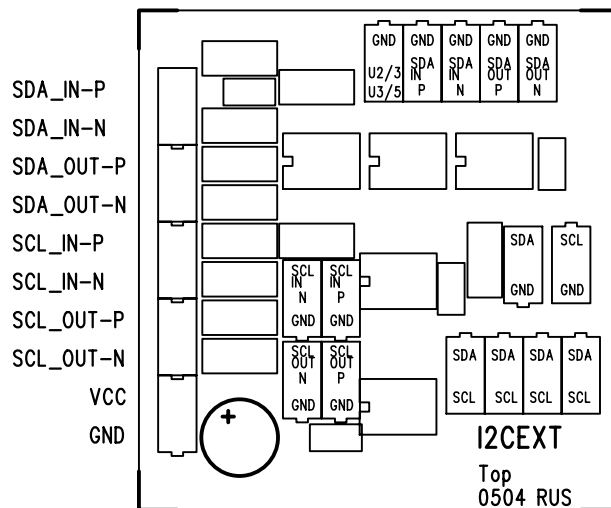


Abbildung C.1: Anschlußplan der I2CEXT-Leiterplatte.

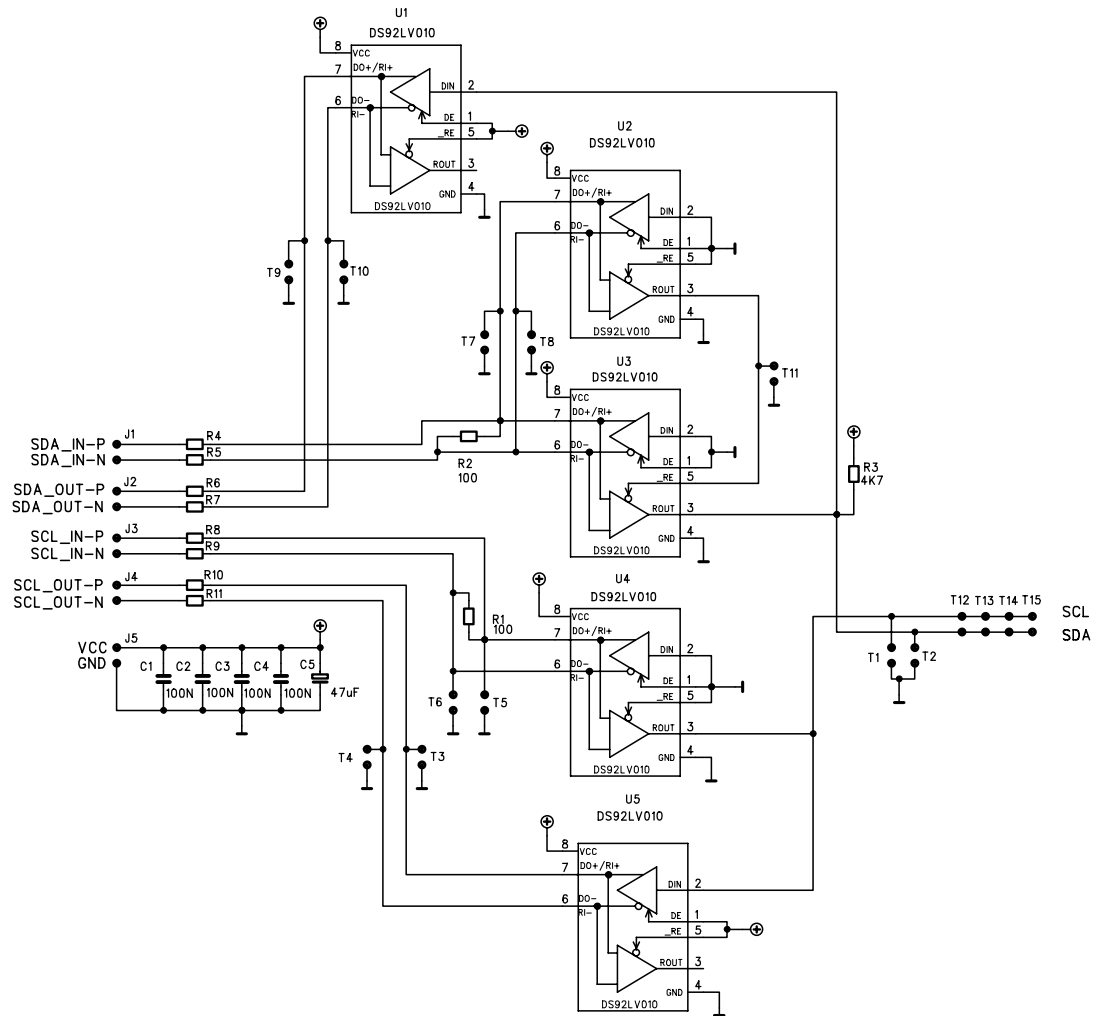


Abbildung C.2: Schaltplan der I2CEXT-Leiterplatte.



## Anhang D

# TBOTIS1-1 Leiterplatte

Die TBOTIS1-1 Leiterplatte wurde für die Laboruntersuchungen am OTIS 1.1 entwickelt, ist aber auch kompatibel zur GOL-Aux-Karte IF13-0 [23].

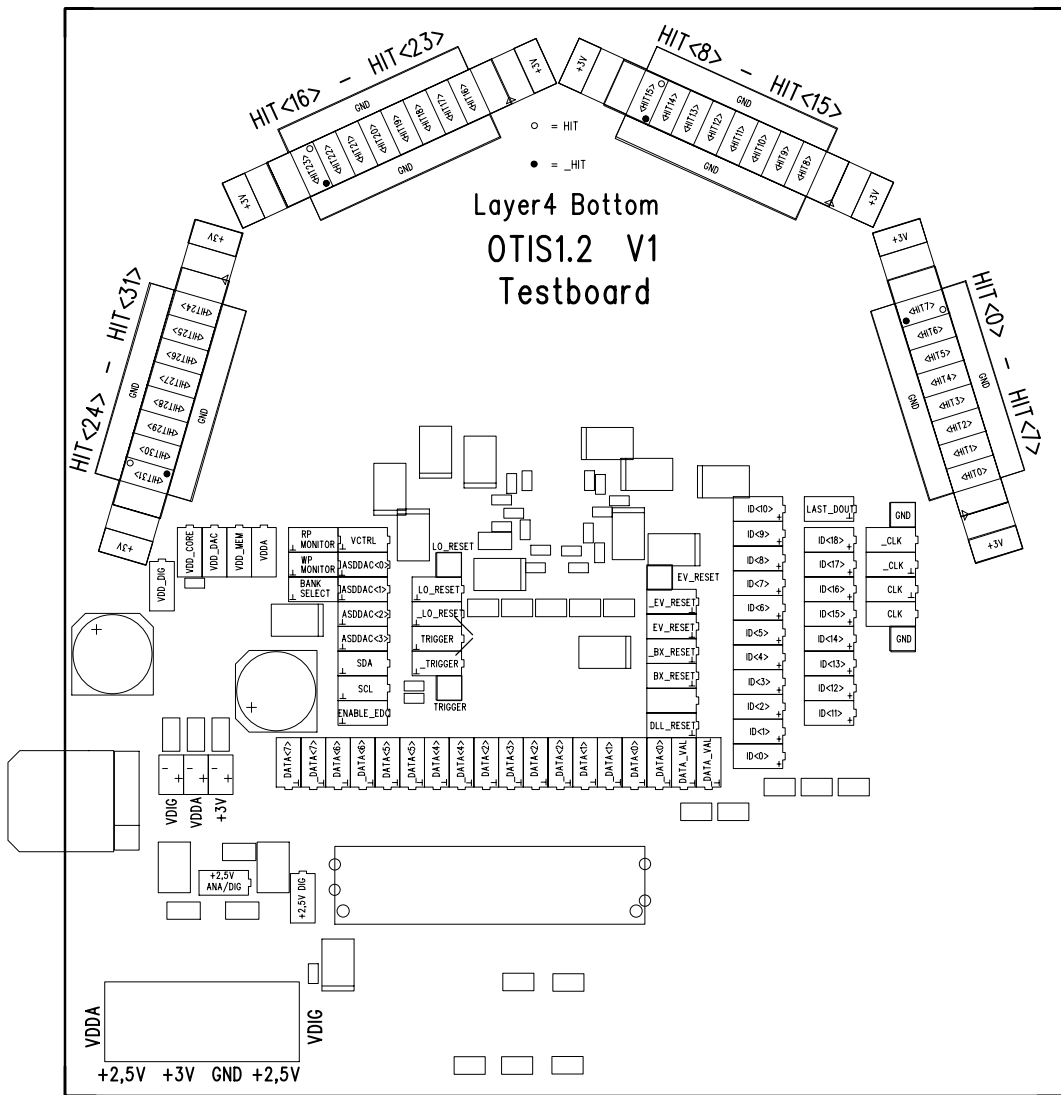


Abbildung D.1: Anschlüsse der TBOTIS1-1 Leiterplatte.

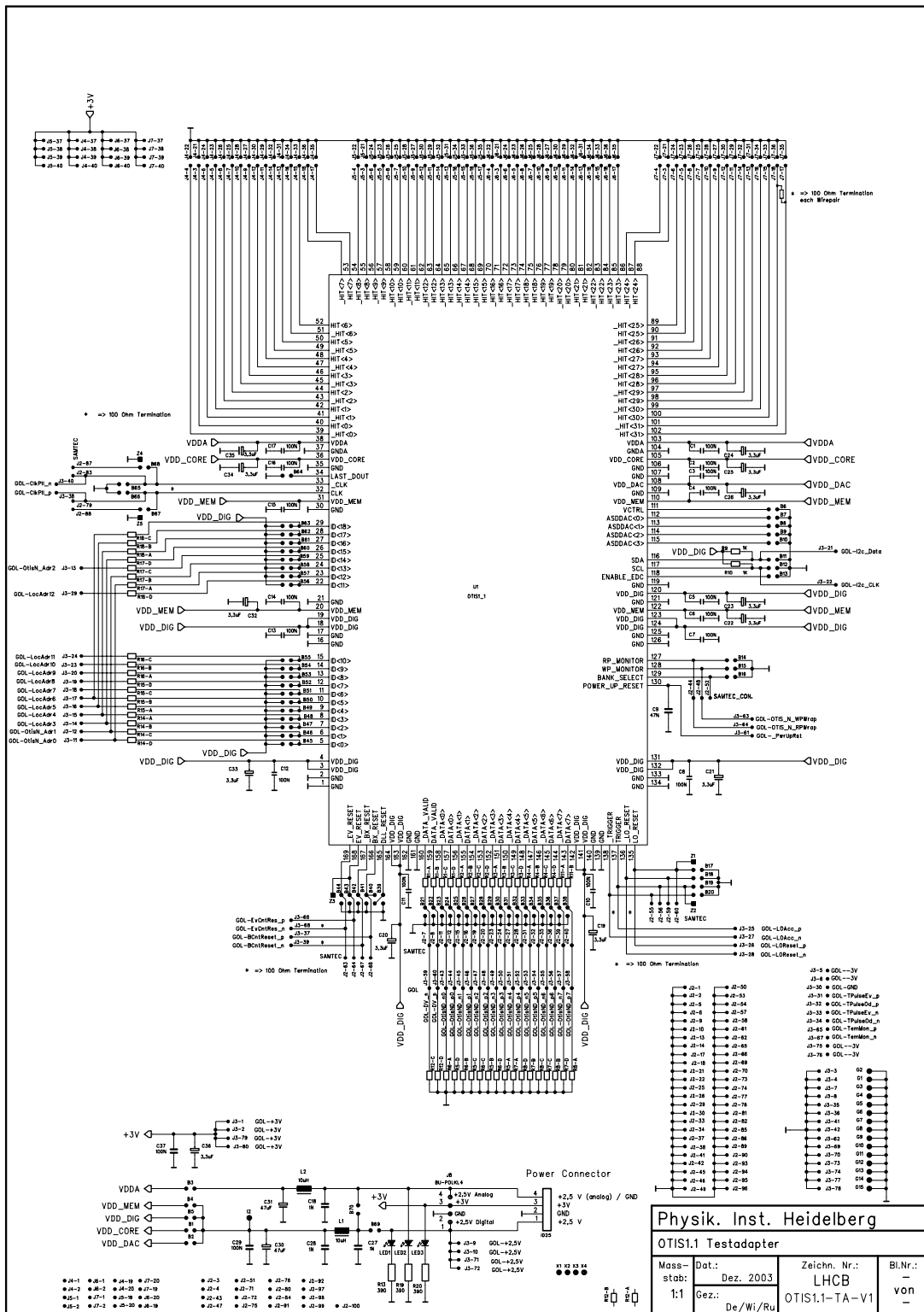


Abbildung D.2: Schaltplan der TBOTIS1-1 Leiterplatte.



## Anhang E

# GOL-Auxiliary-Board IF13-0

Das GOL-Auxiliary-Board [23] gibt die parallelen elektrisch anliegenden Daten eines Halbmoduls auf einer optischen Faser aus, versorgt die Modulhälfte mit Niederspannung und verteilt die taktsynchronen Signale sowie den I<sup>2</sup>C-Bus auf die Mikrochips einer FE-box. Das GOL-Auxiliary-Board in der Version für die Vorserie IF13-1 ist in [24] beschrieben.



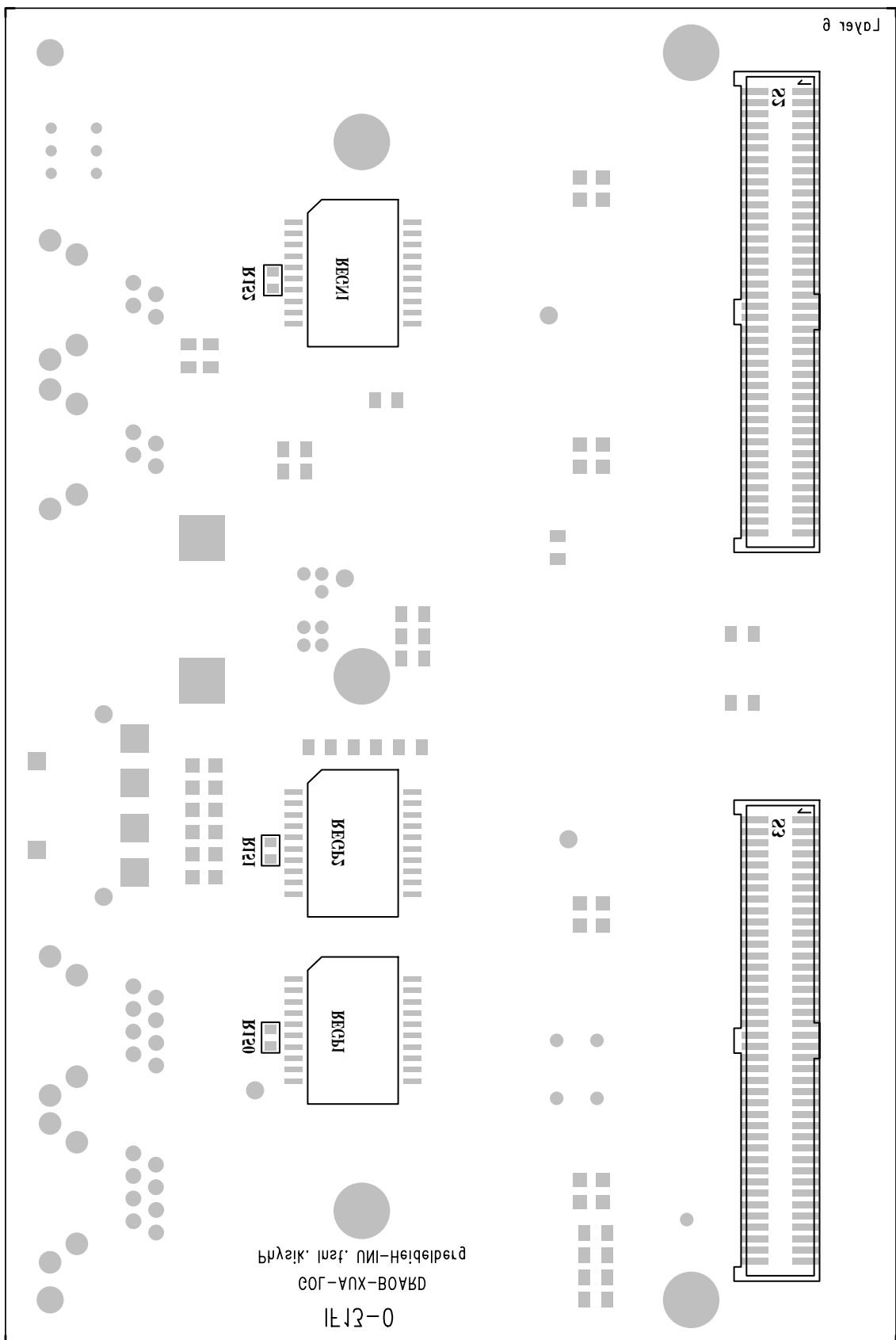


Abbildung E.2: GOL-Auxiliary-Karte unten.

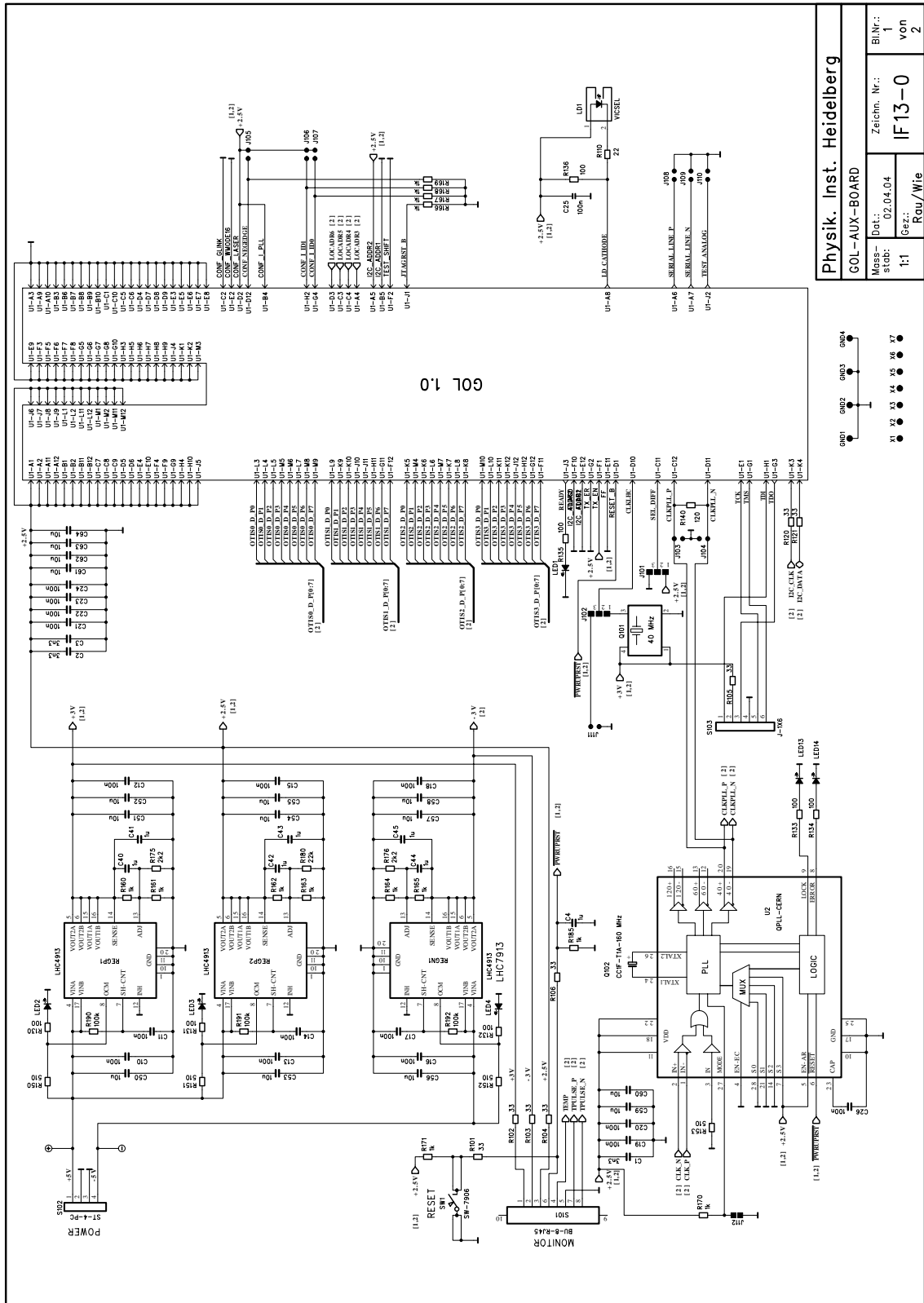


Abbildung E.3: Schaltplan der GOL-Auxiliary-Karte, Seite 1.



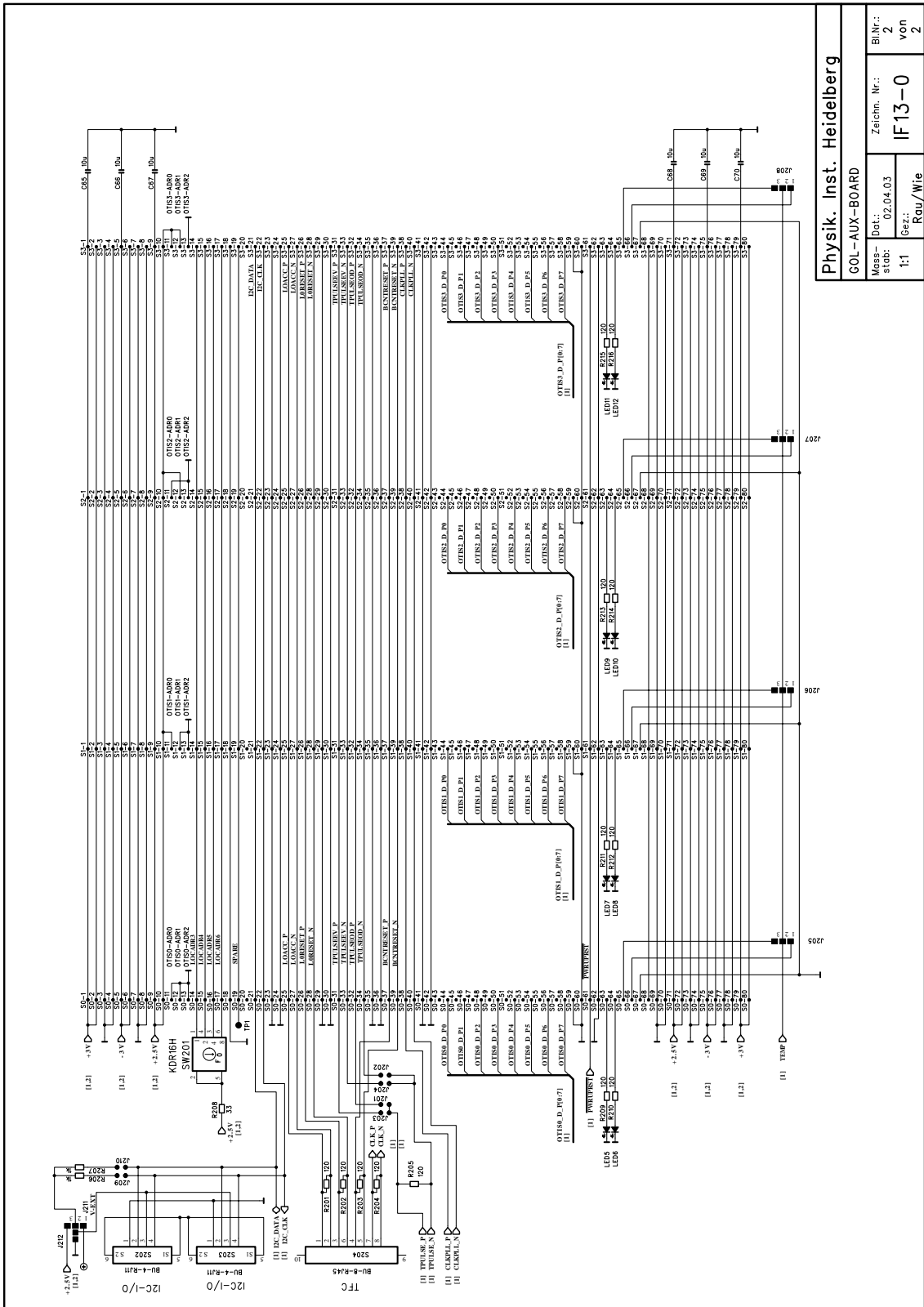


Abbildung E.4: Schaltplan der GOL-Auxiliary-Karte, Seite 2.

<b>Physik. Inst. Heidelberg</b>	
GOL-AUX-BOARD	
Massstab:	1:1
Dat.:	02.04.03
Zeichn. Nr.:	IF 13-0
Bl.Nr.:	2
von:	2
Gez.:	Rau/Wie



## Anhang F

### O-RxCARD IF14-0

Die O-RxCARD [9] empfängt die optischen Daten von 12 Glasfaserverbindungen, deserialisiert die Daten und gibt sie bei 12 mal 16 Bit · 80 MHz aus. Die O-RxCARD wurde als Tochterkarte der TELL1-Karte [8] entwickelt. Die O-RxCARD in der Version für die Vorserie IF14-1 ist in [10] beschrieben.

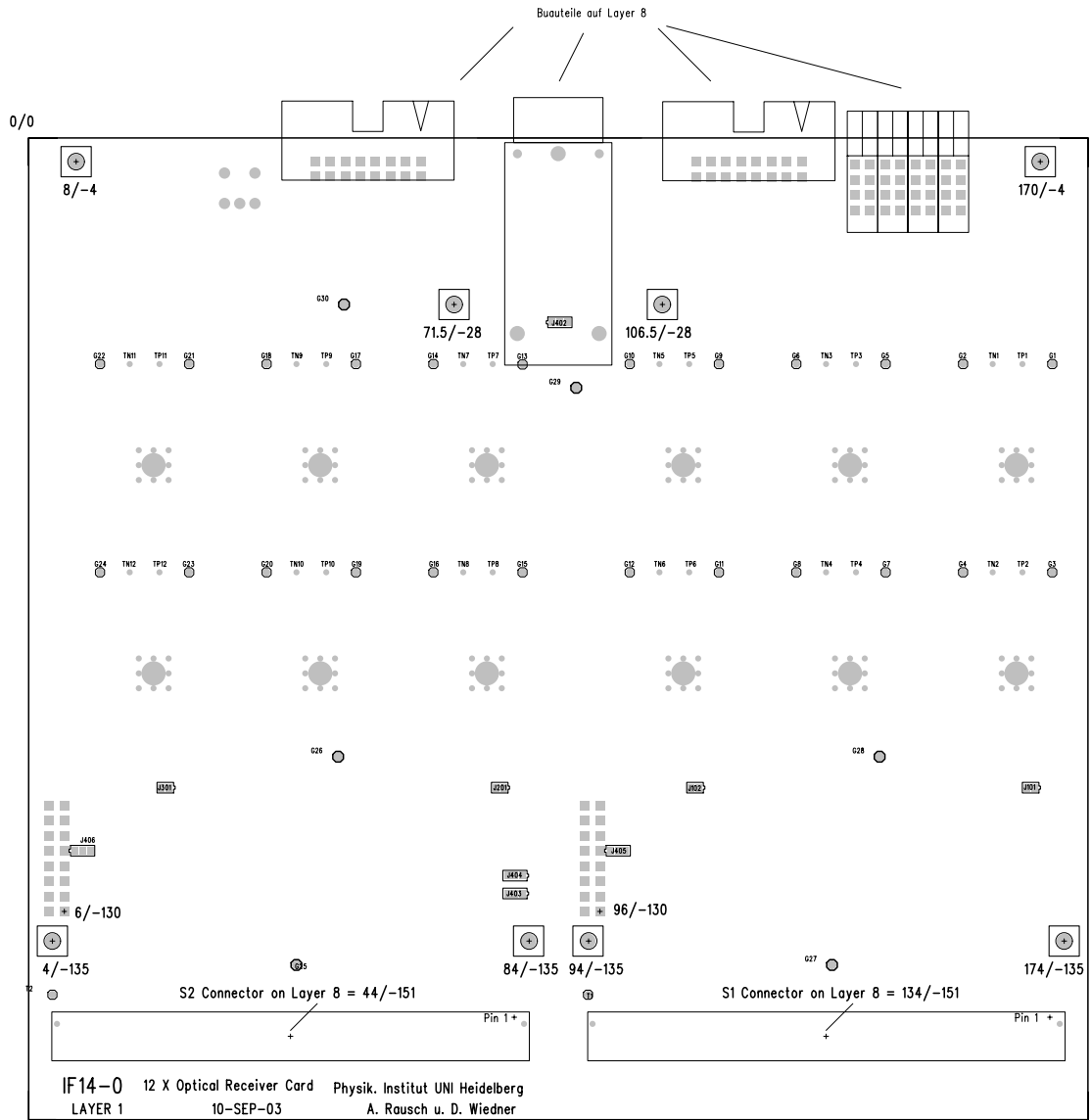


Abbildung F.1: O-RxCARD Bestückung Lage 1.

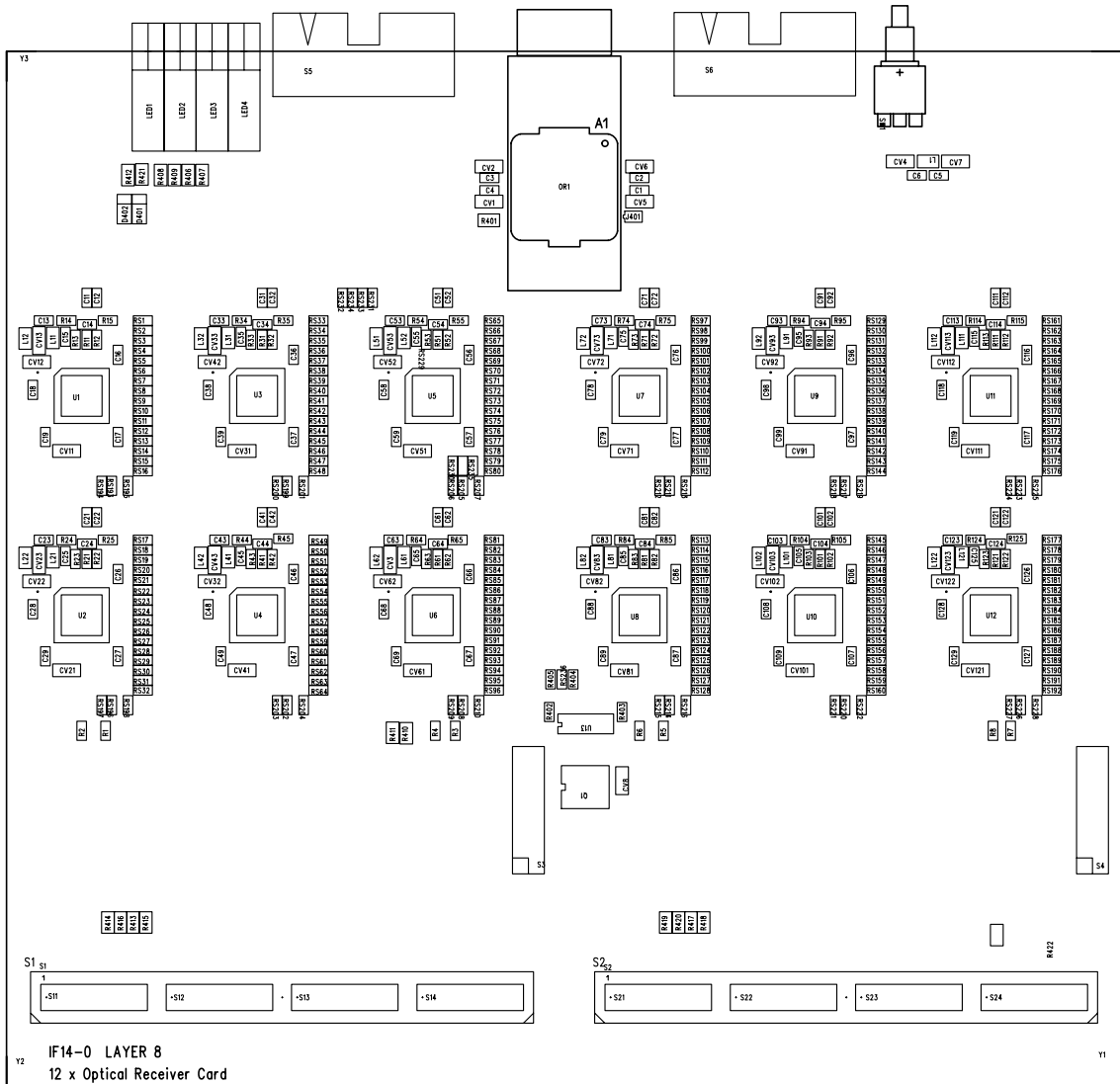


Abbildung F.2: O-RxCARD Bestückung Lage 8.

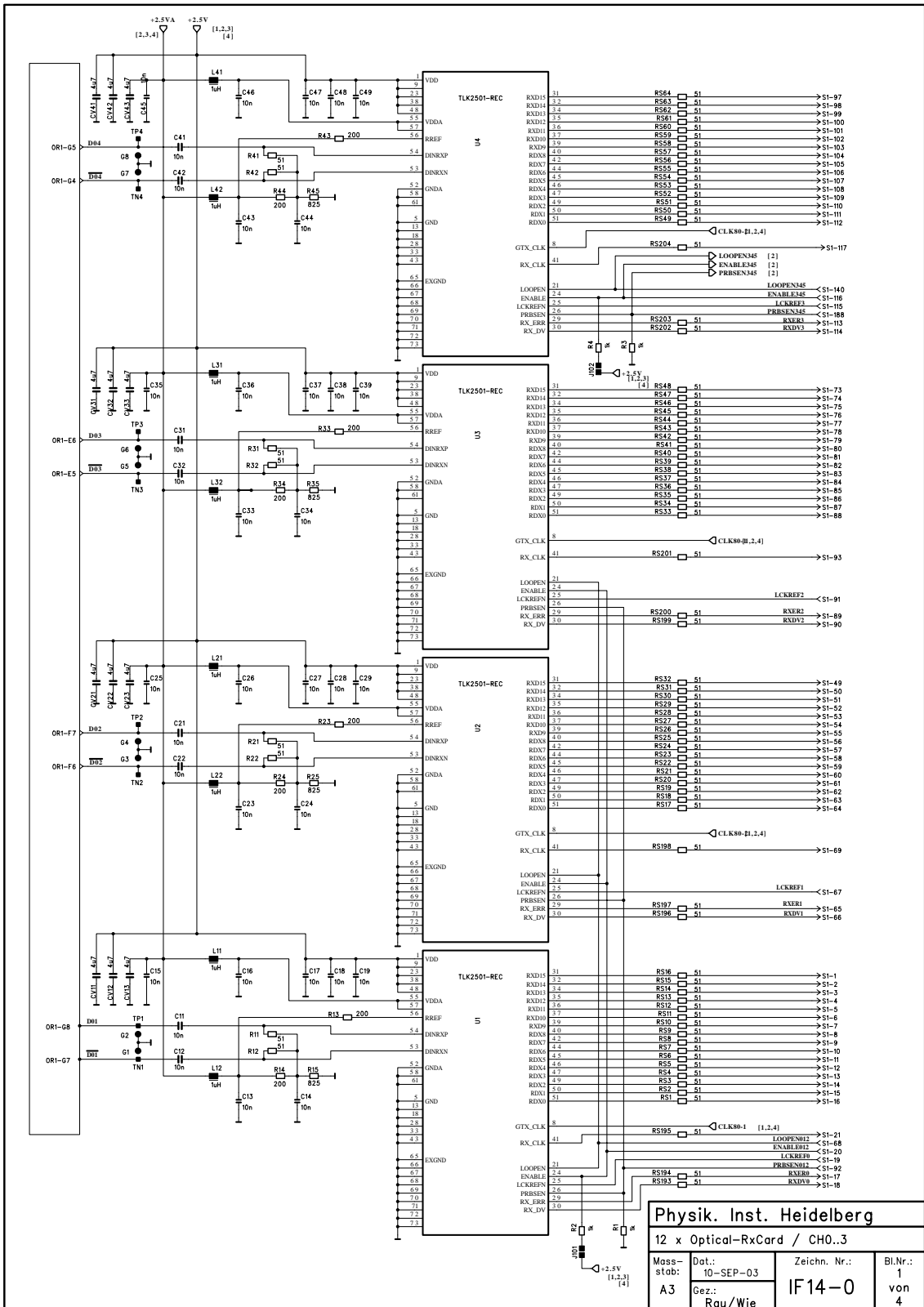


Abbildung F.3: Schaltplan der O-RxCARD, Seite 1.

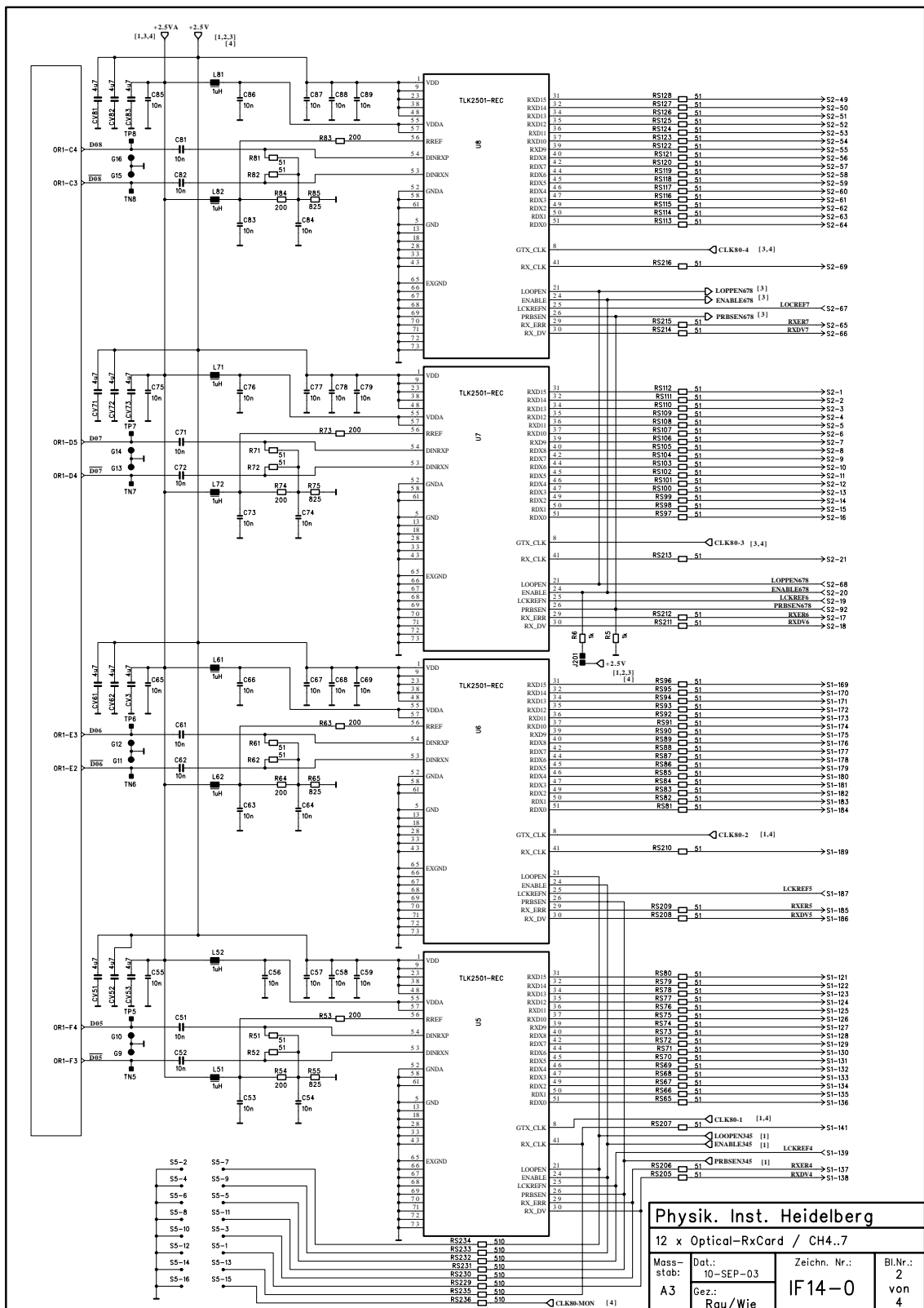
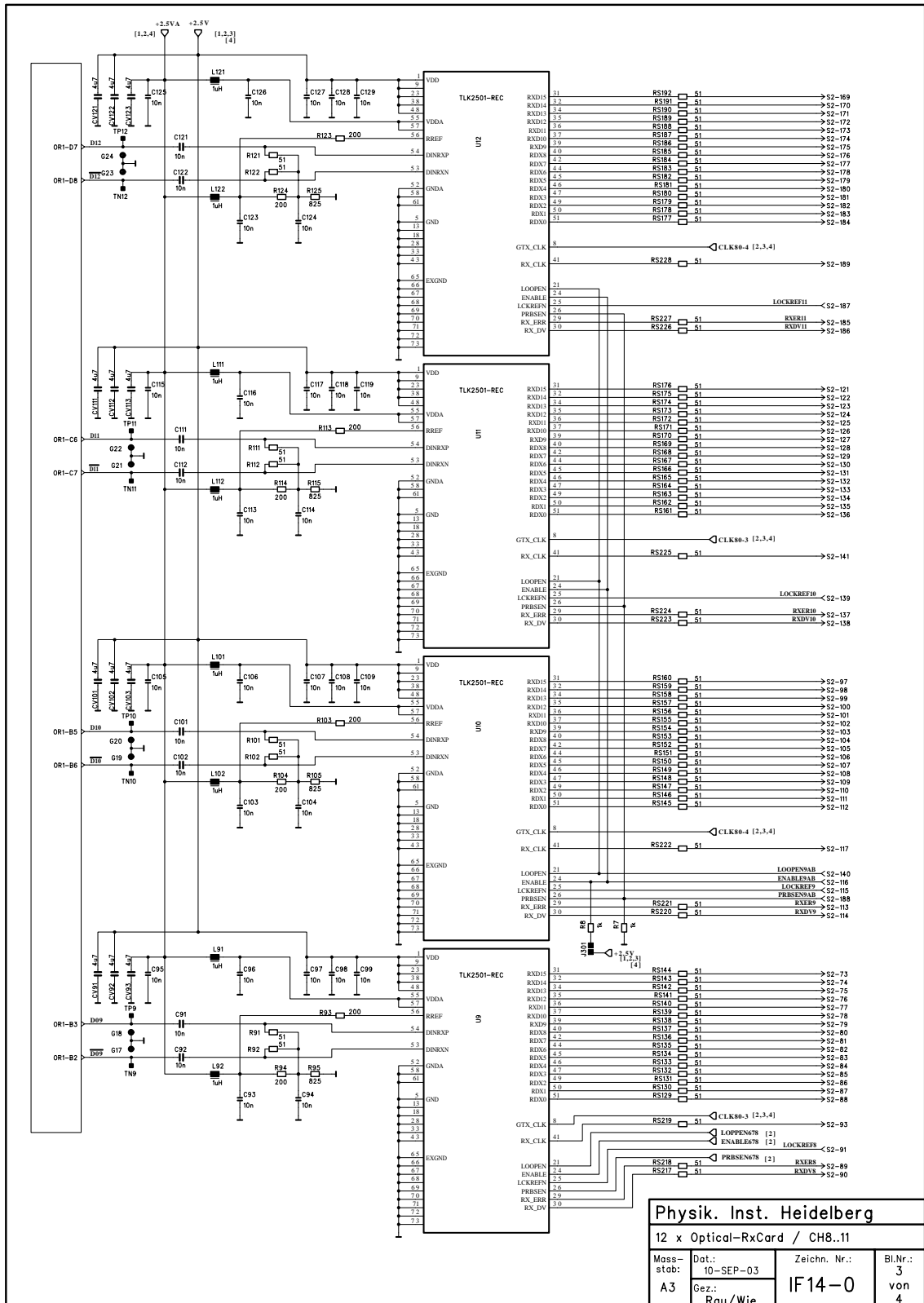


Abbildung F.4: Schaltplan der O-RxCARD, Seite 2.



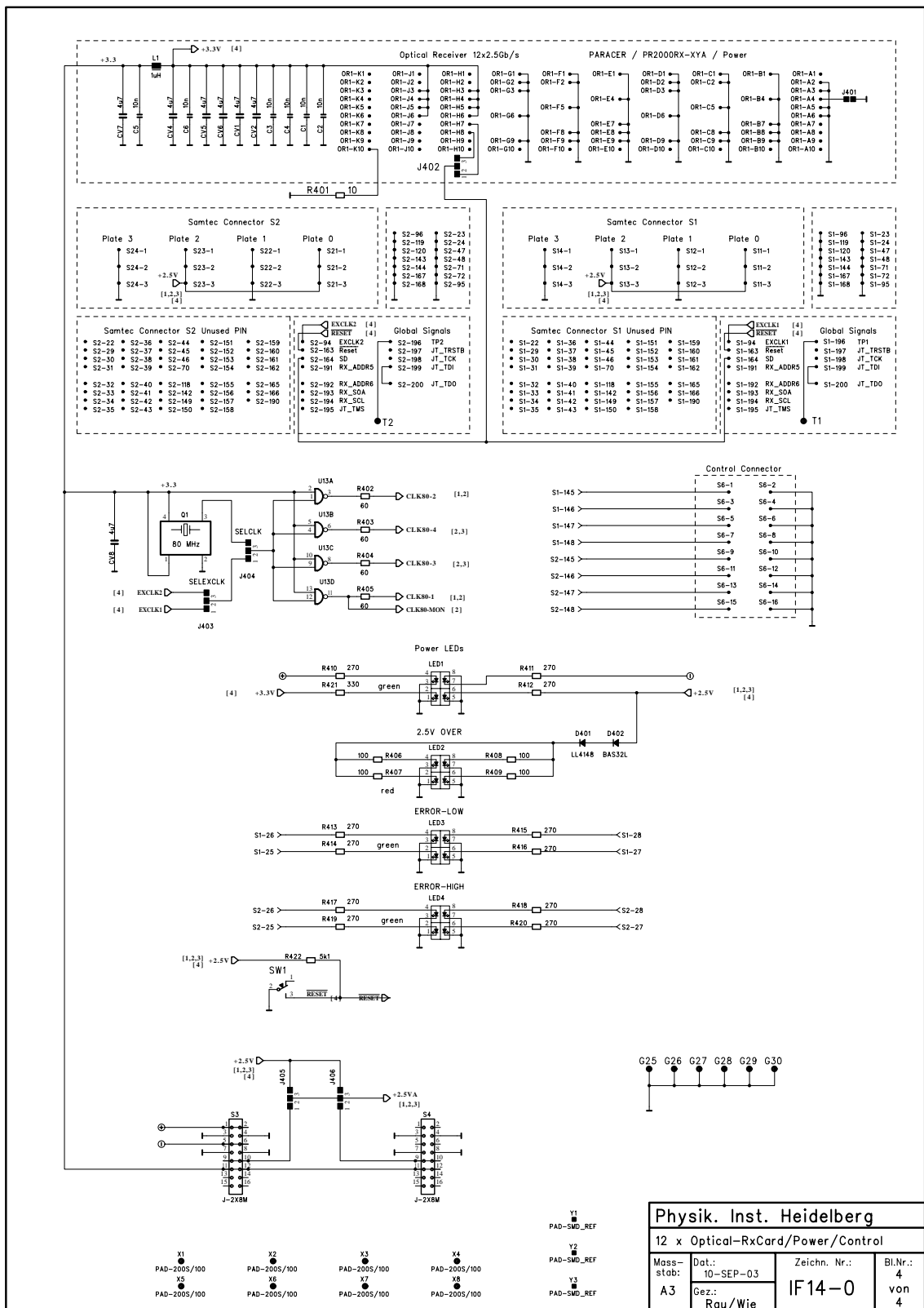
**Physik. Inst. Heidelberg**

12 x Optical-RxCARD / CH8..11

Massstab:	Dat.: 10-SEP-03	Zeichn. Nr.:	Bl.Nr.:
A3	Gez.: Rau/Wie	IF14-0	3 von 4

Abbildung F.5: Schaltplan der O-RxCARD, Seite 3.





Physik. Inst. Heidelberg			
12 x Optical-RxCARD/Power/Control			
Massstab: A3	Dat.: 10-SEP-03	Zeichn. Nr.: IF14-0	Bl.Nr.: 4 von 4
Gez.: Rau/Wie			

Abbildung F.6: Schaltplan der O-RxCARD, Seite 4.



# Anhang G

## Optischer Tastkopf SM4-0

Der optische Tastkopf wurde von der Universität Zürich entwickelt [36]. Er dient zur Messung des analogen Signals der optischen Daten auf den 1.6 GHz-Verbindungen mit Hilfe eines Oszilloskopes. Die wichtigsten Bauteile und ihre Bezugsadressen sind in [35] aufgelistet.

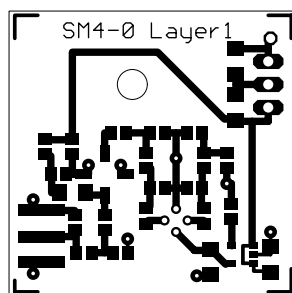


Abbildung G.1: Optischer Tastkopf SM4-0 Bestückungsseite.

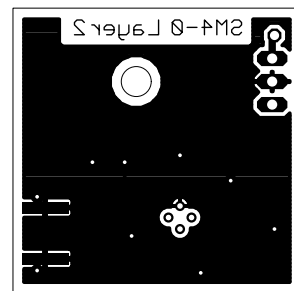


Abbildung G.2: Optischer Tastkopf SM4-0 Lötseite.

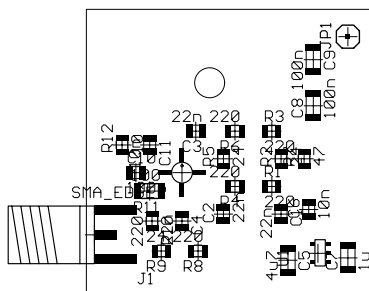


Abbildung G.3: Optischer Tastkopf SM4-0 Bestückungsplan oben.

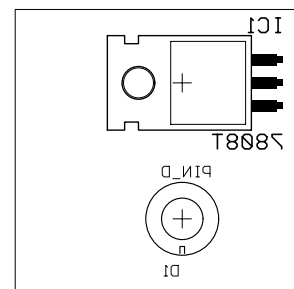


Abbildung G.4: Optischer Tastkopf SM4-0 Bestückungsplan unten.

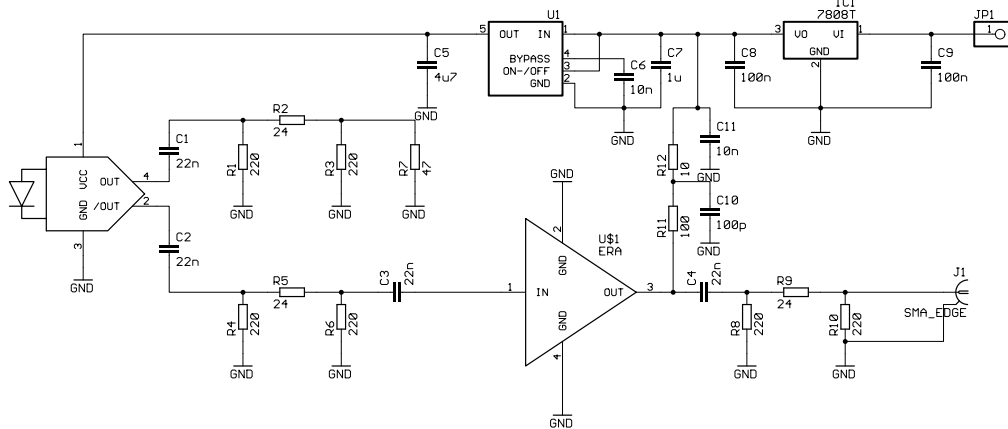


Abbildung G.5: Schaltplan optischer Tastkopf SM4-0.

## Anhang H

# OT-Clusteralgorithmus C-Programm

Dies ist der Cluster Algorithmus, in der Version der Trigger Tracker Studie.

```
//=====
// OT clusters reconstruction
// Dirk Wiedner 2002
// input parameters:
// pointer to struct k_trcking_digit* ot_digi -> primary hit information
// tot_num total number of straws in the current module (eg. 64,128,(192))
// module id mod_id,layer,station
//
// output:
// pointer to struct k_tracking_digit* ot_clus -> preprocessed hit information
// pointer to mot_clus
//
// this function has to be called for each module
//
//=====
void L12Rec::f_OTClusters(int ista, int ilay, int imod, int nstraws) {
    // starts with OT digits in ot_digi and produces OT clusters in ot_clus

    //definitions
    int tot_num=192;           /* number of channels in module */
    int channel[(tot_num+2)]; /* hitmask (empty left and right) */
    int channel_pointer[(tot_num+2)]; /* pointer to input hit */
    int station=1;           /* station */
    int layer=1;             /* layer */
    int mod_id=4;            /* module id*/
    int i,j=0;
```

```

int cp=0;
int cpr=0;
int mc=0;                               /*short for channel_pointer,mot_clus*/
int nr,nl;                               /*right neighbour,left neighbour*/
int flag=0;                              /*single=1,straight double = 2*/
                                           /*left/right double = 3 */
int six_bit=0;                           /*if this flag is set to 1 */
                                           /*dirft radii will be treated as 6-bit*/

double r1,r2,r;                          /*drift radii */
double x_pos;                             /*x-position of wire*/
double x_pitch=5.25;                     /*wire pitch in x */
double z_pitch=5.6;                      /*wire pitch in z */
double z_pos;                             /*z-position of wire*/
double angle=0,pa;                       /*tan tetha=x/z */
pa=(x_pitch/z_pitch)/4;                  /*critical angle between straws*/
//initialize hitmask

cout << "\n Dirks Outer Tracker algorithm\n";

mc=mot_clus;
station = ista;
layer = ilay;
mod_id = imod;
tot_num = nstraws;

for(i=0;i<tot_num+2;i++)
{
    channel[i]=0;
    channel_pointer[i]=0;
}

//loop over ALL Outer Tracker hits and fill hitmask

for(i=0; i<mot_digi; i++)
{
    //f_PrintDigit(ot_digi[i]);
    if ((mod_id==ot_digi[i].mod)&&(station==ot_digi[i].sta)&&
(layer==ot_digi[i].lay))
{
    j=ot_digi[i].cel;
    channel[j]=1;
    channel_pointer[j]=i;
}
}

```

```

    }

//loop over all channels

for(i=1;i<=tot_num;i++)
  {
    if(channel[i]) //is there a hit in the channel?
  {
    flag=0;
    //find right neighbour nr and left neighbour nl
    if (i<=(tot_num/2))
      {
        nr=tot_num/2+i-1; //depends on how layers are staggered
        nl=nr+1;
        if(i==1) nr=0;
      }
    else if(i>(tot_num/2))
      {
        nr=i-(tot_num/2);
        nl=nr+1;
        if(i==tot_num) nl=0;
      }

    if(channel[nr]) //hit to the right?
      {
        //double hit
        flag=2;
        //copy data from k_tracking_digit
        cp = channel_pointer[i];
        cpr= channel_pointer[nr]; //right neighbour
        r=0;
        r1=ot_digi[cp].udist; //drift radius
        r2=ot_digi[cpr].udist;
        x_pos=ot_digi[cp].ucel;
        z_pos=ot_digi[cp].zc;
        //how was the track angle?
        if(z_pos!=0) angle=x_pos/z_pos;
        if(angle>pa) //left-angle hit
      {
        if (i<=tot_num/2)
          {
            r=(-r1+(-x_pitch/2+r2))/2; //straight
          }
        else

```

```

    {
        //r=(r1+(-x_pitch/2+r2))/2;
        r=(r1+r2)/2; //ambiguos under angle
        flag=3;
    }
}
    if(angle<(-pa)) //right-angle hit
{
    if(i<=tot_num/2)
    {
        //r=(r1+(-x_pitch/2+r2))/2;
        r=(r1+r2)/2; //ambiguos under angle
        flag=3;
    }
    else
    {
        r=(-r1+(-x_pitch/2+r2))/2; //straight
    }
}
    else r=(-r1+(-x_pitch/2+r2))/2; //straight

    if(i<(tot_num/2)) z_pos = z_pos+z_pitch/2;
    else z_pos = z_pos-z_pitch/2;

    ot_clus[mc]=ot_digi[cp];
    ot_clus[mc].udist=r;
    ot_clus[mc].zc = z_pos;
    if(flag==3) ot_clus[mc].ucel= ot_clus[mc].ucel-(x_pitch/4);
    //ot_clus[mc].flag=flag; //flag:single 1,double 2,strong angle 3
    mc++;
} //end of double hit
else if(channel[nl]) //hit to the left?
{
    //hit is send with the left neighbour
    flag=4;
}
else
{
    //single hit
    cp=channel_pointer[i];
    ot_clus[mc]=ot_digi[cp]; //data is kept unchanged
    flag=1;
    //ot_clus[mc].flag=flag; //flag:single 1,double 2,strong angle 3
    mc++;
}

```



```
    }  
    cout << flag << " ";  
} //end of if(channel[i])...  
  } //end of channel loop  
  
  mot_clus=mc;  
};
```



# Abkürzungen

A-RxCARD	Analog Receiver Card
ACEX	FPGA Bezeichnung
ADC	Analog to Digital Converter
ASIC	Application Specific Integrated Circuit
ASDBLR	Amplifier-Shaper-Discriminator with Baseline Restoration
Ar	Argon
AS24-0	Adapter 24, Testadapter für die optische Empfängerkarte
AS27-0	Adapter 27, LVDS Treiber Karte für AS24
ATX	Advanced Technology eXtended - PC Motherboard Formfaktor
BGA	Ball Grid Array
Bcnt	Bunch Counter
BERT	Bit Error Rate Test
BNC	Bayonet Neill Concelman Stecker
Bx	Bunch Crossing
CAT6	Category 6 (common network cable)
CCPC	Credit Card PC
CERN	Centre Européenne pour la Recherche Nuclaire
CF <sub>4</sub>	Tetraflourmethan
CKM	Cabibbo Kobayashi Maskawa
CLK	Clock
CML	Current Mode Logic
CO <sub>2</sub>	Kohlendioxid
CPU	Central Processing Unit
DAC	Digital to Analog Converter
DAQ	Data acquisition for L1T und HLT Trigger Data
DDR	Double Data Rate
DESY	Deutsches Elektronen-SYnchrotron
DLL	Delay Locked Loop
DSP	Digital Signal Processor
ECS	Experiment Control System
ELV-Box	Interface zwischen paralleler Schnittstelle und I <sup>2</sup> C Bus
<sup>55</sup> Fe	Eisenisotop

FE-Box	Front End Box
FEM	Front end EMulator
FIFO	First In First Out buffer
FPGA	Field Programmable Gate Array
GBE	Gigabit Ethernet
GBit	10 <sup>9</sup> Bits
GND	Ground Potential
GOL	CERN Implementierung eines strahlenharten 1.6-Gbit/s Serialisierers
GOL EV2	GOL Karte Evolution 2, erste Leiterplatte mit GOL 1.0 (+FPGA)
GTX_Clk	Referenztakt des TLK2501 SERDES Mikrochips
HEP	High Energy Physics, bzw. Hoch Energie Physik
HERA-B	Hadron-Electron Ring Accelerator Beauty experiment
HLT	High Level Trigger
HV	High Voltage
I <sup>2</sup> C	Inter-Integrated circuit Control bus (Philips Semiconductors)
I2CEXT	I <sup>2</sup> C LVDS extender Platine
IC	Intigrated Circuit
IF13	Interface 13, GOL-Auxiliary-Board
IF14	Interface 14, Optical Receiver Card
IO	Input Output
IT	Inner-Tracker von LHCb
$I_{bias}$	Biasstrom
$I_{TH}$	Schwellenstrom
JTAG	Joint Test Action Group
KAT 5	Kategorie 5 (Netzwerkkabel) bis 100 MHz
LabView	Programmpaket von National Instruments zur Steuerung von Laborprozessen mit einem graphischen Benutzerinterface
Lckref	Lock to Reference
LED	Light Emitting Diode
L0	Level 0, Vorentscheidungsebene
L1	Level 1, erste "echte" Entscheidungsebene
L1B	Level 1 Buffer
LHC	Large Hadron Collider
LHCb	Large Hadron Collider beauty experiment
L0DU	Level 0 Decision Unit
LoopEn	Loop back Enable
LSB	Least Significant Bit
LVDS	Low Voltage Differential Signalling
LVTTL	Low Voltage Transistor to Transistor Logic
MM	Multi Mode

MSGC	Micro Strip Gas Chamber
MSB	Most Significant Bit
MTP/MPO	Multi Termination Push On connector (for optical fiber ribbons)
NIKHEF	The National Institute for Nuclear Physics and High Energy Physics
NIM	Nuclear Instrumentation Methods
O-RxCard	Optical Receiver Card
OT	Outer-Tracker of LHCb
OTIS	Outer tracker Time Information System
OTISmem	OTIS memory chip
PC	Personal Computer
PCB	Printed Circuit Board
PCI	Peripheral Component Interconnect
PECL	Pseudo Emitter Coupled Logic
pk-pk	Spitze zu Spitze
PLL	Phase Lock Loop
PM	Photo Multiplier
PP-FPGA	Pre Processor FPGA
PRBSEn	Pseudo Random Bit Select Enable
PROM	Programmable Read-Only Memory
QDR	Quad Data Rate
QPLL	Quartz Crystal Based Phase-Locked Loop for Jitter Filtering Application in LHC
RAM	Random Access Memory
RF	Radio Frequency
RICH	Ring Imaging Cherenkov detector
RMS	Root Mean Square
RO-TxCard	Read Out Transmitter Card
ROM	Read Only Memory
RS	Readout Supervisor
RxCard	Receiver Card (steht für A-RxCard und O-RxCard)
RxCk	Receive Clock
RxDv	Receive Data Valid
RxEr	Receive Data Error
Ru	Ruthenium
SC	subscription channel connector (für Glasfaserverbindungen)
SCL	Serial CLock line
SDA	Serial DAta line
SDR	Single Data Rate
SERDES	Serialisierer Deserialisierer Schaltkreis
SH-CNT	Short Circuit Valve Controlling pin des Niederspannungsreglers

SHIPPO	Schnelles Hochenergiephysik Interface und Preprocessing Programm für den Outer Tracker
SM	Standard Modell
SM4	Optischer Tastkopf
SMA	Straight Medium Adaptor connector
SNAP	Sub Network Access Protocol
SNAP12	12 channel pluggable module multi source agreement
SPECS	Serial Protocol for the Experimental Control System of LHCb
ST	straight tip connector (für Glasfaserverbindungen)
ST	Silicon-Tracker von LHCb (IT und TT zusammen)
SRATIX	FPGA Mikrochip der Firma ALTERA
Stratix EVO PCI Kit	Leiterplatte zur Evaluation des Stratix FPGA mit PCI Interface
SyncLink-FPGA	Synchronisation und Link FPGA
T1-3	Tracking Stationen 1 bis 3 (auch ST(ation)1-3)
TDC	Time to Digital Converter
TDR	Technical Design Report
TELL1	Trigger ELectronics and L1 board
TeV	$10^{12}$ eV, ca. $1.6 \cdot 10^{-7}$ J
TFC	Timing and Fast Control
TLK2501	Texas Instruments SERDES chip
TLK EVO	Leiterplatte zur Evaluation des TLK2501 Serialisierers/Deserialisierers
TT	Trigger-Tracker
TTC	Timing and Trigger Control
TTCrm	TTCrx mezzanine Leiterplatte
TTCrq	TTCrx plus QPLL mezzanine Leiterplatte
TTCrx	TTC receiver chip
TTCtx	TTC laser transmitter
TTCvi	TTC-VMEbus Iinterface
TTCvx	VME-sized multiplexer, encoder and fiber-optics transmitter module
TTL	Transistor to Transistor Logic
Tx_En	Transmit Enable
Tx_Er	Transmit Error Propagation
VCC	Versorgungsspannung
VCSEL	Vertical Cavity Surface Emitting Laser
VHDL	Very High Speed Integrated Circuit Hardware Description Language
VME	Versa Module Eurocard
VeLo	The Vertex Locator von LHCb
VETO	Pile up Veto Detector
Via	Vertical Interconnect auf einer Leiterplatte

# Tabellenverzeichnis

1	Interessante B-Zerfälle jährlich . . . . .	4
1.1	“Ereignisse” und gesammelte Ladung 3 m-Prototyp, “Antje” . . . . .	18
3.1	Pegel an den OTIS 1.0 DACs vs. Registerwert . . . . .	30
3.2	Spannungen I <sup>2</sup> C-LVDS-Entkoppelung . . . . .	33
4.1	GOL 0.1 Testaufbau Komponenten . . . . .	40
4.2	GOL 1.0 Testaufbau Komponenten . . . . .	44
4.3	Stromaufnahme GOL 1.0 Testaufbau . . . . .	48
4.4	Übertragungsstrecke mit TTC-System, GOL 1.0 und OTIS-TDC 1.0 Kom- ponenten . . . . .	52
4.5	Twisted-Pair-Verbindung zwischen TTCrm und OTIS-TDC . . . . .	57
4.6	Spannungen am TTCrx-OTIS-Aufbau . . . . .	58
4.7	Signalqualität im TTCrx-OTIS-Aufbau . . . . .	58
4.8	DLL-Kontrollspannung . . . . .	58
4.9	Daten am OTIS-Ausgang . . . . .	59
4.10	LED-Einstellung . . . . .	60
5.1	Lastwiderstände an GOL-Aux-Karte . . . . .	72
5.2	Welligkeit Spannung an GOL-Auxiliary-Karte, 5 ns Basis . . . . .	74
5.3	Komponenten Übertragungsstrecke GOL-Auxiliary-Karte -TLK2501-EVO . . . . .	83
5.4	Zustand GOL 1.0 und TLK2501 beim Einschalten . . . . .	86
5.5	Zustand TLK2501 nach Ein- Ausstecken der Fiber . . . . .	86
5.6	Spannungen GOL-Aux- und TLK2501-Karte . . . . .	87
5.7	Länge der Taktzuführungsleitung vs. Datenverlust . . . . .	92
5.8	Übertragungsstrecke mit TTC-System, GOL-Aux-Karte, Komponenten . . . . .	95
5.9	QPLL-Lockrange, feste Frequenz, variable Temperatur . . . . .	98
5.10	QPLL-Lockrange, feste Temperatur, variable Frequenz . . . . .	99
5.11	Frequenzbereich der verschiedenen Komponenten . . . . .	99
5.12	LVDS-Standard . . . . .	103
5.13	$I_{bias}$ vs optische Amplitude . . . . .	113
6.1	Stromaufnahme FE-Box . . . . .	117

7.1	Stratix-Kit-Adapterkarte "St.Cruz", Fehlerratentest . . . . .	131
7.2	Lange Fehlerratentests . . . . .	132
7.3	Anstiegs- und Abfallzeiten O-RxCARD . . . . .	133
8.1	Stratix-Kit-Adapterkarte "St.Cruz" . . . . .	146
8.2	Phasenjitter durch LVDS-TTL-Konverter . . . . .	150
9.1	L1-Triggerdaten auf TELL1 . . . . .	159
10.1	Anschluß ASDBLR-FE-Karte und OTIS 1.1 . . . . .	173
10.2	Anschlüsse OTIS 1.1 Cosmicstand . . . . .	176
B.1	Jumpereinstellung für GOL 1.0 Testaufbau . . . . .	187



# Abbildungsverzeichnis

1	Der LHCb-Detektor . . . . .	2
2	Das äußere Spurkammersystem schematisch . . . . .	5
3	Straw-Modul des äußeren Spurkammersystems . . . . .	6
4	Straw-Proportionalzählrohr . . . . .	6
5	Ausleseelektronik . . . . .	7
6	ASDBLR-Karte . . . . .	8
7	OTIS-TDC . . . . .	8
8	GOL-Auxiliary-Board . . . . .	9
9	Front-End-Box . . . . .	10
10	O-RxCard . . . . .	10
11	TELL1 . . . . .	11
12	Stratix-PCI-Kit . . . . .	12
1.1	Das LHCb-Strawmodul im HERA-B-Detektor . . . . .	16
1.2	Position des LHCb-Moduls relativ zum Strahl . . . . .	16
1.3	Ladungsdeposition für 3 m-Prototyp und “Antje” . . . . .	17
1.4	“Ereignis” in HV-Gruppe 1 und 4 . . . . .	19
1.5	“Ereignisse” in HV-Gruppe 1, 4 und “Antje” . . . . .	20
1.6	MSGC-“Ereignis” . . . . .	21
2.1	OTIS-TDC Blockschaltbild . . . . .	24
2.2	OTIS 1.0 TDC . . . . .	25
2.3	Differentielle Nichtlinearität am OTISmem . . . . .	26
2.4	Speicherzelle des OTIS-TDCs schematisch . . . . .	26
2.5	Zeitkonstanten des TDC-Speichers . . . . .	27
3.1	Galvanische Trennung mit Optokopplern für den I <sup>2</sup> C-Bus . . . . .	31
3.2	Entkoppelung durch LVDS-Signalführung für den I <sup>2</sup> C-Bus . . . . .	32
3.3	Abschalten des inaktiven I <sup>2</sup> C-Signals . . . . .	32
3.4	Testaufbau I <sup>2</sup> C-LVDS-Entkoppelung . . . . .	33
4.1	Optische Übertragung mit dem GOL 0.1 Prototyp, Blockdiagramm . . . . .	36
4.2	Optische Übertragung mit dem GOL 0.1 Prototyp, Photo . . . . .	37
4.3	Augendiagramm GOL 0.1, Ausgang zu optischem Sender . . . . .	38
4.4	Augendiagramm optischer Empfänger, Stecker zu TLK2501 . . . . .	39

4.5	Zählerdaten 20 MHz bzw. Takt 80 MHz an TLK2501 . . . . .	39
4.6	Optische Übertragung mit dem GOL 1.0, Blockdiagramm . . . . .	42
4.7	Optische Übertragung mit dem GOL 1.0, Photo . . . . .	43
4.8	Augendiagramm RXP-Eingang TLK2501-EVO $I_{BIAS}=5.8$ mA . . . . .	46
4.9	Augendiagramm VCSEL-Diode (ele.) . . . . .	46
4.10	Rückgeführte Daten $I_{BIAS}=5.8$ mA . . . . .	46
4.11	Augendiagramm RXP-Eingang TLK2501-EVO $I_{BIAS}=16.2$ mA . . . . .	46
4.12	Augendiagramm VCSEL-Diode (ele.) $I_{BIAS}=16,2$ mA . . . . .	46
4.13	Rückgeführte Daten bei $I_{BIAS}=16,2$ mA . . . . .	46
4.14	Augendiagramm VCSEL-Diode (ele.)bei $I_{BIAS}=5.8$ mA . . . . .	47
4.15	Augendiagramm VCSEL-Diode (ele.)bei $I_{BIAS}=7.4$ mA . . . . .	47
4.16	Augendiagramm VCSEL-Diode (ele.)bei $I_{BIAS}=11.4$ mA . . . . .	47
4.17	Augendiagramm VCSEL-Diode (ele.)bei $I_{BIAS}=16.2$ mA . . . . .	47
4.18	Augendiagramm RXN TLK2501-EVO bei $I_{BIAS}=5.8$ mA, Daten NULL . . . . .	47
4.19	Augendiagramm VCSEL (ele.)bei $I_{BIAS}=5.8$ mA, Daten NULL . . . . .	47
4.20	TTCrx-OTIS-FPGA-GOL-Ausleseketten, Blockschaltbild . . . . .	50
4.21	Takt TTCrx alt, keine Mittelung . . . . .	54
4.22	Takt TTCrx 3.1, keine Mittelung . . . . .	54
4.23	Takt TTCrx alt, 10 s Mittelung . . . . .	54
4.24	Takt TTCrx 3.1, 10 s Mittelung . . . . .	54
4.25	Takt TTCrx alt, 10 s Einhüllende, 1 ns pro Kästchen . . . . .	54
4.26	Takt TTCrx 3.1, 10 s Einhüllende, 1 ns pro Kästchen . . . . .	54
4.27	Takt TTCrx 3.1, Einhüllung 32 ms, 1 ns pro Kästchen . . . . .	55
4.28	TTCrx-OTIS-Ausleseketten, Blockschaltbild . . . . .	56
4.29	TTCrx-OTIS-FPGA-GOL-Aufbau . . . . .	63
4.30	TTCrm und Motherboard . . . . .	63
4.31	OTIS-EV2-Karte . . . . .	64
4.32	GOL-EV2-Karte . . . . .	64
4.33	TLK2501-Evaluation-Karte . . . . .	65
5.1	GOL-AUX-Karte schematisch . . . . .	67
5.2	Aufbau Regler GOL-AUX-Karte unter Last . . . . .	71
5.3	Spannung -3 V-Ausgang vs. R . . . . .	72
5.4	Spannung +3 V-Ausgang vs. R . . . . .	73
5.5	Spannung +2.5 V-Ausgang vs. R . . . . .	73
5.6	Aufbau Regler GOL-AUX-Karte unter Last, Messung der Welligkeit . . . . .	75
5.7	Spannung -3 V-Ausgang / $V_{ADJ}$ vs. R . . . . .	76
5.8	Oszillationen auf dem -3 V-Regler, $0.9 \Omega$ Last . . . . .	76
5.9	Spannung -3 V-Ausgang plus Oszillation vs. R . . . . .	77
5.10	Spannung 3 V-Ausgang plus Oszillation vs. R . . . . .	77
5.11	Spannung +2.5 V-Ausgang plus Oszillation vs. R . . . . .	78
5.12	Oszillationen am 2.5 V-Regler, GOL 1.0 . . . . .	79
5.13	Oszillationen am 2.5 V-Regler, GOL 1.0, 20 ns Basis . . . . .	79
5.14	Oszillationen +5 V-Eingang GOL-Aux-Karte . . . . .	79

5.15	Oszillationen +5 V-Ausgang Netzteil . . . . .	79
5.16	Spannung -3 V-Ausgang plus Oszillation vs. R, 22 $\mu$ F Tantal . . . . .	81
5.17	Spannung -3 V-Ausgang plus Oszillation vs. R, Trimpoti . . . . .	81
5.18	Aufbau GOL-AUX-Karte mit TLK-EVO-Karte . . . . .	82
5.19	Takt 40 MHz-Quarz auf GOL-Aux-Karte . . . . .	85
5.20	Takt 80 MHz-Quarz auf TLK-Karte . . . . .	85
5.21	Takt Rx_Clk 80 MHz auf TLK-Karte . . . . .	85
5.22	QPLL 41 MHz-Takt frei schwingend pos. . . . .	85
5.23	Rx_Clk auf TLK-Karte instabil . . . . .	85
5.24	Aufbau Daten von GOL-EV2 über GOL-Aux auf TLK-EVO . . . . .	88
5.25	Signal GOL-EV2 auf GOL-Aux-Karte ohne Terminierung . . . . .	90
5.26	Signal GOL-EV2 auf GOL-Aux-Karte 120 $\Omega$ -Terminierung . . . . .	90
5.27	Signal GOL-EV2 auf GOL-Aux-Karte 100 $\Omega$ -Terminierung . . . . .	90
5.28	Signal GOL-EV2 auf GOL-AUX-Karte 10 cm ohne Terminierung . . . . .	91
5.29	Signal GOL-EV2 auf GOL-Aux-Karte 47 cm ohne Terminierung . . . . .	91
5.30	Signal GOL-EV2 auf GOL-Aux-Karte 15 cm ohne Term., TLK RD5 . . . . .	91
5.31	Signal GOL-EV2 auf GOL-Aux-Karte 15 cm ohne Term., GOL-Aux S0- OTIS-Data5 . . . . .	91
5.32	Aufbau TFC-System an GOL-Aux-Karte . . . . .	94
5.33	OTIS 1.0 $V_{control}$ vs. Frequenz . . . . .	97
5.34	Taktsignale verteilt über GOL-EV2-Karte, TFC-System . . . . .	101
5.35	Jitter der Taktsignale verteilt über GOL-EV2-Karte, TFC-System . . . . .	101
5.36	LVDS-Verteilungsschema aktiv . . . . .	104
5.37	LVDS-Verteilungsschema passiv . . . . .	104
5.38	LVDS-Signal, passiv verteilt an 100 $\Omega$ . . . . .	106
5.39	LVDS-Signal Kanal 3, Kanal 0 nicht angeschlossen . . . . .	106
5.40	LVDS-Signal Kanal 3, Kanal 2 nicht angeschlossen . . . . .	106
5.41	LVDS-Signal Kanal 3, Kanal 0-2 nicht angeschlossen . . . . .	106
5.42	LVDS-Signal Kanal 3, Kanal 0 bis 2 kurzgeschlossen . . . . .	106
5.43	LVDS-Signal von QPLL passiv an OTIS-TDC verteilt, Aufbau . . . . .	107
5.44	LVDS-Signal von QPLL passiv verteilt . . . . .	108
5.45	LVDS-Signal von QPLL passiv verteilt an OTIS . . . . .	108
5.46	L0-Trigger-Signal 100 $\Omega$ terminiert . . . . .	108
5.47	L0-Trigger passiv verteilt, Signal 100 $\Omega$ terminiert . . . . .	108
5.48	BxReset passiv verteilt, Signal 100 $\Omega$ terminiert . . . . .	108
5.49	Referenzmessung Frequenzgenerator SMS2 . . . . .	110
5.50	Jitter TTCrm ClkDes1 vs SMS2 . . . . .	110
5.51	Jitter TTCrm diff. Takt . . . . .	110
5.52	Jitter OTIS direkt an LVDS-Treiber . . . . .	110
5.53	Jitter OTIS an passiver LVDS-Verteilung . . . . .	110
5.54	Jitter am Jitter-Filter QPLL . . . . .	111
5.55	Jitter OTIS direkt an QPLL . . . . .	111
5.56	Jitter OTIS über passive LVDS-Verteilung an QPLL . . . . .	111
5.57	Labora Aufbau optischer Tastkopf . . . . .	113

5.58	$I_{bias}$ vs optische Amplitude . . . . .	114
5.59	Augendiagramm 5 mA Biasstrom . . . . .	115
5.60	Augendiagramm 17 mA Biasstrom . . . . .	115
5.61	$I_{bias}$ vs Breite der Augenöffnung . . . . .	116
6.1	FE-Box . . . . .	118
6.2	Aufbau Messung phasenverschobener Testpulsen an FE-Box . . . . .	119
6.3	Integrale Nichtlinearität des OTIS 1.0, Einspeisung am ASD . . . . .	120
6.4	Integrale Nichtlinearität des OTIS 1.0, Einkoppelung über 10 pF am ASD . . . . .	121
7.1	O-RxCard, Datenfluß . . . . .	123
7.2	O-RxCard, Übersicht . . . . .	124
7.3	O-RxCard, Bild . . . . .	125
7.4	Zählerdaten an O-RxCard . . . . .	126
7.5	Taktverteilung mit Levelshifter . . . . .	127
7.6	Daten über ULM-VCSEL an O-RxCard . . . . .	128
7.7	Aufbau Fehlerraten test O-RxCard ACEX+Stratix-FPGAs . . . . .	130
7.8	Pulsform an O-RxCard IF14-0 . . . . .	134
7.9	50 $\Omega$ Serie, Aktivastkopf . . . . .	135
7.10	50 $\Omega$ Serie, Aktivastkopf +10 pF . . . . .	135
7.11	50 $\Omega$ Serie, Lemo-Kabel + 1 M $\Omega$ -Abschluß . . . . .	135
7.12	Lange Leiterbahn 30 $\Omega$ Serie, Aktivastkopf +10 pF . . . . .	135
7.13	Mittellange Leiterbahn 30 $\Omega$ Serie, Aktivastkopf +10 pF . . . . .	135
7.14	Kurze Leiterbahn 30 $\Omega$ Serie, Aktivastkopf +10 pF . . . . .	135
7.15	Lange Leiterbahn 50 $\Omega$ Serie, Aktivastkopf +10 pF . . . . .	136
7.16	Mittellange Leiterbahn 50 $\Omega$ Serie, Aktivastkopf +10 pF . . . . .	136
7.17	Kurze Leiterbahn 50 $\Omega$ Serie, Aktivastkopf +10 pF . . . . .	136
7.18	Lange Leiterbahn 100 $\Omega$ Serie, Aktivastkopf +10 pF . . . . .	136
7.19	Mittellange Leiterbahn 100 $\Omega$ Serie, Aktivastkopf +10 pF . . . . .	136
7.20	Kurze Leiterbahn 100 $\Omega$ Serie, Aktivastkopf +10 pF . . . . .	136
7.21	Takt direkt am Deserialisierer . . . . .	138
7.22	Takt an Deserialisierer U12, 20 $\Omega$ . . . . .	138
7.23	Takt an Deserialisierer U12, 50 $\Omega$ . . . . .	138
7.24	Takt an Deserialisierer U10, 50 $\Omega$ . . . . .	138
7.25	Takt an Deserialisierer U12, 60 $\Omega$ . . . . .	138
7.26	Takt an Deserialisierer U12, 100 $\Omega$ . . . . .	138
7.27	Augendiagramm TLK2501-EVO . . . . .	139
7.28	Augendiagramm pos. + neg. Data0 . . . . .	139
7.29	Augendiagramm neg. Data0 . . . . .	139
7.30	Augendiagramm neg. Data4 . . . . .	139
8.1	TELL1-Karte Datenfluß . . . . .	142
8.2	TELL1-Karte Photo . . . . .	143
8.3	Stratix-EVO-Kit Photo . . . . .	144

8.4	Bitfehlerratenestestaufbau mit Stratix-Karte . . . . .	145
8.5	OTIS 1.0 Datennahme mit Stratix-FPGA-PCI-Interface . . . . .	148
8.6	OTIS 1.0 Taktsynchrone Hits . . . . .	149
8.7	Integrale Linearität, OTIS 1.0 . . . . .	151
9.1	Doppeltreffer . . . . .	154
9.2	Einfachtreffer . . . . .	154
9.3	Ambiguität . . . . .	154
9.4	Unechte Spur . . . . .	154
9.5	Doppeltreffer 1. Viertel, Winkel $\leq 14^\circ$ . . . . .	157
9.6	Doppeltreffer 1. Viertel, Winkel $\geq 14^\circ$ . . . . .	157
9.7	Doppeltreffer 2. Viertel, Winkel $\leq 14^\circ$ . . . . .	157
9.8	Doppeltreffer 2. Viertel, Winkel $\geq 14^\circ$ . . . . .	157
9.9	Doppeltreffer 3. Viertel, Winkel $\leq 14^\circ$ . . . . .	158
9.10	Doppeltreffer 3. Viertel, Winkel $\geq 14^\circ$ . . . . .	158
9.11	Doppeltreffer 4. Viertel, Winkel $\leq 14^\circ$ . . . . .	158
9.12	Doppeltreffer 4. Viertel, Winkel $\geq 14^\circ$ . . . . .	158
9.13	Spurrekonstruktion mit dem Trigger-Tracker . . . . .	160
9.14	Auflösung der Spuren mit Clusteralgorithmus . . . . .	161
9.15	Impulsauflösung der TT-Station . . . . .	161
9.16	Anzahl richtiger/falscher Spuren vs. Strawauflösung . . . . .	162
9.17	Effizienz der TT1 für $B_d \rightarrow \pi^+ \pi^-$ . . . . .	163
10.1	Teststand zur Untersuchung von Straw-Kammern (Cosmicstand) . . . . .	166
10.2	Szintillatortrigger . . . . .	167
10.3	Zeitmessung Pulser an OTIS 1.1 . . . . .	168
10.4	Zeitmessung Szintillator "kurz" - "lang" . . . . .	169
10.5	OTIS 1.1 Integrale Nichtlinearität . . . . .	169
10.6	Szintillatoren an OTIS 1.1, Ruthenium . . . . .	170
10.7	Szintillatoren an OTIS 1.1, Cosmics . . . . .	171
10.8	TDC-Hitverteilung bei QPLL-Problemen . . . . .	172
10.9	TDC-Hitverteilung bei Kühlung . . . . .	172
10.10	TDC-Hitverteilung 25 ns Triggerpuls . . . . .	172
10.11	TDC-Hitverteilung Zufallstrigger . . . . .	172
10.12	TDC-Hitverteilung Zufallstrigger, 10.2 ns Triggersignal . . . . .	172
10.13	ASDBLR an Pulser, Störungen . . . . .	174
10.14	ASDBLR an Pulser, 50 fC, 200 mV Schwelle . . . . .	174
10.15	ASDBLR an Pulser, Adapterkarte . . . . .	175
10.16	OTIS 1.1 Zeitdifferenz Pulser . . . . .	176
10.17	OTIS 1.1 Zeitdifferenz Pulser . . . . .	176
10.18	Kosmische Strahlung mit Strawmodul gemessen . . . . .	177
10.19	Driftzeitspektrum an Strawmodul, Rutheniumquelle . . . . .	178
10.20	Driftzeitspektrum an Straw-Modul, kosmische Teilchen . . . . .	179

A.1	GOL 0.1 PCB EV1 Bestückungsplan oben . . . . .	183
A.2	GOL 0.1 PCB EV1 Bestückungsplan unten . . . . .	183
A.3	GOL 0.1 PCB EV1 Schaltplan . . . . .	184
B.1	GOL 1.0 PCB EV2 Bestückungsplan oben . . . . .	185
B.2	GOL 1.0 PCB EV2 Bestückungsplan unten . . . . .	185
B.3	GOL 1.0 PCB EV2 Schaltplan . . . . .	186
C.1	Anschlüsse I2CEXT-Karte . . . . .	189
C.2	Schaltplan I2CEXT-Karte . . . . .	190
D.1	Anschlüsse TBOTIS1-1 Karte . . . . .	192
D.2	Schaltplan OTIS 1.1 Testboard . . . . .	193
E.1	GOL-Auxiliary-Karte oben . . . . .	196
E.2	GOL-Auxiliary-Karte unten . . . . .	197
E.3	Schaltplan GOL-Auxiliary-Karte, Seite 1 . . . . .	198
E.4	Schaltplan GOL-Auxiliary-Karte, Seite 2 . . . . .	199
F.1	O-RxCard Bestückung Lage 1 . . . . .	202
F.2	O-RxCard Bestückung Lage 8 . . . . .	203
F.3	Schaltplan O-RxCard, Seite 1 . . . . .	204
F.4	Schaltplan O-RxCard, Seite 2 . . . . .	205
F.5	Schaltplan O-RxCard, Seite 3 . . . . .	206
F.6	Schaltplan O-RxCard, Seite 4 . . . . .	207
G.1	Optischer Tastkopf SM4-0 Bestückungsseite . . . . .	209
G.2	Optischer Tastkopf SM4-0 Lötseite . . . . .	209
G.3	Optischer Tastkopf Bestückungsplan oben . . . . .	209
G.4	Optischer Tastkopf Bestückungsplan unten . . . . .	209
G.5	Optischer Tastkopf Schaltplan . . . . .	210

# Literaturverzeichnis

- [1] „*The LHCb Experiment*“, K.A.Gerorge, on behalf of the LHCb Collaboration, Czechoslovak Journal of Physics, Vol.53 (2003),Suppl.A
  
- [2] N. Dressnandt et al.  
“*Implementation of the ASDBLR Straw Tube Readout ASIC in DMILL Technology*”  
IEEE (2000) Trans. on Nucl. Sci. V48 n4 p1239 R. Bevensee et al.,  
“*An Amplifier-Shaper-Discriminator with Baseline Restoration for the ATLAS Transition Radiation Tracker*”  
IEEE (1996) Trans. on Nuc. Sci. V43 p1725  
<http://www.hep.upenn.edu/atlas/asdbl>
  
- [3] Harald Deppe, Uwe Stange , Ulrich Trunk, Ulrich Uwer  
Physikalisches Institut University at Heidelberg  
“*The OTIS Reference Manual*”,  
Version 1.1 , 02.02.2004.
  
- [4] Andre Srowig,  
“*Development and Test of a Radiation Hard Dual Port Static-RAM with 2.2GByte/sec Data Rate for the LHCb Outer Tracker readout electronics*”
  
- [5] P. Moreira, T. Toifl, A. Kluge, G. Cervelli, A. Marchioro, and J. Christiansen  
“*GOL Reference Manual, Gigabit Optical Link Transmitter manual*”,  
CERN - EP/MIC, Geneva Switzerland March 2001 Version 0.1.
  
- [6] P. Moreira, T. Toifl, A. Kluge, G. Cervelli, A. Marchioro, and J. Christiansen  
“*GOL Reference Manual, Gigabit Optical Link Transmitter manual*”,  
CERN - EP/MIC, Geneva Switzerland May 2002 Version 1.4.
  
- [7] “*IEEE Std 802.3, 1998 Edition*”
  
- [8] Guido Haefeli, Aurelio Bay, Federica Legger, Laurent Locatelli,  
Jorgen Christiansen, Dirk Wiedner.  
“*Specification for a common read out board for LHCb*”,  
Version 3.0, LHCb 2003-007 IPHE 2003-02 September 2, 2003

- [9] Haefeli, G; Uwer, U; Vollhardt, A; Wiedner, D  
“*Prototype for an optical 12 input receiver card for the LHCb TELL1 board*”  
LHCb-2003-137; Geneva : CERN, 20 Oct 2003
- [10] Haefeli, G; Uwer, U; Vollhardt, A; Wiedner, D  
“*Prototype IF14-1 for an Optical 12 input Receiver Card for the LHCb TELL1 Board*”  
LHCb 2004-072, electronics, public; Geneva : CERN 6 Sep 2004  
<http://cdsweb.cern.ch/search.py?recid=792529&ln=en>
- [11] “*TLK2501 1.5 TO 2.5 GBPS TRANSCEIVER*”,  
Data sheet Copyright 2002 Texas Instruments Incorporated  
<http://www-s.ti.com/sc/ds/tlk2501.pdf>
- [12] Mller, H; Guirao, A; Bal, F; Tao, X,  
“*HLT and LIT data streams via quad Gigabit Ethernet interfaces*”  
LHCb-2004-028; CERN, 26 Mar 2004
- [13] R.Jacobsson,  
“*How can I run my detector?*”,  
Readout Partitioning and Running Modes,  
LHCb Technical Note LHCb 2001-140 DAQ
- [14] Jorgen Christiansen et al.,  
“*TTCrX Reference Manual,*  
*A Timing, Trigger and Control Receiver ASIC for LHC Detectors*”
- [15] Dominique Breton, Daniel Charlet,  
“*SPECS: the Serial Protocol for the Experiment Control System of LHCb*”  
Version 2.0, LHCb DAQ 2003-004
- [16] Raimund Ruschmann,  
“*Entwicklung und Untersuchung von Straw Tubes für den LHCb Detektor*”
- [17] L.Shekhtman,  
“*Update of radiation level*”,  
LHCb week 27-31.5.02 electronics
- [18] Sebastian Bachmann,  
“*Presentation given during the Outer tracker meeting (11.4-13.4.2002) in Krakow*”
- [19] Michael Walter,  
“*Entwicklung, Bau und Alterungsstudien von Straw Tube  
Driftkammern für das Äußere Spurkammersystem von LHCb*”,  
Physikalisches Institut der Universität Heidelberg 2004



- [20] Uwe Stange,  
*“Entwicklung und Test eines strahlenharten TDCs für das äußere Spurkammersystem von LHCb”*,  
Uni Heidelberg 2004
- [21] Philips Semiconductors,  
*“The P<sup>2</sup> C-bus specification”*,  
version 2.1, January 2000
- [22] Uwer, U; Wiedner, D; Pellegrino, A R.  
*“Address scheme for the Outer Tracker FE electronics”*  
LHCb-2003-041; Geneva : CERN, 30 May 2003
- [23] Ad Berkien, Tom Sluijk, U.Uwer, D.Wiedner, Albert Zwart.  
*“Specifications for a Prototype of the Auxiliary Board for the Outer Tracker”*,  
Version 1.0, LHCb-2003-129 August 28, 2003
- [24] Ad Berkien, Tom Sluijk, U.Uwer, D.Wiedner, Albert Zwart.  
*“Specifications IF13-1 Prototype of the Auxiliary Board for the Outer Tracker”*,  
Version 2.0, LHCb-2004-073 September 16, 2004  
<http://cdsweb.cern.ch/search.py?recid=793180&ln=en>
- [25] National Semiconductors,  
*“LVDS Owner’s Manual”*,  
2<sup>nd</sup> Edition,  
A General Design Guide for National’s Low Voltage  
Differential Signaling (LVDS) and Bus LVDS Products
- [26] *“RIO2 8062 PowerPC based RISK I/O Board, User’s Manual”*,  
version 0.1. Designation: DOC 8062/UM,  
Creative Electronic Systems SA - June 1997
- [27] *“TTC-VMEbus INTERFACE TTCvi-MkII,  
Module Identification: EP 680-1128-050-C”*,  
RD12 Project, Ph. Farthouat, P.Gällnö CERN EP-ATE, Rev1.6 May 2000
- [28] *“TTCvx, Technical description and users manual.  
A VME-sized multiplexer, encoder and fiber-optics transmitter module  
for the Timing, Trigger and Control System of the LHC detectors.”*  
Per Gällnö CERN/EP/ATE/dq, per.gallno@cern.ch, May 21, 1999 Draft
- [29] R.Schwemmer,  
*“User Interface for the TTC-VMEbus Interface TTCvi”*

- [30] Paulo Moreira, QPLL Manual,  
“*Quartz Crystal Based Phase-Locked-Loop for Jitter Filtering Application in LHC*”  
CERN-EP/MIC, Geneva Switzerland 2004-01-26 Version 1.0  
<http://proj-qpll.web.cern.ch/proj-qpll/images/qpllManual.pdf>
- [31] “*LHC4913 3 Amp Positive Low Drop Voltage Regulator with Inhibit.*”  
[http://lhc-voltage-regulator.web.cern.ch/LHC-Voltage-regulator/Specifications/L4913ds\\_updatedSpecs\\_August\\_2002.pdf](http://lhc-voltage-regulator.web.cern.ch/LHC-Voltage-regulator/Specifications/L4913ds_updatedSpecs_August_2002.pdf),  
<http://lhc-voltage-regulator.web.cern.ch/LHC-Voltage-regulator/default.htm>
- [32] “*LHC7913 3 Amp Negative Low Drop Voltage Regulator with Inhibit function*”,  
November 2002  
[http://lhc-voltage-regulator.web.cern.ch/LHC-Voltage-regulator/Specifications/L7913\\_pinout120Nov02.pdf](http://lhc-voltage-regulator.web.cern.ch/LHC-Voltage-regulator/Specifications/L7913_pinout120Nov02.pdf)
- [33] N.Boetti, F.Faccio, P.Jarron,  
“*A Radiation Hardened Voltage Regulator for LHC and Space Applications*”,  
Technical note for LHC users, September 2000
- [34] P.Moreira,  
“*TTCrq Reference Manual, CERN-EP/MIC*”,  
October 2003, Version 1.0
- [35] Achim Vollhardt,  
“*Optical sniffer for Gbit/s fiber systems*”  
[http://www.physik.unizh.ch/avollhar/optical\\_sniffer.html](http://www.physik.unizh.ch/avollhar/optical_sniffer.html)
- [36] Achim Vollhardt,  
“*A fast digital optical data transmission system for the LHCb Silicon Tracker*”,  
Uni Zürich 2004
- [37] Advanced optical components,  
“*Fiber Optic LAN Components Connectorized PIN Plus Preamplifier HFD3381-102*”  
<http://www.advancedopticalcomponents.com> 1-866-MY-VCSEL (toll free for US)
- [38] Gerd Modzel  
“*Aufbau und Test eines optischen Tastkopfes*”,  
Physikalisches Institut Uni Heidelberg 2004
- [39] “*SNAP12 12 channel pluggable optical module MSA, Specifications*”,  
Appendix to the SNAP12 Multi-Source Agreement
- [40] Mirco Nedos,  
“*Entwicklung und Implementierung eines mit FPGAs realisierten Systems zur Auslese des Äußeren Spurkammersystems des LHCb Detektors*”,  
TU Dresden 2004

- [41] Altera Corporation.  
“*Stratix PCI Development Board Data Sheet*”,  
Version 2.0, September 2003.
- [42] Jan Knopf,  
“*Aufbau eines Auslesesystems  
für die Äußeren Spurkammern  
des LHCb-Detektors*”,  
Physikalisches Institut Heidelberg 2004
- [43] Maria Manuela Gama da Silva Cunha Spieker:  
“*Simulation und Analyse der Daten aus einem Teststand  
zum Nachweis von kosmischen Myonen mit dem LHCb Outer Tracker*”  
vorgelegt von Maria Manuela Gama da Silva Cunha Spieker 2002.  
Heidelberg, Univ., Dipl., 2002
- [44] Haas, Tanja:  
“*Bau und Inbetriebnahme eines Teststandes  
zur Untersuchung von Straw-Kammern  
mittels kosmischer Myonen*”  
vorgelegt von Tanja Haas. - 2003. - II, 90 S. : graph. Darst.  
Heidelberg, Univ., Dipl., 2003
- [45] Dijkstra, H; Schietinger, T; Teubert, F; Witek, M; Wiedner, D.  
“*The use of the TT1 tracking station in the level-1 trigger*”  
LHCb-2002-045; Geneva : CERN, 15 Aug 2002
- [46] M.Witek,  
“*L1 tracking - all Si vs Mixed TT1*”  
LHCb-light meeting at 25th LHCb Week 28.05.2002 CERN  
<http://agenda.cern.ch/fullagenda.php?ida=a02687>
- [47] “*LHCb Outer Tracker, Technical Design Report*”
- [48] T.Sluijk, U.Uwer  
“*Specification of the OTIS-to-ASDBLR interface*”  
NIKHEF, Physikalisches Institut der Uni Heidelberg, 1. September 2003.
- [49] S. Bachmann, F. Eisele, T. Haas, U. Uwer, M. Walter, D. Wiedner (Heidelberg U.)  
“*Developments for the Outer Tracking System of the LHCb Experiment*”  
By S. Bachmann 2004. 3pp.  
Prepared for 9th Pisa Meeting on Advanced Detectors:  
Frontier Detectors for Frontier Physics, La Biodola, Isola d’Elba, Italy,  
25-31 May 2003.  
Published in Nucl.Instrum.Meth.A518:59-61,2004

- [50] Bachmann, S; Haas, T; Walter, M; Wiedner, D  
“*Construction of module boxes for the outer tracker in LHCb*”  
LHCb-2003-051; Geneva : CERN, 08 Jul 2003
- [51] Jorgen Christiansen,  
“*Requirements to the L1 front-end electronics*”  
LHCb Technical Note LHCb 2003-078.
- [52] A.N.M. Zwart,  
“*OTIS Board Version 1.0*”,  
August 2003, NIKHEF Project no.:39200, Email: a.zwart@nikhef.nl
- [53] V. Gramov et al.  
“*Study of Operational Properties of the ASDBLR  
Chip for the LHCb Outer Tracker*”,  
LHCb Technical Note 2000-054
- [54] V. Gramov and Tom Sluijk  
“*Electrical Properties of various types of straw tubes  
considered for the LHCb Outer Tracker*”,  
LHCb Technical Note 2001-001.
- [55] “*Pluggable Parallel Fiber-Optical Link(12x2.5Gb/s) 2800-XYAM*”,  
Preliminary Data Sheet Version 1.0 11/8/01
- [56] J.Whitmore, et al.  
“*Radiation Validation for the CMS HCAL Front-End Electronics*”
- [57] Honeywell, HFE2291-541,  
“*Fiber Optic LAN Components LC SFF Duplex OFE 2.5 Gbps HFT229x-541*”,  
www.honeywell.com/VCSEL
- [58] Guido Haefeli,  
“*Contribution to the development  
of the acquisition electronics for the LHCb experiment*”,  
École Polytechnique Fédérale de Lausanne 2004
- [59] Nardulli, J; Pellegrino, A; Wiedner, D  
“*Outer Tracker DAQ Data Format*”  
LHCb-2004-033; : CERN, 30 Mar 2004
- [60] Beat Jost,  
“*TFC Broadcast Format*”,  
LHCb Note 2001-017
- [61] Ulrich Uwer, Dirk Wiedner. Outer Tracker Electronics:  
“*Expected data volume of the LHCb Outer Tracker*”

- [62] J. van Tilburg,  
"Outer Tracker Software",  
LHCb note 2003-062.
- [63] Olivier Callot, Beat Jost, Pere Mato,  
"Online (Raw) Data Format",  
LHCb Technical Note 2001-097.
- [64] J. H. Lopes,  
"Software Implementation of the Raw Data Buffers  
for the L1 and High Level Triggers of LHCb",  
LHCb note 2003-152.
- [65] J. H. Lopes,  
"DAQEvent: L1 and HLT buffers simulation and data access",  
15th LHCb Software Week Nov. 2003.



# Danksagung

Zum Gelingen dieser Arbeit haben viele Personen beigetragen, denen ich an dieser Stelle ganz herzlich danken will:

- Herrn Professor Eisele danke ich für die Möglichkeit diese Arbeit am Physikalischen Institut durchführen zu können, sowie für seine stets kompetenten Ratschläge und Betreuung.
- Herrn Professor Ulrich Uwer gilt besonderer Dank für die umsichtige Betreuung meiner Arbeit, Weitblick, das richtige Maß an Kritik und unermüdliche Hilfestellung.
- Herrn Norbert Herrmann gebührt Dank für die Begutachtung meiner Arbeit, sowie für die Hilfestellungen im Rahmen des Graduiertenkollegs.
- Ich danke dem Bundesministerium für Bildung und Forschung für die Finanzierung meiner Stelle und die Bereitstellung der zur Durchführung der Arbeit nötigen Mittel.
- Bedanken möchte ich mich bei den Kollegen vom NIKHEF in Amsterdam, am CERN, der TU Dresden, an der Uni Zürich und in Krakau, insbesondere Achim Vollhardt, Tom Sluijk, Albert Zwart, Ad Berkien, Antonio Pellegrino, Niels Tuning, Jacopo Nardulli, Mirco Nedos, Rainer Schwierz, Bernhard Spaan, Jorgen Christensen, Paulo Moreira, Richard Jacobsson, Piotre Kapusta und Mariuz Witek.
- Ich bedanke mich bei Herrn Dr. Wolber vom DKFZ, der mit spontaner technischer Unterstützung half.
- Dank gilt den Kollegen vom ASIC-Labor, insbesondere Ralf Achenbach, Daniel Baumeister, Jörg Langenheine und Sven Löchner.
- Dank für eine besonders gute Zusammenarbeit gilt den OTIS-Jungs, Uwe Stange und Harald Deppe, sowie den übrigen OTIS-Entwicklern Ulrich Trunk, Martin Feuerstack-Raible und ganz speziell Andre Srowig (die LED ist jetzt viel weniger hell...)
- Dank gilt der HE-Gruppe am Physikalischen Institut, die durch Ihren Zusammenhalt und die vielen gemeinsamen Aktionen immer für ein gutes Arbeitsklima sorgte, besonders Christoph Werner für den richtigen Sarkasmus und Sebastian Bachmann.

- Herzlich möchte ich meinen Mitbewohnern im Raum 56 danken, insbesondere Michael Walter, dem schwäbischen Bayernfan, Tanja Haas für fast grenzenlose Geduld, Raimund Ruschmann und Jens Kessler für die gute Zeit am Anfang der Arbeit, Manuela Spieker für so manchen Kuchen.
- Bedanken will ich mich auch bei meinen beiden Miniforschern Rainer Schwemmer und Gerd Modzel, die in kurzer Zeit Erstaunliches leisteten und dabei immer gut gelaunt blieben.
- Spezieller Dank gilt meinem Diplomanden Jan Knopf, dessen geniale Fähigkeiten am PC in Kombination mit dem richtigen Humor und einer ordentlichen Ausdauer so manche Messung erst ermöglichte.
- Danken möchte ich besonders Sarah Dambach, deren gutes Vorbild das Zusammenschreiben der Arbeit erleichtert hat.
- Großer Dank sei Herrn Rausch und Herrn Rusnyak, das inzwischen legendäre Entwicklerteam aller erdenklicher Elektronik am PI, sowie Herrn von Walter, Frau Wonschik, Herrn Mallok, Herrn Schumacher, Nicole Kupfer (nichts ist zu schwer zu Löten) sowie den übrigen Kollegen aus der E-Werkstatt, die alles möglich machten und dabei eine immer freundliche Atmosphäre erzeugten.
- Christian Rummel und Simon Rabenecker danke ich für Tatkraft in allen mechanischen Belangen.
- Meine Familie hat durch endlose Unterstützung und viel Nachsicht diese Arbeit erst ermöglicht, Danke.
- Elke hat mich in allen Phasen der Arbeit immer unterstützt und mir den Rücken freigehalten, Florencia war auch wenn es mal drunter und drüber ging nie nachtragend und immer einsichtig. Vielen Dank.
- Danke nochmals Sven Eichkorn, der mir während meiner Diplomarbeit das wissenschaftliche Arbeiten quasi von Null an beigebracht hat und an dessen Vorbild ich die Betreuung von Studenten stets versucht habe auszurichten.
- Danke denen, die ich hier vergessen habe. Ich versichere aufrichtig es geschah nicht absichtlich.