

INAUGURAL-DISSERTATION

zur
Erlangung der Doktorwürde
der
Naturwissenschaftlichen-Mathematischen
Gesamtfakultät
der Ruprecht-Karls-Universität
Heidelberg

vorgelegt von

Dipl.-Phys. Jan Knopf

aus Lörrach

Tag der mündlichen Prüfung: 08. Juli 2009

Tests und Inbetriebnahme der
LHCb Outer Tracker Front-end Elektronik
und
eine Studie zur Abschätzung des
Untergrundes im Zerfall $B_s^0 \rightarrow J/\psi \Phi$

Gutachter: Prof. Dr. Ulrich Uwer

Prof. Dr. Norbert Herrmann

Kurzfassung

Die Ausleseelektronik des Outer Tracker des LHCb-Detektors vermisst die Driftzeiten in Straw-Proportionalzählern. Die Front-end Elektronik des Outer Tracker besteht dabei aus drei strahlenharten Chips. Der ASDBLR Vorverstärker verstärkt und diskriminiert den Ladungspuls der Driftkammern. Der OTIS-TDC Chip vermisst das diskriminierte Signal alle 25 ns auf 32 Detektorkanälen. Die gemessenen Driftzeiten werden mittels den GOL-Serialisierer über einen optischen Link mit 1,6 GBit/s versendet.

Der Hauptanteil dieser Arbeit beschäftigt sich mit dem Testen und der Inbetriebnahme dieser Outer Tracker Front-end Elektronik. Dazu wurden insgesamt drei Testsysteme entwickelt und betrieben. Mit einem ersten System wurden die OTIS-TDC Chips noch auf dem Wafer intensiv auf ihre Eigenschaften hin überprüft. In weiteren Testaufbauten wurde anschließend die Qualität der OTIS-Karten und der GOL-Aux Karten Produktion überwacht. Weiterhin wurde die Front-end Elektronik in die Ausleseketten des LHCb-Detektors integriert und getestet.

Ein wichtiges Ziel des LHCb-Experimentes besteht in der Bestimmung der CP-Verletzenden Phase Φ_s . Diese kann über den „goldenen“ Zerfall $B_s^0 \rightarrow J/\psi \Phi$ bestimmt werden. Für die Extraktion dieser Größe ist die Kenntnis über den Untergrund von essentieller Bedeutung. In dieser Arbeit wurde eine Studie durchgeführt, welche die bisherigen Beschränkungen durch die Statistik der Monte-Carlo Simulationen in der Bestimmung dieses Untergrundes aufhebt.

Abstract

The readout electronic of the LHCb outer tracker measures the drift time of a straw tube. The front-end electronic consists of three radiation hard chips. The ASDBLR preamplifier amplifies and discriminates the charge pulses produced by the drift chamber. The OTIS-TDC chip measures the drift time every 25 ns on 32 detector channels. The generated data is sent via an optical link with 1,6 GBit/s, making use of the GOL chip.

The main part of this thesis is dedicated to the testing and commissioning of the outer tracker front-end electronic. Altogether three test systems were developed and operated. The first test system was built to thoroughly check the features of the OTIS-TDC chips on the wafer. The quality of the OTIS board and GOL-Aux board production was checked with another test system. The front-end electronic was also combined and tested to the LHCb readout chain.

One of the main goals of the LHCb experiment is the measurement of the CP-violating phase Φ_s . It can be measured by using the golden decay mode $B_s^0 \rightarrow J/\psi \Phi$. It is vital to have a good knowledge about the background for this decay in order to extract the phase. In this thesis a study was performed to overcome the current limitations due to low Monte-Carlo statistics in this area.

Inhaltsverzeichnis

1. Einleitung	1
2. Das LHCb Experiment am Large Hadron Collider	5
2.1. Das LHCb Experiment	7
2.1.1. Detektoren zur Spurrekonstruktion	9
2.1.2. Detektoren zur Teilchenidentifikation	12
2.2. Physik mit dem LHCb Detektor	14
2.2.1. Die CKM Matrix	14
2.2.2. Messungen bei Large Hadron Collider beauty (LHCb)	16
2.3. Der LHCb Outer Tracker	20
2.3.1. Aufbau und Funktionsprinzip der Driftröhrchen	21
2.4. Das LHCb Online System	24
2.4.1. Das DAQ System	24
2.4.2. Das TFC System	26
2.4.3. Das Experiment Control System	26
2.4.4. Das Trigger System	27
I. Test und Inbetriebnahme der OT Elektronik	28
3. Die Outer Tracker Elektronik	29
3.1. Die OT FE-Box	30
3.1.1. Die ASDBLR-Karte	30
3.1.2. Die OTIS-Karte	34
3.1.3. Die GOL-Aux Karte	34
3.2. Der OTIS-TDC Chip	36
3.2.1. Vergleich der OTIS Versionen 1.2 und 1.3	39
4. Produktionstests	44
4.1. Das FPGA Daten Auslese System	44
4.2. Die FPGA Firmware	45
4.2.1. Synchronisation und Aufbereitung der eingehenden Daten	45
4.2.2. Analyse der Daten	46
4.2.3. Steuersignale	46
4.2.4. PCI-Bus Schnittstelle	47
4.2.5. Überblick	47

4.3.	Der OTIS-TDC Wafer Test	48
4.3.1.	Aufbau des OTIS-TDC Wafer Tests	49
4.3.2.	Testablauf	50
4.3.3.	Funktionstest	51
4.3.4.	Ergebnis für einen Wafer	55
4.3.5.	Zusammenfassung des OTIS-TDC Wafer Tests	57
4.4.	Der GOL-Aux Karten Test	59
4.4.1.	Aufbau des GOL-Aux Karten Tests	59
4.4.2.	Das Gol Board Tester Programm	60
4.4.3.	Testzusammenfassung	63
4.5.	Der OTIS Karten Test	64
4.5.1.	Das Otis Board Tester Programm	65
4.5.2.	Das TDC Bin 0 Problem	66
5.	Systemtests	71
5.1.	Teststrahl am DESY	71
5.1.1.	Aufbau	71
5.1.2.	Eingesetzte Elektronik Komponenten	72
5.1.3.	Charakterisierung der Elektronik	74
5.1.4.	Charakterisierung der Driftkammern	77
5.2.	Untersuchung des I ² C Rauschens	78
5.3.	Inbetriebnahme und Tests in der LHCb Kaverne	82
5.3.1.	Das CRack	82
5.3.2.	Übertragungsqualität	83
5.3.3.	Rauschmessung	84
5.3.4.	Testpuls Sensitivität	85
5.3.5.	Zeitstabilität der Testpulse	88
5.3.6.	Messung der Linearität	93
6.	Zusammenfassung und Ausblick	95
II.	Studie zur Abschätzung des Untergrundes im Zerfall $B_s^0 \rightarrow J/\psi \Phi$	96
7.	Einführung	97
7.1.	Der Zerfall $B_s^0 \rightarrow J/\psi \Phi$	97
7.1.1.	Der verwendete Datensatz	98
7.2.	Ereignisselektion	98
7.2.1.	Betrachtung des Untergrundes	100
7.2.2.	Die LHCb Analyse Umgebung	103
7.3.	Technische Implementierung der $J/\psi \Phi$ Kombination aus verschiedenen Ereignissen	104

8. Kombination von $J/\psi \Phi$ aus verschiedenen Ereignissen	106
8.1. Untergrund aus $b\bar{b}$ Ereignissen	106
8.2. Untergrund aus $c\bar{c}$ Ereignissen	108
8.3. Skalierung des Untergrund auf die Laufzeit des Signal Datensatzes	114
8.4. Anwendung im Parameter Fit	118
9. Zusammenfassung	122
III. Appendix	123
A. FPGA-Firmware	124
A.1. Speicherbelegung	124
A.2. FPGA Status Bits	127
B. Wafer Test Ergebnisse	130
C. Testergebnisse der GOL-Aux Karten	132
C.1. Changelog für das Gol Board Tester Programm	132
C.2. Kompletter Code des automatischen Tests	133
C.3. Oszilatoren Spender	138
D. OTIS Karten Test	139
D.1. Changelog für das Otis Board Tester Programm	139
D.2. Kompletter Code des automatischen Tests	140
E. Abkürzungsverzeichnis	145

1. Einleitung

Eine der immer wieder gestellten Fragen der Menschheit ist die Frage nach dem Anfang aller Dinge. Auch die Naturwissenschaften, insbesondere die Physik, versuchen darauf eine Antwort zu geben. Mit vielen Experimenten und Erkenntnissen ist sie in der Lage ein immer genaueres Bild zu zeichnen und Erklärungen zu liefern.

Im Jahre 1929 veröffentlichte Abbé Lemaître seine Ideen über die Expansion des Universums. Demnach war das Weltall zu Beginn in einem einzigen Punkt komprimiert, aus dem es sich im Urknall explosionsartig ausbreitete. Seit diesem Zeitpunkt dehnt sich das Universum aus (Abbildung 1.1 auf der nächsten Seite). Um diese Entwicklung, insbesondere die Zeit kurz nach dem Urknall, wirklich zu verstehen, muss man jedoch den Aufbau der Materie erforschen.

Diesem Gebiet widmet sich die Teilchenphysik. Sie beschäftigt sich mit dem Aufbau der Materie und der Kräfte, welche auf sie wirkt. Der derzeitige Wissensstand in diesem Gebiet wird im sogenannten Standard Modell der Teilchenphysik beschrieben. Das Modell kennt dabei als fundamentale Bausteine die sechs Quarks (**u**p, **d**own, **c**harm, **s**trange, **b**ottom (beauty) und **t**op) und die drei Leptonen mit ihren assoziierten Neutrinos (e^- , μ^- , τ^- , ν_e , ν_μ und ν_τ). Zu jedem Teilchen gibt es zusätzlich ein zugehöriges Anti-Teilchen. Die Kräfte werden durch Bosonen übermittelt: γ für die elektromagnetische, W^+ , W^- und Z^0 für die schwache sowie Gluonen für die starke Kraft. Die Gravitation wird durch das noch nicht gefundene Graviton übertragen. Aufgrund ihrer relativen Schwäche im Vergleich zu den anderen Kräften (10^{-39}) spielt sie in der Teilchenphysik keine Rolle.

Nach den Modellen, die den Urknall beschreiben, war das Universum zu Beginn sehr heiß und dicht. Mit der genauen Kenntnis über die Wechselwirkung der Teilchen in dieser Umgebung sollte es möglich sein, die Entwicklung des Universums vorherzusagen und mit den heutigen Beobachtungen zu vergleichen. Das heutige Universum sollte es daher eine große Anzahl Photonen geben und zu gleichen Teilen aus Materie und Antimaterie bestehen. Durch den ständigen Prozess der Paarerzeugung ($\gamma \rightarrow l^+l^-$) bzw. Paarvernichtung ($l^+l^- \rightarrow \gamma$) sollte sich ein Gleichgewichtszustand herausgebildet haben. Diese Ansicht war allgemein akzeptiert im frühen 20. Jahrhundert. So formulierte P.A.M. Dirac 1933 seine Erwartung anlässlich der Verleihung des Nobelpreises an ihn mit folgenden Worten:

If we accept the view of complete symmetry between positive and negative electric charge so far as concerns the fundamental laws of nature, we must regard it rather as an accident that the Earth (and presumably the whole solar system), contains a preponderance of negative electrons and positive

1. Einleitung

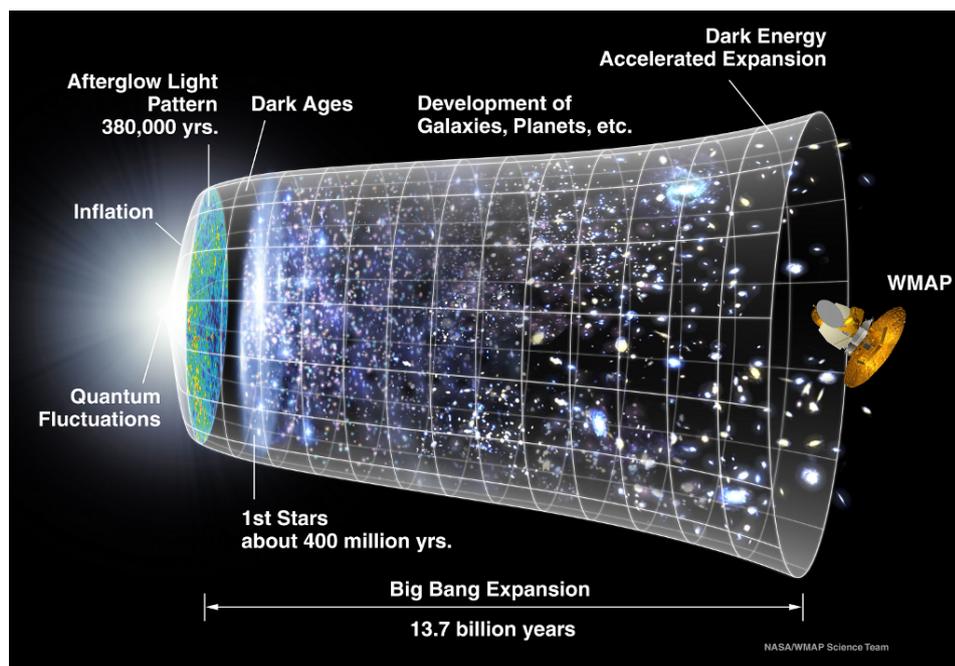


Abbildung 1.1. – Die Entwicklung der Universums nach heutiger Vorstellung.
(Entnommen aus [1])

protons. It is quite possible that for some of the stars it is the other way about ... *In fact, there may be half the stars of each kind.*

1965 entdeckten A. Penzias und R. Wilson die von Gamov 1940 vorhergesagte kosmische Hintergrundstrahlung. Diese Strahlung entspricht einer Schwarzkörperstrahlung von 2,726 K und ist isotrop verteilt. Somit ist das Universum in der Tat mit einer großen Anzahl von Photonen gefüllt. Aus Messungen der Teilchenfluss kann auch das Verhältnis von Materie zu Photonen bestimmt werden. Dieses liegt bei einem Materie Teilchen pro 10^9 Photonen. Sämtliche bisher beobachteten Anti-Materie Teilchen lassen sich jedoch als Reaktionsprodukte bekannter Prozesse erklären. Eine mögliche Erklärung hierfür wäre, dass sich die Materie und Anti-Materie in separaten Gebieten des Universums befinden. Allerdings müsste es in der Grenzregionen beim Zusammentreffen von Materie und Anti-Materie zu deutliche sichtbaren Strahlungsquellen kommen. Da diese bisher nicht beobachtet wurden, drängt sich der Schluss auf, dass es keine Anti-Materie kosmologischen Ursprungs mehr im Universum gibt.

Diese Asymmetrie muss von den Modellen erklärt werden, wenn sie das Weltall beschreiben möchten. A. Sakharov formulierte 1967 drei notwendige Bedingungen für die Erklärung der Dominanz der Materie über die Anti-Materie:

1. Baryonenzahlverletzung
2. C- und CP-Verletzung
3. thermisches Nichtgleichgewicht

Die zweite Bedingung sorgt dabei für das Ungleichgewicht zwischen Materie und Anti-Materie. Die Buchstaben „C“ und „P“ stehen dabei für verschiedene Symmetrien. „C“ steht für charge conjugation, also der Vertauschung der elektrischen Ladung. So wird bei der Anwendung dieses Operators aus einem Elektron ein Positron, oder genereller aus einem Materie Teilchen ein Anti-Materie Teilchen und umgekehrt. „P“ ist der Parity Operator und entspricht einer Punktspiegelung am Ursprung.

1964 wurde erstmals eine CP-Verletzung im K^0 System gemessen. Inzwischen wurden weitere CP-Verletzende Zerfälle gefunden und untersucht, z.B. bei B-Mesonen. Jedoch reichen die bisher bekannten Prozesse nicht aus, um das beobachtete Asymmetrie zwischen Teilchen und Anti-Teilchen zu erklären.

Im Standard Modell gibt es bisher eine Quelle für CP-Verletzung. Diese befindet sich im Cabibbo-Kobayashi-Maskawa (CKM)-Mechanismus. Die CKM Matrixelemente beschreiben den Zusammenhang zwischen den „Flavour“ und den Massen-Eigenzuständen. Entwickelt wurde dieser im wesentlichen von Kobayashi und Maskawa 1972 für die Erklärung der CP-Verletzung. Eine wichtige Konsequenz daraus war die Vorhersage einer dritten Quarkfamilie (top und beauty). Diese ist nötig, damit eine komplexe Phase auftreten kann, welche die CP-Verletzung ermöglicht. Unter anderen für diese Vorhersage erhielten beide Physiker auch den Nobelpreis im Jahre 2008.

Eine genaue Vermessung der Fluktuationen in der kosmischen Hintergrundstrahlung von u.a. WMAP¹ zeigt aber, dass die bisher im Standard Modell bekannten Teilchen nicht die Energiedichte im Universum erklären können. Unter der Annahme eines flachen Universums zeigt sich, dass die Materie nur etwa 4,6 % des heutigen Universums ausmacht, 23 % entfallen auf die dunkle Materie, der Rest auf die dunkle Energie. Eine Theorie, welche das Standard Modell erweitern will, muss Kandidaten für diese dunkle Materie liefern. Eine populäre Erweiterung ist Supersymmetrie (SUSY). Dabei wird jedem Teilchen ein supersymmetrischer Partner zugeordnet. Diese unterscheiden sich u.a. um einen halbzahligen Spin voneinander. Neben vielen anderen Erklärungen für bisher ungelöste Fragen im Standard Modell liefert diese Theorie möglicherweise auch neue Quellen für CP-Verletzung.² Sind diese vorhanden, so sollten bei einer genauen Vermessung der CKM Matrixelemente Abweichungen von der Standard Modell Erwartung auftreten.

Um diese neuen Gebiete zu untersuchen, wurde am Europäischen Kernforschungszentrum CERN³ ein neuer Beschleuniger, der Large Hadron Collider (LHC), gebaut. Der LHC wird Proton mit Proton kollidieren bei einer Schwerpunktsenergie von 14 TeV. Etwa alle 160 Wechselwirkung werden dabei Teilchen mit B-Quarks produziert. Da die B-Quarks eine kurze Lebenszeit besitzen, fliegen sie zunächst wenige Zentimeter, bevor sie zerfallen.⁴ Anhand der kinematischen Eigenschaften der Zerfallsprodukte kann das ursprüngliche B-Hadron rekonstruiert werden. Durch den Vergleich der Zerfallsspektren der B- und \bar{B} -Hadronen in spezifischen Zerfallskanälen können CP-Verletzende Effekte genau untersucht werden.

¹ Wilkinson Microwave Anisotropy Probe

² Sie ist aber bei weitem nicht die einzige Erweiterung mit diesen Eigenschaften.

³ Conseil Européen pour la Recherche Nucléaire (CERN)

⁴ Die mittlere Lebenszeit des B^0 beträgt etwa 1,5 ps.

1. Einleitung

Für diese Untersuchung wurde der LHCb Detektor, in dessen Rahmen diese Arbeit durchgeführt wurde, speziell optimiert. Die LHCb Kollaboration wurde im Jahre 1994 gegründet. Eine erste Beschreibung des Detektors wurde im Technical Proposal [2] 1998 niedergelegt. Seit damals wurden zahlreiche Verbesserungen und Optimierungen am Aufbau des Detektors vorgenommen. Eine endgültige Beschreibung findet sich in [3]. Der Detektor ist nun fast vollständig installiert und bereit für den Start des LHC in nächster Zukunft.

Im Rahmen dieser Arbeit wurde die Front-end Elektronik des Outer Tracker getestet und installiert. Weiterhin wurde eine Studie zum Untergrund im Zerfall $B_s^0 \rightarrow J/\psi \Phi$ durchgeführt. Die Arbeit ist dabei wie folgt gegliedert. In Kapitel 2 wird zunächst der LHCb Detektor und spezieller der Outer Tracker, in dessen Rahmen diese Arbeit durchgeführt wurde, vorgestellt. Kapitel 3 stellt die Front-end Elektronik des Outer Tracker vor. In Kapitel 4 befinden die Tests, welche während der Produktion der einzelnen elektronischen Komponenten durchgeführt werden. Kapitel 5 beschreibt die durchgeführten Systemtests Dieser Teil der Arbeit wird in Kapitel 6 zusammengefasst. Im zweiten Teil der Arbeit wird in Kapitel 7 zunächst der Zerfall $B_s^0 \rightarrow J/\psi \Phi$. In Kapitel 8 schließlich werden die Ergebnisse der Untergrundstudie präsentiert.

2. Das LHCb Experiment am Large Hadron Collider

Der Large Hadron Collider (LHC) [4] öffnet das Tor zu Energieskalen, die bisher nicht mit Teilchenbeschleunigern zugänglich waren. Gebaut und betrieben wird er am Europäischen Kernforschungszentrum (CERN) bei Genf. Er wurde in einem Tunnel mit einem Umfang von 27 km installiert, welcher im Grenzgebiet zwischen Frankreich und der Schweiz gelegen ist. Das CERN wurde gegründet im Jahre 1954 von zwölf Staaten. Mittlerweile zählen 20 Ländern zu den offiziellen Mitgliedern, wobei viele weitere Länder und Organisationen am Forschungsprogramm beteiligt sind. Seit seiner Gründung war das CERN an vielen Entdeckungen im Bereich der Hochenergiephysik beteiligt. Diese Tradition soll mit dem LHC fortgesetzt werden.

Die Beschleuniger für die Experimente in der Hochenergiephysik werden in großen Anlagen gebaut, um die nötige Energien liefern zu können. Da der Bau und Betrieb einer solchen Anlage kostenintensiv ist, werden die verfügbaren Ressourcen auf weltweit relativ wenige Einrichtungen konzentriert. Durch diese Konzentration ist es überhaupt erst möglich, die komplexen Detektoren und Beschleunigermagnete zu bauen und zu betreiben. So zählen die einzelnen Experimente einige Hundert bis einige Tausend Mitarbeiter.

Warum ist dieser Aufwand betrieben, um Teilchen zu beschleunigen? Durch die Beschleunigung erhalten die Teilchen kinetische Energie. Nach der berühmten Formel $E = mc^2$ lässt sich diese Energie in Masse umwandeln. Dies geschieht in der Regel durch eine Kollision der Teilchen. Durch die zusätzlich verfügbare kinetische Energie ist somit möglich, Teilchen mit weitaus größeren Massen zu erzeugen als die ursprünglich beschleunigten Teilchen.

Ein weitere Grund ist die Untersuchung der beschleunigten Teilchen selbst. Jedes Teilchen besitzt auch Eigenschaften einer Welle. Die Wellenlänge ist nach de Broglie mit dem Impuls p über $\frac{h}{p}$ verknüpft.¹ Wie in einem Mikroskop können damit immer kleiner werdende Längenskalen untersucht werden.

Mit dem LHC sollen nun Protonen auf bis zu 7 TeV beschleunigt werden. Dabei laufen zwei Protonenstrahlen gegenläufig in einem Ring um. An vier Wechselwirkungspunkten werden sie zur Kollision gebracht, womit eine Schwerpunktsenergien von $\sqrt{s} = 14$ TeV zur Verfügung steht. Die Kollisionen werden dabei mit einer Rate von 40 MHz erfolgen. Die nominelle Luminosität soll $1 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ betragen. Weiterhin ist geplant schwere Ionen wie Blei zu beschleunigen.

Der Beschleunigerring selbst setzt sich aus ungefähr 9300 Magneten zusammen, in

¹ h steht für das plancksche Wirkungsquantum

2. Das LHCb Experiment am Large Hadron Collider

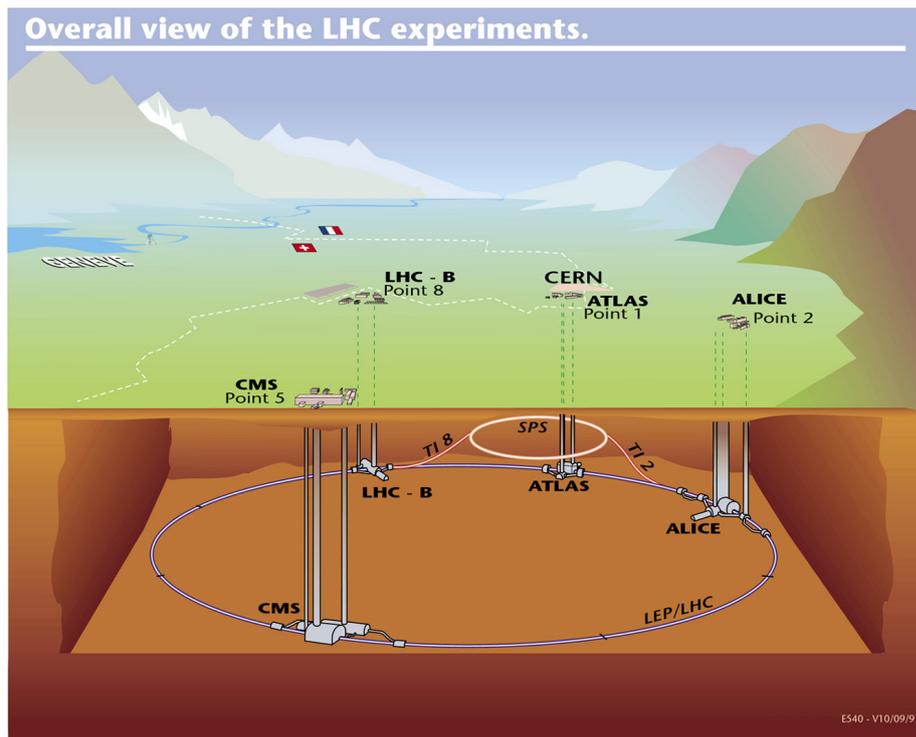


Abbildung 2.1. – Überblick über den LHC Tunnel und die vier großen Experimente
(Entnommen aus [5])

denen jeweils ein Strahl im Uhrzeigersinn und ein Strahl entgegengesetzt umläuft. Der Strahl wird dabei in sogenannte „bunches“ (Pakete) unterteilt. In diesen Paketen befinden sich jeweils etwa 10^{11} Protonen.

An den vier Wechselwirkungspunkten befinden sich die Detektoren der großen Experimente (Abbildung 2.1). Diese sind im Einzelnen:

ATLAS A Toroidal LHC AparatuS

Das ATLAS Experiment ist eines von zwei Universaldetektoren. Mit seinen Ausmaßen von 40 m Länge und jeweils 25 m in Breite und Höhe ist er voluminösester Detektor, der je gebaut wurde. Ziele sind die allgemeine Suche nach dem Higgs-Boson und „neuer“ Physik.

CMS Compact Muon Solenoid

CMS ist der zweite Universaldetektor des LHC. Er bildet somit das Gegenstück zu ATLAS und verfolgt dieselben Ziele. Verfolgt werden diese aber mit einem anderen Bauprinzip, welches zu einem relativ kompakten Detektor geführt hat.

LHCb Large Hadron Collider beauty

Da diese Arbeit im Rahmen des LHCb Experimentes entstanden ist, wird dieser Detektor in Kapitel 2.1 auf der nächsten Seite ausführlich vorgestellt.

ALICE A Large Ion Collider Experiment

Das Ziel des ALICE Detektors ist die Untersuchung des Quark-Gluon-Plasmas. Dieser Materiezustand soll kurz nach dem Urknall im Universum geherrscht haben. Um diesen zu erzeugen, werden anstatt Protonen Blei-Ionen zur Kollision gebracht.

Neben diesen vier Experimenten gibt es noch zwei weitere Detektoren (TOTEM und LHCf). Mit ihnen sollen Teilchen untersucht werden, welche unter sehr kleinen Winkeln, also nahe zur Strahlachse, in elastischen und diffraktiven Streuprozessen erzeugt wurden.

Am 10. September 2008 wurden zum ersten Mal der Strahl in beiden Richtungen um den Ring geführt. Ein Unfall am 19. September führte jedoch zu Beschädigungen an Magneten im Sektor 3-4. Daher ist mit Kollision von Protonen erst für das Jahr 2010 zu rechnen. [6, 7]

2.1. Das LHCb Experiment

Der LHCb Detektor [3] ist ein dezidiertes Experiment zur Untersuchung von CP-verletzenden und/oder seltener Zerfälle von Hadronen, welche b-Quarks beinhalten. Sie werden am LHC durch eine Fusion von Gluonen und Partonen (gg und $q\bar{q}$) erzeugt. Bei diesem Prozess werden immer ein b und ein \bar{b} Quarks produziert. Da die zur Verfügung stehende Energie deutlich höher ist als die Masse eines b-Quarks ($m_b \approx 4,2 \text{ GeV}/c^2$), reichen schon geringe Impulsunterschiede der beteiligten Partonen für einen starken Boost entlang der Strahlrichtung aus. Abbildung 2.2 zeigt die Polarwinkel Verteilung der erzeugten b-Quarks in einer Simulation.

Diese Tatsache wurde beim Bau des Detektors berücksichtigt. Er wurde daher als einarmiges Vorwärts-Spektrometer realisiert (Abbildung 2.3 auf der nächsten Seite).² Der Detektor deckt einen Winkelbereich von 10 mrad bis 300 mrad in der horizontalen Ebene ab. In dieser Ebene werden die Spuren durch einen Dipolmagneten aufgefächert. In der vertikalen Ebene beträgt die Abdeckung von 10 mrad bis 250 mrad.

Ein Vorteil gegenüber den e^+e^- B-Fabriken wie Babar und Belle, welche B^\pm und B^0 Mesonen aus der $\Upsilon(4s)$ Resonanz erzeugen, liegt in der Produktion weiterer B Hadronen (B_s^\pm , B_c^0 , Λ_c , etc.). Mit dem erwarteten $b\bar{b}$ Produktions-Wirkungsquerschnitt von ca. $500 \mu\text{b}$ bei einer Energie von 14 TeV wird der LHC zudem die ergiebigste Quelle der Welt für B Hadronen sein [3]. Die angestrebte Luminosität von LHCb wird $2 \times 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$ betragen, womit 10^{12} $b\bar{b}$ Paare pro nominellen Jahr Datennahme (10^7 s) erzeugt werden.

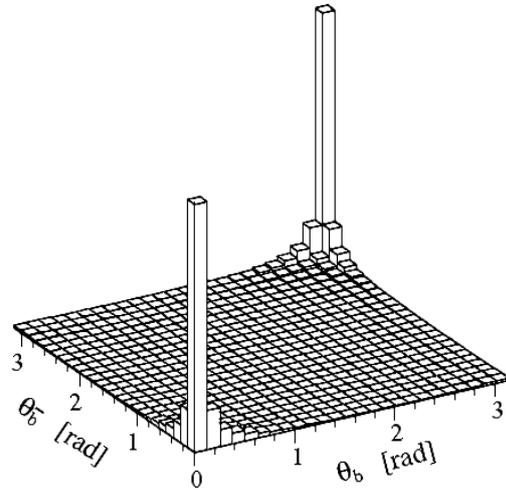


Abbildung 2.2. – Polarwinkel des erzeugten b-Quarks, simuliert mit dem PYTHIA Generator. (Entnommen aus [2])

² Aus Platzgründen wird nur eine Vorwärtsrichtung ausgenutzt.

2. Das LHCb Experiment am Large Hadron Collider

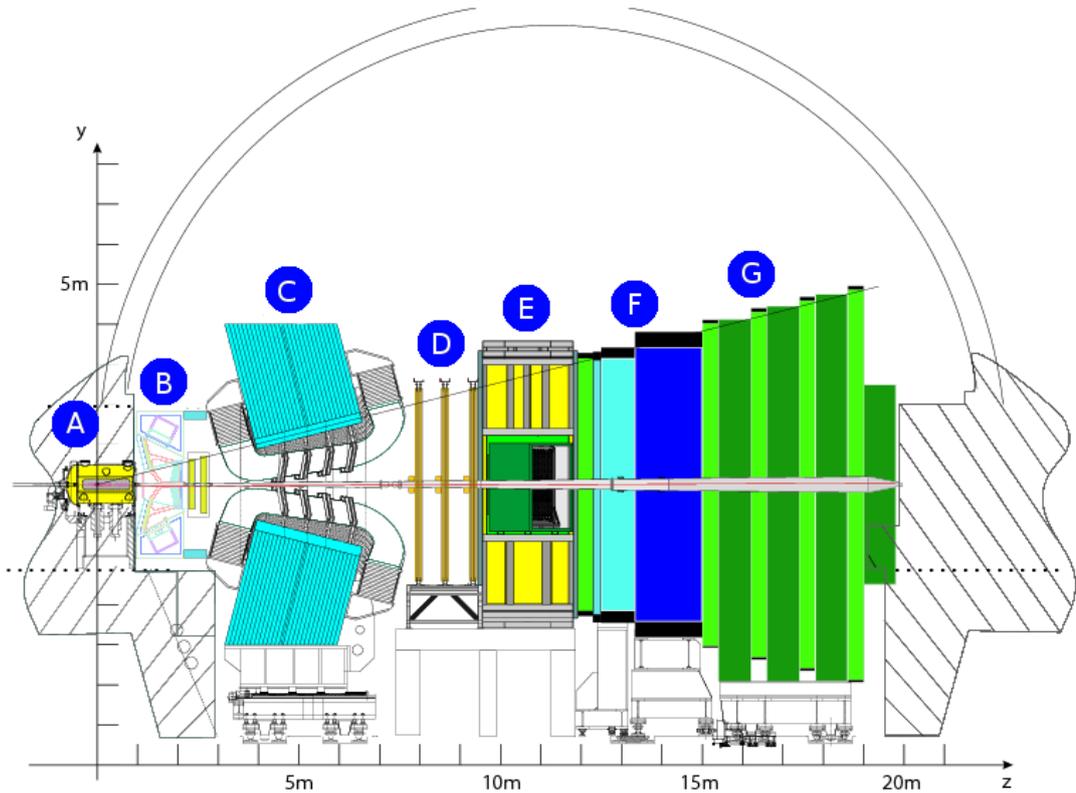


Abbildung 2.3. – Schematische Darstellung des LHCb Detektors. Der Wechselwirkungspunkt befindet sich auf der linken Seite. Umgeben wird er von Vertex Locator (A). Daneben liegt der erste Ring Imaging Cherenkov Detektor sowie der Tracker Turicensis (B). Der Dipolmagnet (C) sorgt für die Krümmung der Spuren zur Impulsmessung. Die Inner Tracker und Outer Tracker (D) Kammern befinden sich dahinter. Der zweite Ring Imaging Cherenkov Detektor (E) und die zwei Kalorimeter Electromagnetic Calorimeter und Hadronic Calorimeter (F) folgen. Abgeschlossen wird der LHCb Detektor durch die Myon Stationen 2-5 (G). (Die Myon Station 1 befindet sich vor den Kalorimetern.)

Diese im Vergleich zu den anderen LHC Experimenten geringere Luminosität kann schon zu Beginn von der Maschine geliefert werden.

Diese Reduktion wird durch eine weniger starke Fokussierung des Strahls am Wechselwirkungspunkt erreicht. Das Ziel ist dabei die Verringerung auf durchschnittlich eine Wechselwirkung pro Proton-Proton Kollision. Dieses erleichtert die Analyse der einzelnen Ereignisse. Zudem wird dadurch die Strahlenbelastung und somit die daraus entstehende Schädigung für die einzelnen Subdetektoren abgesenkt.

Ein Hauptmerkmal der Zerfälle von B Hadronen ist die Bildung eines Sekundärvertex. Aufgrund der Lebenszeit von b Quarks legen die Hadronen von ihrer Erzeugung (Primärvertex) bis zu ihrem Zerfall (Sekundärvertex) eine kurze Strecke im Detektor zurück. Um diese Distanz möglichst genau zu bestimmen, müssen die Vertices mit einer sehr hohen Auflösung vermessen werden. Weiterhin wird eine gute Impulsauflösung benötigt, um u.a. die Massen der beteiligten Teilchen zu bestimmen. Dies wird für die Reduktion des kombinatorischen Untergrundes benötigt. Für die Rekonstruktion der zahlreichen Zerfallskanäle benötigt man zudem eine gute Teilchenidentifikation.

Anhand dieser Anforderungen wurden die einzelnen Subdetektoren optimiert und gebaut. Dabei kann man sie im Wesentlichen in zwei Kategorien einordnen:

1. Detektoren zur Vermessung der Spuren geladener Teilchen
2. Detektoren zur Teilchenidentifikation

Im folgenden sollen die einzelnen Subdetektoren näher vorgestellt werden.

2.1.1. Detektoren zur Spurrekonstruktion

Um den Impuls eines geladenen Teilchens bestimmen zu können, werden ihre Bahnen durch einen Dipolmagneten gekrümmt. Dieser besitzt ein integriertes Magnetfeld von 4 Tm. Vor und hinter den Magneten befinden sich die Detektoren zur Spurrekonstruktion. Aus dem Unterschied in der Steigungen vor und hinter den Magneten lässt sich der Impuls eines Teilchens berechnen.

Der Vertex Locator

Der Vertex Locator (VeLo) befindet sich direkt am den Wechselwirkungspunkt. Mit ihm sollen die Positionen der einzelnen Vertices möglichst genau bestimmt werden. Aufgrund der hohen Strahlenbelastung³ sowie der benötigten Auflösung wurde als Technologie ein Siliziumstreifenzähler gewählt. Die einzelnen Sensoren wurden dabei in zwei Geometrien gefertigt. Der erste Sensortyp bestimmt den Abstand r einer Teilchenspur zur Strahlachse. Dazu werden die Siliziumstreifen kreisförmig um den Strahl angeordnet. Insgesamt besteht der Sensor aus 512 Streifen. Der innerste Radius beträgt dabei 8,2 mm, der äußerste Radius 42 mm. Der Abstand der einzelnen Streifen beträgt im Inneren von 40 μm , welcher sich nach außen auf 102 μm vergrößert. Um die Occupancy in den Sensoren zu

³ Innerhalb eines nominellen Jahres entspricht die Strahlenbelastung einem Äquivalent von 1 MeV Neutronen mit einem Fluss von $1.3 \cdot 10^{14} \text{ n}_{eq}/\text{cm}^2$

2. Das LHCb Experiment am Large Hadron Collider

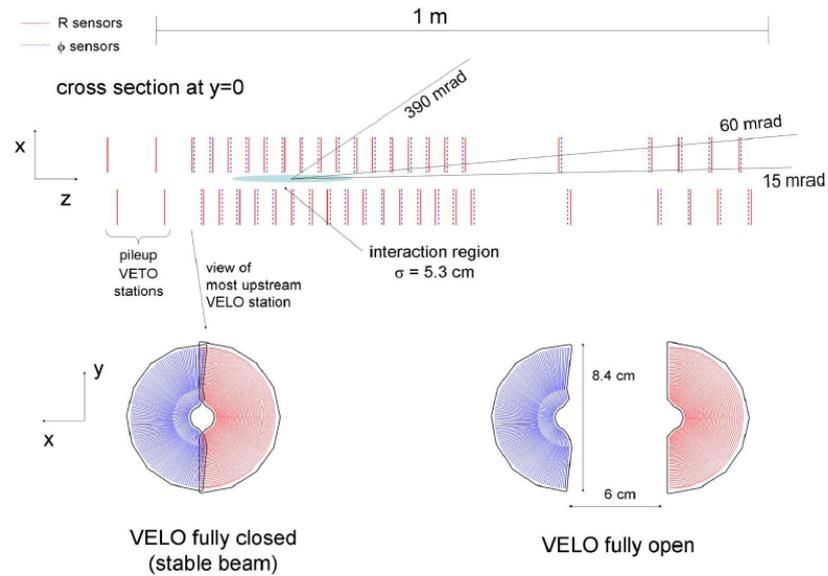


Abbildung 2.4. – Die Anordnung der VeLo Module in der (x,z) Ebene. Durch diese Geometrie wird sichergestellt, dass Teilchenspuren im Winkelbereich von 15 mrad bis 390 mrad mindestens drei Module durchqueren. Beim Starten einer neuen Messung sind die Module von der Strahlröhre entfernt. Erst wenn sich die Strahlbedingungen stabilisiert haben, werden die Module in ihre geschlossene Position gefahren. (Entnommen aus [3])

verringern, sind die Kreissegmente alle 45° unterbrochen. Insgesamt besteht ein Sensor aus vier dieser Kreissegmenten und deckt damit Winkel von 182° ab. Die Dicke eines einzelnen Sensors misst 300 μm .

Der zweite Sensortyp misst mit dem Winkel Φ orthogonal zu den R-Sensoren. Die Streifen verlaufen also radial nach außen, wobei sie bei einem Abstand von 17,25 mm zum Strahl unterbrochen sind. Ansonsten entsprechen die Φ -Sensoren in ihren Abmessungen denen der R-Sensoren, wobei der Abstand der Streifen von 38 μm nahe am Strahl zu 97 μm weiter entfernt vom Strahl variiert wird.

Die Sensoren werden zu Modulen verbunden, wobei ein Modul jeweils aus einem R-Sensor und einem Φ -Sensoren besteht. Insgesamt besteht der VeLo aus 42 Modulen. Abbildung 2.4 zeigt die Positionierung der einzelnen Module entlang des Strahlrohrs. Der VeLo deckt dabei einen Bereich von $1,6 < \eta < 4,9$ in der Pseudorapidität ab.

Der gesamte Aufbau befindet sich in einem Vakuum. Die einzelnen Module sind zusätzlich mit einer RF-Abschirmung versehen, um eine Kopplung zwischen VeLo und Strahl zu vermeiden.⁴ Um Beschädigungen bei der Injektion des Strahls in den LHC Ring zu vermeiden, befinden sich die Module zunächst in einem Abstand von 3 cm zum Strahlrohr. Sobald ein stabiler Betrieb des Strahls gewährleistet ist, werden die Module in ihre endgültige Position gefahren.

⁴ RF = Radiofrequenz

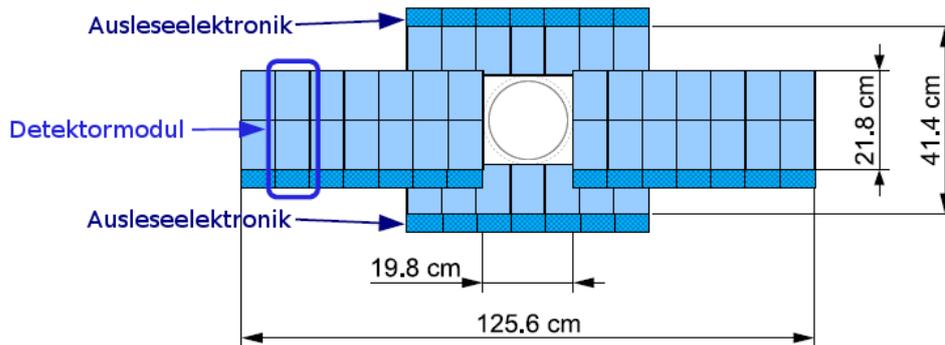


Abbildung 2.5. – Die Anordnung der Inner Tracker Module. Die gewählte Kreuzform stellt einen Kompromiss zwischen der Occupancy in diesem Bereich und den Kosten pro Detektorfläche, welche mit Siliziumdetektoren verbunden sind, dar. (Entnommen aus [3])

Der Tracker Turicensis

Der Tracker Turicensis (TT)⁵ liefert weitere Messpunkte zur Rekonstruktion der Spuren geladener Teilchen. Da diese bereits einen signifikanten Anteil des Dipolmagnetfeldes gesehen haben, wenn es den TT erreicht, ermöglicht er eine erste Abschätzung des Impulses. Diese Information sollte ursprünglich in der ersten Stufe des Software Triggers verwendet werden. Da die restlichen Detektoren zur Spurrekonstruktion inzwischen ebenfalls schnell ausgelesen werden können, hat sich die Bedeutung des TT in diesem Bereich relativiert.

Als Technologie kommen ebenfalls Siliziumstreifen zum Einsatz. Der Abstand der einzelnen Streifen beträgt dabei $200\ \mu\text{m}$. Die Auflösung der Position eines einzelnen Treffers beträgt $50\ \mu\text{m}$. Er besitzt eine aktive Fläche von $8,4\ \text{m}^2$ mit insgesamt 143360 Auslestreifen. Damit deckt er den gesamten Akzeptanzbereich des LHCb Experimentes ab.

Die Spurkammern

Die Spurkammern bestehen aus insgesamt drei Stationen. Sie befindet sich hinter dem Dipolmagneten aus Sicht des Wechselwirkungspunktes. Sie bestehen aus zwei eigenständigen Subdetektoren.

Der Inner Tracker (IT) vermisst die Spuren im Bereich von $40\ \text{cm}$ in der Vertikalen und $125,6\ \text{cm}$ um das Strahlrohr nach dem Magneten. Aufgrund des hohen Teilchenflusses in dieser Region kommen ebenso Siliziumstreifendetektoren zum Einsatz. Der Abstand der einzelnen Streifen beträgt wie beim TT ebenfalls etwa $200\ \mu\text{m}$, womit er eine Auflösung von $50\ \mu\text{m}$ erreicht. Abbildung 2.5 zeigt die Anordnung der Inner Tracker Module. Sie stellt einen Kompromiss zwischen der Occupancy und Kosten pro Detektorfläche, welche mit Siliziumdetektoren verbunden sind, dar.

⁵ ehemals als Trigger Tracker bekannt.

2. Das LHCb Experiment am Large Hadron Collider

Außerhalb des Bereichs kommt der Outer Tracker zum Einsatz. Da diese Arbeit im Rahmen dieses Subdetektors durchgeführt wurde, wird er in Kapitel 2.3 auf Seite 20 ausführlich vorgestellt.

2.1.2. Detektoren zur Teilchenidentifikation

Neben der Spurrekonstruktion ist die Identifikation der Teilchen nötig. Dazu wird den Spuren eine Wahrscheinlichkeit für eine Teilchenhypothese zugeordnet. Diese wird auf Grundlage von Messungen in verschiedenen Subdetektoren gebildet. Diese sollen im folgenden nun vorgestellt werden.

Die RICH Detektoren

Die Ring Imaging Cherenkov (RICH) Detektoren nutzen für ihre Messungen den Cherenkov Effekt. Dieser Effekt tritt auf, wenn geladene Teilchen ein Material mit einer Geschwindigkeit durchqueren, die größer ist als die Lichtgeschwindigkeit in diesem Material. Diese liegt bei $c_{mat} = c/n$, wobei n den Brechungsindex des Materials repräsentiert. In diesen Fall emittiert das Teilchen elektromagnetische Strahlung in Form eines Lichtkegels. Der Öffnungswinkel hängt dabei von der Geschwindigkeit eines Teilchen über $\cos(\theta_c) = \frac{c_{mat}}{v} = \frac{1}{\beta n}$ ab.

Das RICH System setzt sich aus zwei Detektoren zusammen, dem RICH1 und dem RICH2. Der RICH1 Subdetektor befindet sich zwischen dem VeLo und dem TT Stationen. Dabei kann er Teilchen in einem Impulsbereich von 1-60 GeV/c unterscheiden. Als Radiatoren wird Aerogel ($n = 1,03$) und C_4F_{10} ($n = 1,0014$) verwendet. Er deckt den gesamten LHCb Akzeptanzbereich von ± 25 mrad bis ± 300 mrad in der Horizontalen und ± 250 mrad in der Vertikalen ab.

Der RICH2 Subdetektor befindet sich hinter dem Spurkammersystem aus Sicht des Wechselwirkungspunktes. Er deckt einen Impulsbereich von etwa 15 GeV/c bis 100 GeV/c ab. Als Radiator wird CF_4 ($n = 1,0005$) verwendet. Die Winkelakzeptanz liegt in der Horizontalen bei ± 55 mrad bis ± 120 mrad, in der Vertikalen bei ± 100 mrad. In diesem Bereich werden die Teilchen produziert, die einem hohen Impuls besitzen.

Die Lichtkegel werden in beiden Detektoren über Spiegel auf Photo Detektoren projiziert. Aus der Messungen der Radien der Kreissegmente kann dann der Cherenkov Winkel bestimmt werden.

Mit der Impulsmessung des Trackingsystems und der Messung des Cherenkov Winkel kann die Ruhemasse des Teilchens bestimmt werden und damit die Teilchenart. Abbildung 2.6 auf der nächsten Seite zeigt den Cherenkov Winkel in Abhängigkeit des Teilchenimpulses für die eingesetzten Radiatoren.

Die Kalorimeter

Die Energiemessung erfolgt in dem elektromagnetischem Kalorimeter ECAL und dem hadronischem Kalorimeter HCAL, welche sich an den RICH2 Subdetektor anschließen.

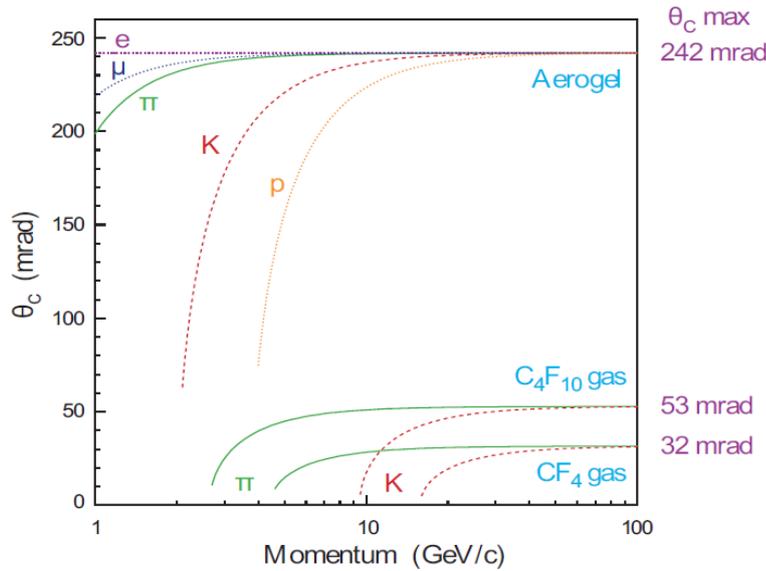


Abbildung 2.6. – Cherenkov Winkel gegen Teilchenimpuls für die verschiedenen RICH Radiatoren. (Entnommen aus [3])

Das ECAL vermisst die elektromagnetischen Schauer von Photonen und Elektronen. Diese treffen zunächst auf den Scintillator Pad Detector (SPD), welcher von einer 12 mm dicken Bleischicht gefolgt wird. Eine erste Vermessung des Schauers wird durch den Preshower Detector (PS) durchgeführt. Mit dieser ersten Stufe sollen Elektronen von π^0 unterschieden werden, was für den Level 0 Trigger von Bedeutung ist. Nun folgt das eigentliche elektromagnetische Kalorimeter. Dieses besteht aus abwechselnden Schichten von 4 mm Szintillatoren und 2 mm Blei. Durch Bremsstrahlung und Paarproduktion in den Bleischichten werden die elektromagnetischen Schauer gebildet, die mit den Szintillatoren vermessen werden. Der SPD/PS entspricht dabei 2,5 Strahlungslängen, das ECAL entspricht 25 Strahlungslängen. Die Energieauflösung des ECAL beträgt dabei

$$\frac{\sigma(E)}{E} = \frac{10\%}{\sqrt{E}} \oplus 1\% \quad (E \text{ in GeV})$$

Das hadronische Kalorimeter besteht aus abwechselnden Schichten von 3 mm Szintillatoren und 16 mm Eisenplatten. Es dient zur Vermessung hadronischer Schauer, die durch z.B. Kaonen oder Protonen produziert werden. Die Energieauflösung des HCAL beträgt dabei

$$\frac{\sigma(E)}{E} = \frac{70\%}{\sqrt{E}} \oplus 10\% \quad (E \text{ in GeV})$$

Die Myonkammern

Die Myonkammern bilden den Abschluss des LHCb Detektors. Sie besteht aus fünf Stationen (M1-M5), wobei die erste Station vor den Kalorimetern untergebracht ist. Damit

2. Das LHCb Experiment am Large Hadron Collider

soll die Messung des transversalen Impulses eines Myons verbessert werden, welche eine wichtige Rolle für den Level 0 Trigger spielt. Aufgebaut werden die Stationen aus Viendraht-Proportionalzählern⁶ mit Ausnahme der innersten Region der ersten Station, wo aufgrund der hohen Teilchenraten aus Sicherheitsgründen Tripple-GEMs eingesetzt werden.⁷ Zwischen den einzelnen Stationen befinden sich als Absorber 80 cm dicke Bleiplatten, welche den hadronischen Untergrund weiter unterdrücken sollen.

Eine gute Myonidentifikation und Rekonstruktion ist dabei essentiell für Messung der sogenannten „goldenen Kanälen“ $B_d^0 \rightarrow J/\psi (\mu^+ \mu^-) K_s^0$ und $B_s^0 \rightarrow J/\psi (\mu^+ \mu^-) \Phi$ bei LHCb.

2.2. Physik mit dem LHCb Detektor

Mit dem LHCb Detektor soll die CP-Verletzung bei B-Mesonen sowie seltene Zerfälle von B Hadronen untersucht werden. Dies erlaubt eine indirekte Suche nach „neuer“ Physik. Mit indirekten Suchen können Beiträge „neuer“ Physik auf Energieskalen getestet werden, die für eine direkten Such nicht zugänglich sind. Damit stellt das Physikprogramm bei LHCb eine komplementären Ansatz bei der Suche nach neuen Teilchen gegenüber CMS und ATLAS dar, welche diese direkt erzeugen wollen. Bevor dieses Programm näher beschrieben wird, soll zunächst die CKM Matrix eingeführt werden.

2.2.1. Die CKM Matrix

Die Eigenzustände der schwachen Wechselwirkung und die Masseneigenzustände der Quarks sind nicht identisch. Um diese ineinander zu überführen, muss eine Basistransformation durchgeführt werden. Die Matrix für diese Basistransformation ist die Cabibbo-Kobayashi-Maskawa (CKM)-Matrix.

$$\begin{pmatrix} d' \\ s' \\ b' \end{pmatrix} = \underbrace{\begin{pmatrix} V_{ud} & V_{us} & V_{ub} \\ V_{cd} & V_{cs} & V_{cb} \\ V_{td} & V_{ts} & V_{tb} \end{pmatrix}}_{V_{ckm}} \begin{pmatrix} d \\ s \\ b \end{pmatrix}$$

Die schwachen Eigenzustände q' sind demnach eine Kombination der Masseneigenzustände q . Aus experimenteller Sicht ist dabei die Übergangswahrscheinlichkeit von einem Quark q_i zu einem Quark q_j proportional zu dem Quadrat des Betrages des entsprechenden Matrixelementes $|V_{ij}|$. In der theoretischen Herleitung ist die CKM-Matrix als unitär definiert. Das bedeutet, dass die drei Generationen der Quarks in der elektroschwachen Theorie ausreichen, um alle Änderungen der Quarkflavour zu beschreiben. Diese Eigenschaft der Matrix muss im experimentellen Sinne nicht zwangsläufig erfüllt sein und daher überprüft werden. Aus der Forderung der Unitarität folgt:

$$V_{ckm} V_{ckm}^\dagger = V_{ckm}^\dagger V_{ckm} = 1$$

⁶ MWPC = Multi-wire proportional chambers

⁷ GEM = Gas Electron Multiplier

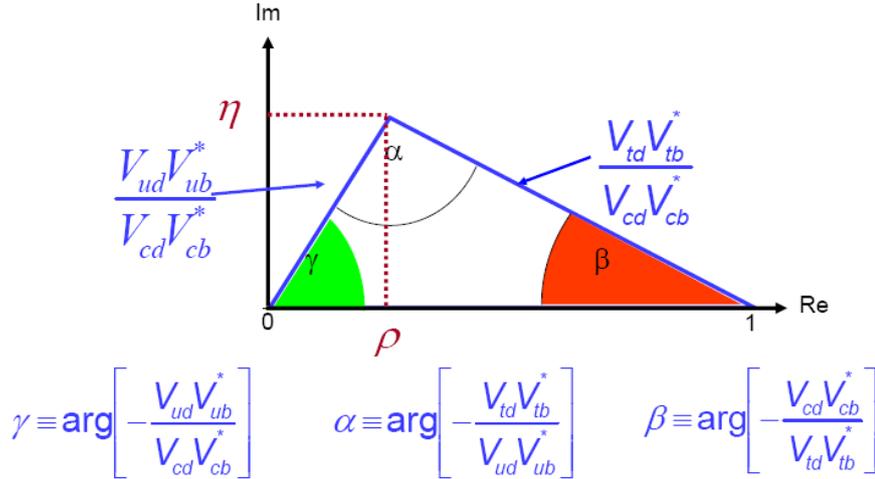


Abbildung 2.7. – Das Unitaritätsdreieck bd . Die Höhe des Dreiecks entspricht dem Wert von η . Die Fläche bildet damit ein Maß für die Größe der CP-Verletzung.

Die einzelnen Elemente der Matrix sind dabei komplexe Zahlen, woraus sich zunächst 18 freie Parameter ergeben. Aus der Unitarität ergeben sich 9 Bedingungen, die Wahl der Parameter einschränkt. Weiterhin kann jedes Quarkfeld eine Phase absorbieren. Es ist weiterhin nicht möglich, globale Phasen zu messen. Damit bleiben am Ende noch 4 freie Parameter übrig. Dies sind drei Quark Mischungswinkel und eine komplexe Phase. Diese komplexe Phase bildet dabei die Quelle für CP-Verletzung innerhalb des Standard Modells.

Eine häufig gewählte Parametrisierung wurde 1983 von Wolfenstein [8] mit den Parametern λ , A , ρ und η vorgeschlagen. Diese Parametrisierung drückt die Größe der einzelnen Elemente in Ordnungen von $\lambda = \sin \theta_c \approx 0,22$ aus:

$$V_{ckm} = \begin{pmatrix} 1 - \lambda^2/2 & \lambda & A\lambda^3(\rho - i\eta) \\ -\lambda & 1 - \lambda^2/2 & A\lambda^2 \\ A\lambda^3(1 - \rho - i\eta) & -A\lambda^2 & 1 \end{pmatrix} + \mathcal{O}(\lambda^4)$$

Eine notwendige Bedingung für CP-Verletzung ist dabei $\eta \neq 0$. Damit können die Bedingungen, die sich aus der Unitarität ergeben, als Dreiecke in der komplexen Ebene dargestellt werden. Eines der bekanntesten Dreiecke ist das Unitaritätsdreieck bd :

$$V_{ud}V_{ub}^* + V_{cd}V_{cb}^* + V_{td}V_{tb}^* = 0 \quad (2.1)$$

Abbildung 2.7 zeigt eine Ansicht des Dreiecks. Aus Konvention wird dabei eine Seite üblicherweise auf 1 normiert. Die Höhe des Dreiecks entspricht dem Wert von η . Die Fläche bildet damit ein Maß für die Größe der CP-Verletzung.

Die Aufgabe der Experimente besteht nun in der präzisen Vermessung der Seiten und Winkel dieses Dreiecks. Der Stand der Messungen für 2009 ist in 2.8 auf der nächsten Seite gezeigt [9]. Jedes Band repräsentiert dabei die Bestimmung der Seiten und Winkel aus einen oder mehreren Messungen. Die Breite eines Bandes zeigt den Fehler auf

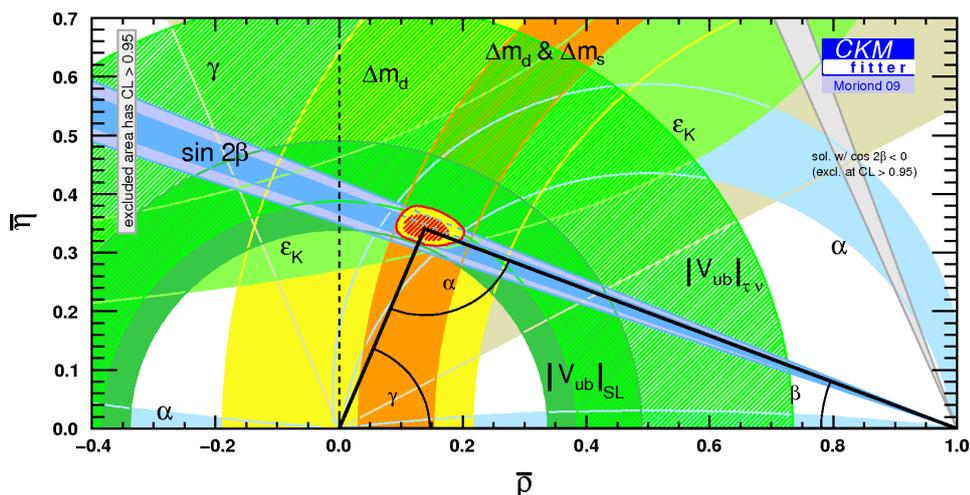


Abbildung 2.8. – Stand der Messungen des Unitaritätsdreiecks für 2009 [9]

diesen Wert innerhalb von einer Standardabweichung. Bisher stimmen die Messungen mit der Vorhersage des Standard Modell überein. Das LHCb Experiment wird viele der Parameter genauer bestimmen. Sollten dabei Inkonsistenzen mit dem Standard Modell in den präzisen Messungen auftreten, wäre dies ein Hinweis auf „neue“ Physik.

2.2.2. Messungen bei LHCb

Die Messungen bei LHCb umfassen die Messung der CP-Verletzung im B_d und B_s -System sowie seltene Zerfälle, welche aufgrund ihrer geringen Statistik bisher nicht zugänglich waren. Im folgenden sollen einige Analysen vorgestellt werden.

Messung des Winkels γ

Die Messungen des Winkels γ sind bisher mit großen Unsicherheiten behaftet. Bei LHCb ergeben sich mehrere Möglichkeiten zur Messung von γ . Dabei werden Zerfälle mit Quarkübergängen $b \rightarrow u$ und $b \rightarrow c$ untersucht. Die verschiedenen Messungen lassen sich in zwei Kategorien einteilen. Die erste Kategorie besteht in der Messung der direkten CP-Verletzung in Zerfällen $B \rightarrow DK^{(*)}$. Eine andere Möglichkeit besteht in der zeitabhängigen Messung des CP-Verletzung in $B \rightarrow D^{(*)\pi}$ und $B_s \rightarrow D_s K$ Zerfällen.

Die Zerfälle $B^- \rightarrow D^0 K^-$ und $B^- \rightarrow \bar{D}^0 K^-$ sowie deren entsprechenden Ladungskonjugierten Zerfällen sind sensitiv auf γ durch Tree-Diagramme. Abbildung 2.9 auf der nächsten Seite zeigt die zwei tree-level Prozesse für das geladene B. Dabei ist Diagramm (a) vom Matrix Element V_{cb} abhängig, während in Diagramm (b) V_{ub} zum tragen kommt. Die Differenz der schwachen Phase zwischen V_{ub} und V_{cb} ist $-\gamma$. Daher gibt die Interferenz zwischen diesen beiden Amplituden, wenn D^0 oder \bar{D}^0 in denselben Endzustand zerfallen, Zugang zu γ . Sogenannte Pinguin Diagramme, also Diagramme mit Schleifenprozessen, spielen bei diesen Zerfällen keine Rolle.

Eine zweiten Möglichkeit zur Bestimmung von γ bietet der Zerfall $B_s^0 \rightarrow D_s^\mp K^\pm$. Eine

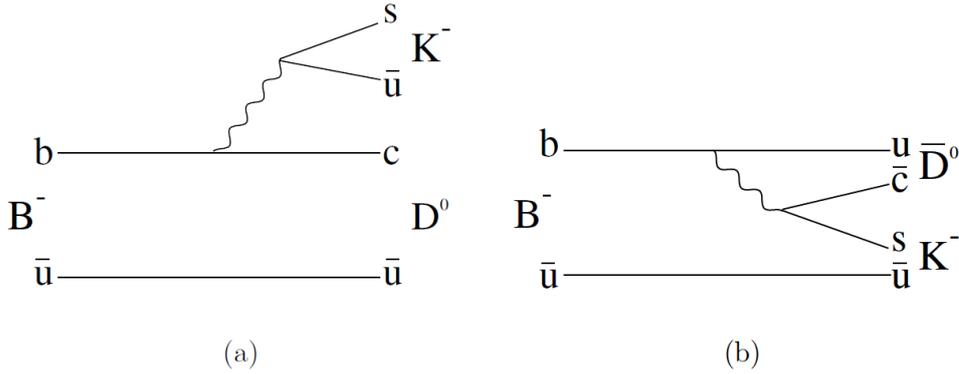


Abbildung 2.9. – Die Diagramme für (a) $B^- \rightarrow D^0 K^-$ und (b) $\bar{B}^- \rightarrow \bar{D}^0 K^-$

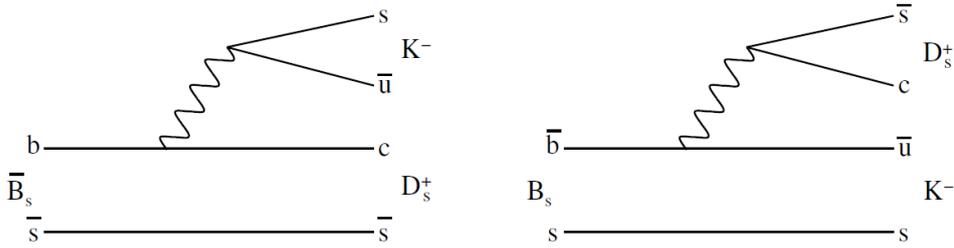


Abbildung 2.10. – Die Feynmangraphen für $\bar{B}_s^0 \rightarrow D_s^+ K^-$ und $B_s^0 \rightarrow D_s^+ K^-$

Messung der zeitabhängigen CP Asymmetrie in diesem Zerfall erlaubt die Bestimmung von $\gamma - 2\Phi_M$, wobei Φ_M die B_s Mischungsphase bezeichnet. In erster Ordnung treten nur tree Diagramme auf, weshalb dieser Zerfall insensitive gegenüber „neuer“ Physik in Schleifenprozessen ist. Die Sensitivität für γ ergibt sich dabei aus der Interferenz zwischen dem Zerfall der B_s^0 und \bar{B}_s^0 in $D_s^+ K^-$ und der Mischung des B_s -Mesonen. Die Feynmandiagramme für die Zerfälle sind in Abbildung 2.10 gezeigt. Die Messung von $\gamma - 2\Phi_M$ kann in eine Messung von γ überführt werden, da ϕ_M aus der Analyse der $B_s \rightarrow J/\Psi\Phi$ extrahiert werden kann.

Neben den vorgestellten Zerfällen gibt es noch eine Vielzahl weiterer Zerfallskanäle, die zur Messung von γ beitragen. Tabelle 2.1 auf der nächsten Seite listet die erwartete Anzahl von Zerfällen bei einer integrierten Luminosität von $0,5 \text{ fb}^{-1}$ auf. Die erwartete Sensitivität auf γ beträgt dabei $\sigma_\gamma \approx 8\text{-}10^\circ$ für $0,5 \text{ fb}^{-1}$ und $\sigma_\gamma \approx 4\text{-}5^\circ$ für 2 fb^{-1} [10].

Der Zerfall $B \rightarrow \mu^+ \mu^-$

Ein seltener Zerfall, welcher bei LHCb untersucht werden wird, ist $B \rightarrow \mu^+ \mu^-$. Abbildung 2.11 auf der nächsten Seite zeigt Beispiele für Feynmangraphen, die zum Zerfall $B \rightarrow \mu^+ \mu^-$ beitragen. Für diesen Zerfall wird im Standard Modell ein Verzweigungsverhältnis von $(3,35 \pm 0,32) \cdot 10^{-9}$ vorhergesagt [11]. Dieses Verzweigungsverhältnis vergrößert sich im Rahmen des MSSM mit der sechsten Potenz von $\tan\beta$, dem Verhältnis der Vakuum Erwartungswerte der Higgs Bosonen [12].

2. Das LHCb Experiment am Large Hadron Collider

Zerfall	0,5 fb ⁻¹ Yield	B/s
$B^+ \rightarrow D(K^+\pi^-)K^+$	21000 ± 1500	0,6 ± 0,1
$B^+ \rightarrow D(K^-\pi^+)K^+$	400 ± 25	0,6 ± 0,3
$B^+ \rightarrow D(h^+h^-)K^+$	2400 ± 150	1,7 ± 0,4
$B^0 \rightarrow D(K^+\pi^-)K^{*0}$	1000 ± 200	0,25 ± 0,2
$B^0 \rightarrow D(K^-\pi^+)K^{*0}$	90 ± 20	6,7 ± 3,3
$B^0 \rightarrow D(h^+h^-)K^{*0}$	85 ± 20	< 5,4(90% C.L.)
$B^0 \rightarrow D^\pm\pi^\mp$	(310 ± 20) · 10 ³	0,17 ± 0,06
$B_s^0 \rightarrow D^\pm K^\mp$	3500 ± 1200	[0,1, 0,4](90% C.L.)

Tabelle 2.1. – Erwartete Anzahl an Ereignissen bei einer integrierten Luminosität von 0,5 fb⁻¹ und eine Abschätzung für B/s. [10]

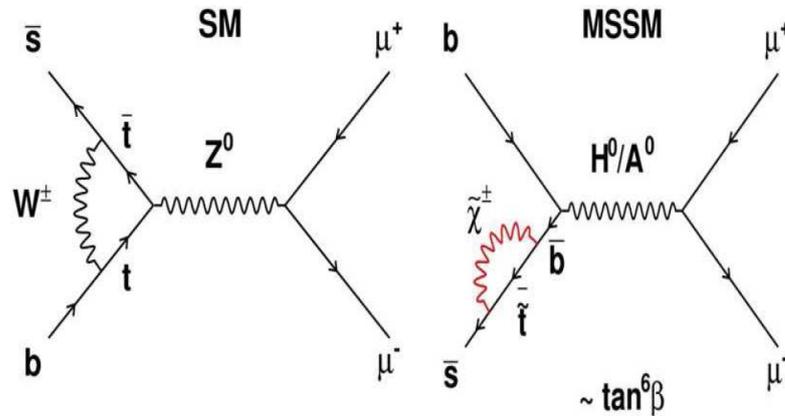


Abbildung 2.11. – Beispiele für Feynmangraphen, die zum Zerfall $B \rightarrow \mu^+\mu^-$ im Standard Modell (links) und im MSSM (rechts) beitragen.

Am Tevatron Kollider des Fermilab wurde bereits eine obere Grenze für das Verzweungsverhältnis $\text{BR}(B \rightarrow \mu^+\mu^-) < 4,7 \cdot 10^{-8}$ (90% C.L.) bestimmt [13]. Es wird erwartet, dass bereits mit einer Luminosität von 1 fb⁻¹ bei LHCb jeglicher signifikante Überschuss mit Bezug auf das Standard Modell ausgeschlossen werden kann. Die Messung liefert damit entweder ein klares Signal für neue Physik oder eine starke Einschränkung für Theorien jenseits des Standard Modells.

CP-Verletzung im B_s -System

Die schwachen Eigenzustände neutraler B-Mesonen (B und \bar{B}) sind eine Mischung aus den Masseneigenzuständen. Die Masseneigenzustände werden dabei in der Regel mit B_H und B_L bezeichnet.⁸ Über Box-Diagramme ist es den schwachen Eigenzuständen möglich ineinander überzugehen. Abbildung 2.12 auf der nächsten Seite zeigt die zugehörigen Feynmangraphen. Der dominante Beitrag im Box-Diagramm kommt dabei von

⁸ H = heavy (schwer), L = light (leicht)

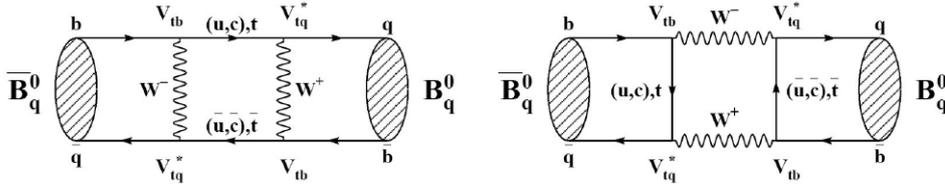


Abbildung 2.12. – Feynmangraphen für $B_q - \bar{B}_q$ -Mischung im Standard Modell ($q = d, s$)

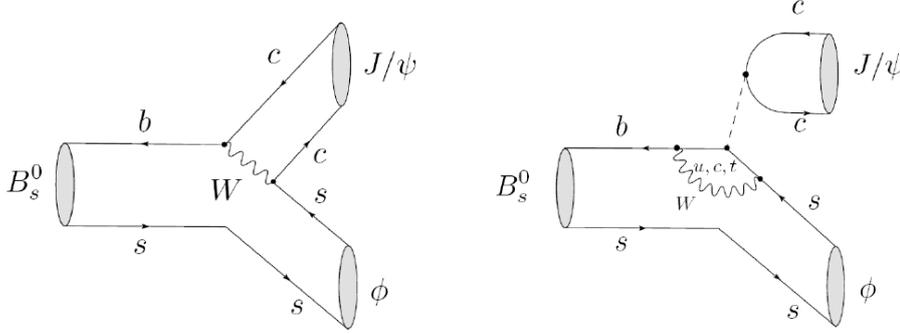


Abbildung 2.13. – Feynmangraphen für den Zerfall $B_s^0 \rightarrow J/\Psi\Phi$

Top-Quark. Dies liegt am großen Massenunterschied zwischen dem Top-Quark und den anderen Quarkflavour.

Die Oszillationsfrequenz im B_s -System wurde erstmals im Jahre 2006 präzise vom den CDF- und D0-Experimenten am Fermilab zu $\Delta m_s = (17,77 \pm 0,10(stat) \pm 0,07(syst)) \text{ ps}^{-1}$ bestimmt [14, 15]. Auf dieser Messung aufbauend kann man in einem weiteren Schritt $\Delta\Gamma_s = \Gamma_H - \Gamma_L$ und die Mischungsphase ϕ_s , welche die CP-Verletzung bewirkt, bestimmen. Der Zerfall $B_s^0 \rightarrow J/\Psi(\mu^+\mu^-)\Phi(K^+K^-)$ ist dabei der bevorzugte Kanal für die Bestimmung von $\Delta\Gamma_s$ und ϕ_s . Der Feynmangraph für diesen Zerfall ist in Abbildung 2.13 gezeigt. Der Vorteil dieses Zerfalls liegt in den sehr kleinen theoretischen Unsicherheiten für die Vorhersage im Standard Modell. Dies liegt in den sehr kleinen Beiträgen aus Schleifenprozessen zu diesem Zerfall. Die CP-Verletzung tritt dabei in der Interferenz zwischen Zerfall und Mischung auf. Innerhalb des Standard Modells wird diese Phase zu $\Phi_s = -2\beta_s = -0,0368 \pm 0,0017$ vorhergesagt [16], wobei β_s als der kleinste Winkel im bs -Unitaritätsdreieck definiert ist.

Neue Physik kann diesen Wert erheblich verändern, wenn die neuen Teilchen Beiträge zu den Box-Diagrammen liefern. Die derzeit gemessenen Werte stammen vom D0-Experiment und liegen bei $\Delta\Gamma_s = 0,13 \pm 0,09$ und $\Phi_s = -0,70_{-0,39}^{+0,47}$ [17]. Beide Messungen sind statistisch limitiert. Bei LHCb erwartet man mit der Datenmenge eines nominellen Jahres⁹ eine statistische Genauigkeit von $\sigma_{stat}(\Delta\Gamma/\Gamma) = 2\%$ und $\sigma_{stat}(\sin\Phi_s) = 0,02 - 0,06$.

⁹ Dies entspricht einer integrierten Luminosität von 2 fb^{-1} .

2.3. Der LHCb Outer Tracker

Der Outer Tracker, oder auch äußeres Spurkammersystem genannt, befindet sich zwischen dem Dipolmagneten und dem RICH2 System. Zusammen mit dem Inner Tracker dient er zur Vermessung der Teilchenspuren nach dem Magneten. Dabei erweitert der Outer Tracker die Detektorfläche des Inner Tracker auf den gesamten Akzeptanzbereich des LHCb Detektors.

Der Outer Tracker ist aus einzelnen, gasdichten Modulen aufgebaut, welche eine Länge von 5 m und eine Breite von 32 cm von besitzen. Jedes Modul besteht aus zwei Monolagen. Eine Monolage wird aus 64 nebeneinander aufgereihten Driftröhrchen gebildet, welche auf einen Paneel mit einer Genauigkeit von $50\ \mu\text{m}$ über die gesamte Modullänge geklebt werden. Abbildung 2.14 zeigt eine Monolage während der Produktion. Ein Paneel besteht aus einem Kern von 10 mm Rohacell, der von zwei $120\ \mu\text{m}$ dicken Schichten aus Carbonfasern eingeschlossen wird.

Die Driftröhrchen besitzen einen Durchmesser von 5 mm. Sie werden dabei in der Mitte einer Monolage unterbrochen, um die Occupancy im Experiment zu reduzieren. Dadurch werden die Module später an beiden Enden ausgelesen. Auf den genauen Aufbau und die Funktionsweise der Driftröhrchen soll im folgendem Kapitel eingegangen werden.

Um nun ein Modul zu bilden, werden zwei Monolagen um den halben Durchmesser eines Driftröhrchens versetzt zusammengeklebt. Die Paneele bilden dabei die Außenwände der Module. Durch den Versatz wird sichergestellt, dass ein Teilchen mindestens ein Driftröhrchen pro Modul durchquert. Als Seitenwände werden $400\ \mu\text{m}$ dicke Carbonfasern verwendet.

Der Outer Tracker besteht insgesamt aus drei Stationen. Jede Station ist dabei in zwei Hälften vertikal zum Strahlrohr geteilt. Diese können unabhängig voneinander aus dem Akzeptanzbereich des LHCb Detektors geschoben werden, um den Zugang für Wartungsarbeiten zu erleichtern. Eine Station besteht wiederum aus vier Lagen, welche in einer x-u-v-x Geometrie angeordnet sind. Die Module einer x-Lage sind dabei vertikal ausgerichtet, wogegen sie in einer u-Lage (v-Lage) um $+5^\circ$ (-5°) gegen die Vertikale gedreht sind. Jede Lage setzt sich aus 18 Modulen zusammen, woraus sich eine aktive Detektorfläche von $5971 \times 4850\ \text{mm}^2$ pro Lage ergibt. Im Bereich des Inner Tracker kommen dabei verkürzte Module zum Einsatz, da dort die Occupancy für den Outer

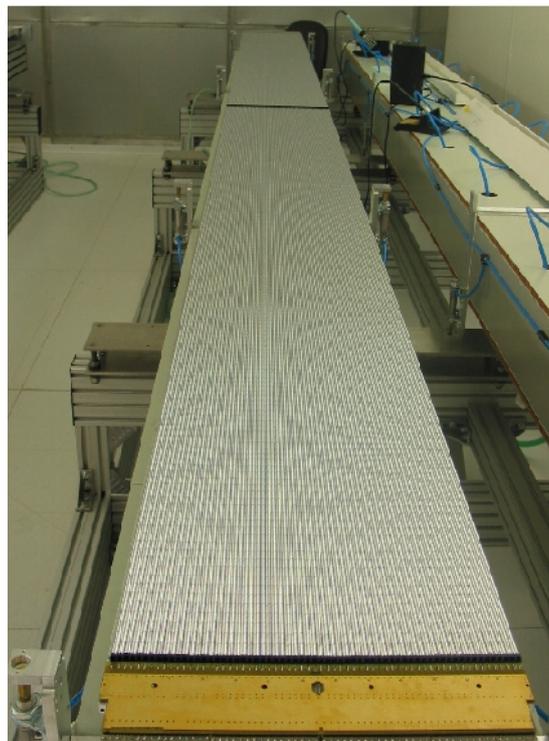


Abbildung 2.14. – Eine Monolage während der Produktion

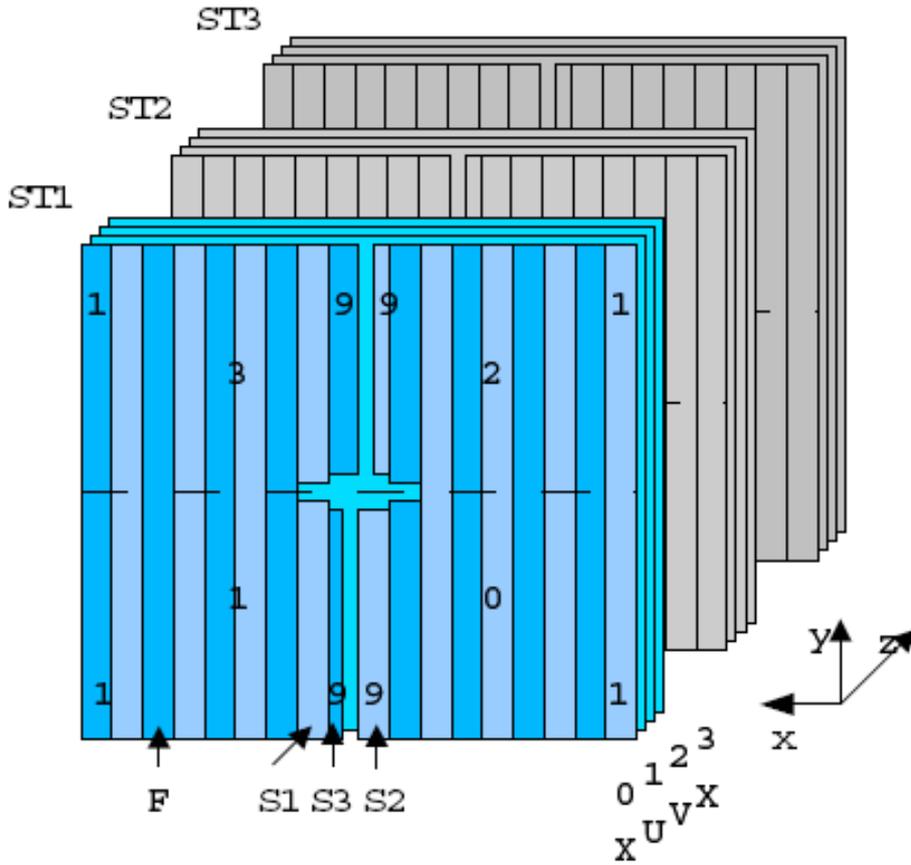


Abbildung 2.15. – Schematischer Aufbau des Outer Tracker: Er besteht aus drei Stationen (T1 - T3), welche sich aus vier Lagen zusammensetzen (X,U,V,X). Aus Sicht der Ausleseelektronik wird jede Lage zusätzlich vier Quadranten unterteilt, wobei sich jeweils 9 Module über zwei Quadranten erstrecken.

Tracker zu hoch ist.¹⁰ Abbildung 2.15 verdeutlicht die schematische Anordnung.

Die Module zweier Halblagen werden in einem C-Frame befestigt (siehe Abbildung 2.16 auf der nächsten Seite). Durch spezielle Pins werden die Module in einem C-Frame positioniert. In einem C-Frame werden auch sämtliche Versorgungsleitungen für die Module und die Ausleseelektronik untergebracht. Durch seine Bauweise verbraucht der gesamte Outer Tracker dabei ein Materialbudget von nur 9,6% einer Strahlungslänge.

2.3.1. Aufbau und Funktionsprinzip der Driftröhrchen

¹⁰ Sie sollte 10% bei einer Luminosität von $2 \cdot 10^{-32} \text{ cm}^{-2} \text{ s}^{-1}$ nicht überschreiten.

2. Das LHCb Experiment am Large Hadron Collider

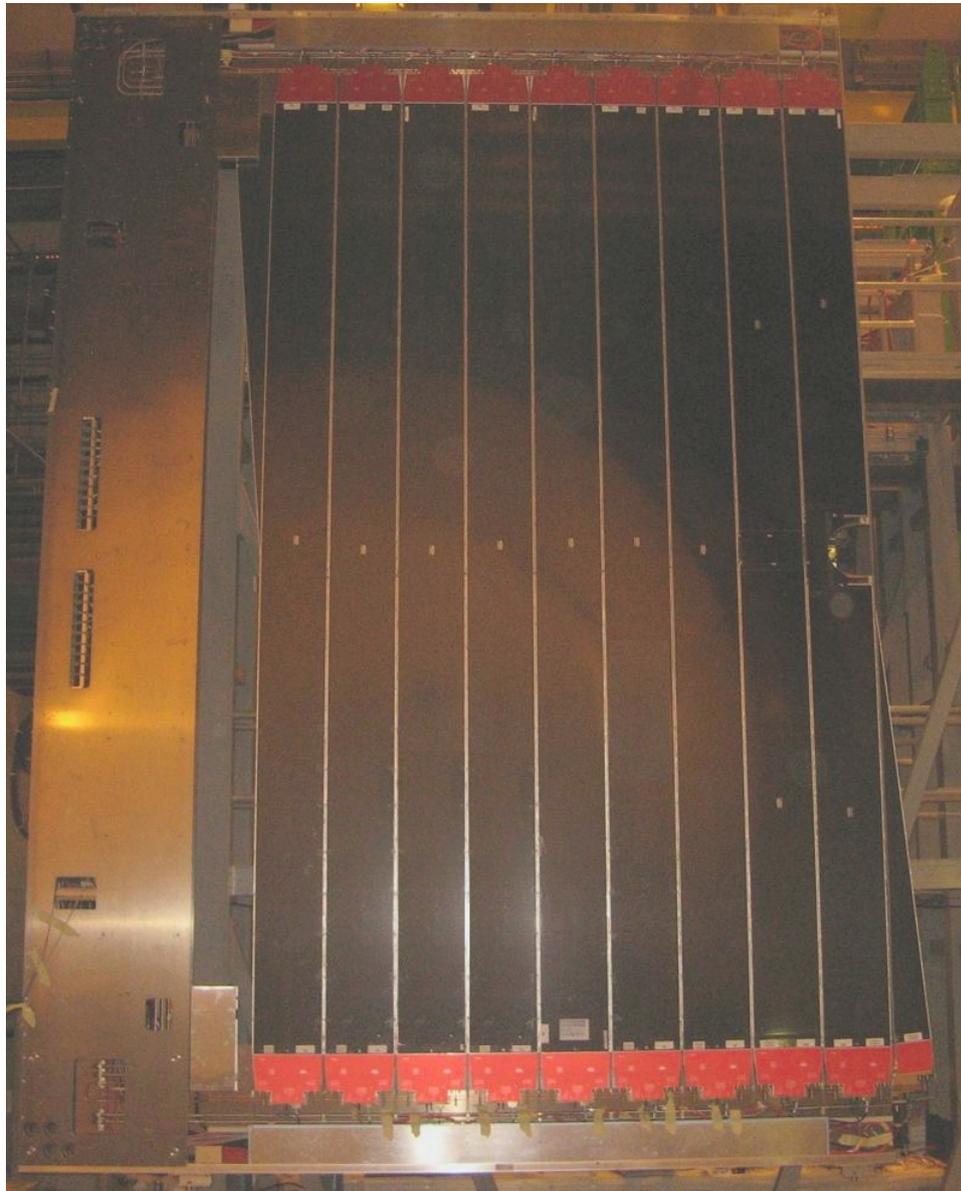


Abbildung 2.16. – Das Bild zeigt einen C-Frame kurz vor dem Einbau. In der Mitte sieht man die 5 m langen Module. Die Aussparung für das Strahlrohr erkennt man am rechten Modul. Oben und unten sind die Modul mit Front-end Boxen ausgestattet (rot). Die silberne Tragestruktur zeigt die namens gebende C-Form. Links oben und rechts unten kann man die um 5° gedrehten Module der hinteren Lage erkennen.

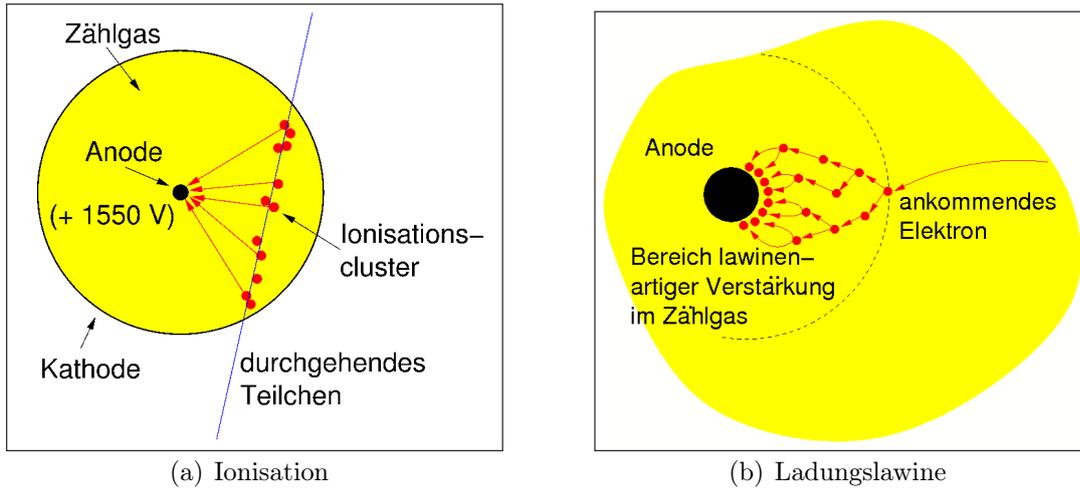


Abbildung 2.18. – Das Messprinzip eines Driftröhrens: Ein ionisierendes Teilchen durchquert das Röhrrchen. Dabei werden Elektronen frei und driften zur Anode (a). In der Nähe der Anode erzeugen diese aufgrund der Hochspannung eine Ladungslawine (b). Dieses Signal kann nun nachgewiesen werden.

Die verwendeten Röhrrchen beim Outer Tracker werden aus zwei Folien gebildet. Die erste Folie besteht leitfähigen Kapton-XC mit einer Dicke von 40 μm . Sie bildet die Kathode des Driftröhrens. Die zweite Folie besteht aus einer 25 μm starken Kaptonschiicht und einer 12 μm starken Aluminiumschicht. Die Kaptonschiicht verstärkt die Gasdichtigkeit der Röhrrchen. Die Aluminiumschicht soll das Übersprechen auf benachbarte Röhrrchen minimieren sowie die Spiegeladungen besser leiten. Aus beiden Folien wird nun das Röhrrchen gewickelt, wie es in Abbildung 2.17 gezeigt ist.

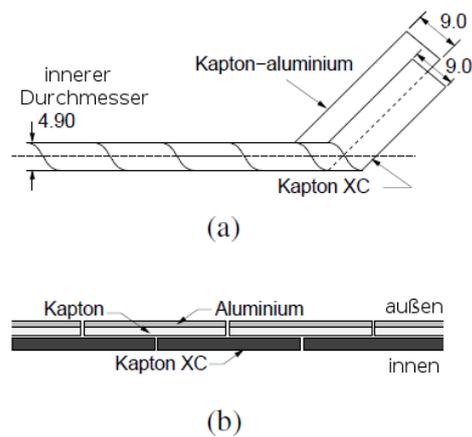


Abbildung 2.17. – Aufbau eines Röhrrchens.

In die Mitte eines Röhrrchens wird ein goldbeschichteter Wolframdraht mit einem Durchmesser von 25,4 μm gespannt, welcher die Anode bildet. Über die Länge von 2,5 m sorgen alle 80 cm spezielle Halterungen innerhalb der Röhrrchens dafür, dass der Draht in der Mitte positioniert ist. Als Zählgas wird eine Mischung aus 70% Ar und 30% CO_2 verwendet. An den Draht wird auf eine Spannung von +1550 V angelegt.

Durchquert nun eine geladenes Teilchen das Röhrrchen, so ionisiert es die Gasatome (Abbildung 2.18). Aufgrund des elektrischen Feldes driften die freiwerdenden Elektronen zum Anodendraht. In unmittelbarer Nähe zum Draht ist die Feldstärke so hoch, dass die Elektronen stark genug beschleunigt werden, um weiter Gasatome zu ionisieren. Dadurch kommt es zur einer Ladungslawine. Das CO_2 sorgt als Löschgas dafür, dass die diese lokal begrenzt bleibt.

Dieser Ladungsimpuls wird nun am Ende des Drahtes nachgewiesen. Er besteht dabei aus zwei Komponenten, die sich zeitlich Unterschiedlich verhalten. Die ankommenden Elektronen bilden die schnelle Komponente des Signals. Sie wird für die anschließende Zeitmessung benutzt. Die driftenden Ionen dagegen bilden die langsame Komponente des Signals. Diese muss von der Elektronik gefiltert werden.

Um nun den Abstand der Teilchenspur zum Draht zu bestimmen, wird die zeitliche Differenz zwischen dem Teilchendurchgang durch das Röhrchen und dem Nachweis des Ladungsimpulses am Drahtende gemessen. Diese Differenz setzt sich aus der Signalpropagation auf dem Draht und der Zeit zusammen, die die Elektronen benötigen, um zum Draht zu driften. Ist die Driftzeit/Ort-Beziehung bekannt¹¹, so kann die Driftstrecke bestimmt werden. Die Ortsauflösung eines Driftröhrchens beim Outer Tracker liegt bei etwa 200 μm .

Dabei gibt es Extremfälle zu beachten. Durchquert das Teilchen das Röhrchen am äußersten Rand, so ist die Weglänge im Gas evtl. zu kurz, um das Gas zu ionisieren. Durchquert es andererseits das Röhrchen genau in der Mitte, so gilt die Näherung „Driftzeit \approx nächster Abstand der Teilchenspur zum Draht“ für den Ionisationscluster, der zuerst den Draht erreicht, nicht mehr. Aus diesem Grund besteht ein Modul aus zwei versetzten Reihen von Driftröhrchen.

2.4. Das LHCb Online System

Das LHCb Online System ist zuständig für den Transfer der Daten von der Front-end Elektronik bis zum Massenspeicher. Dazu gehört auch die Initialisierung und Überwachung der Elektronik sowie deren Steuerung. Es besteht aus den folgenden drei Komponenten:

- dem Data Acquisition (DAQ) System
- dem Timing and Fast Control (TFC) System
- dem Experiment Control System (ECS)

Diese sollen im folgenden näher vorgestellt werden.

2.4.1. Das DAQ System

Die Aufgabe des DAQ Systems besteht im Transfer der Daten von der Front-end Elektronik zum Massenspeicher. Die Daten der einzelnen Detektoren werden dabei zunächst in einer LHCb-weit einheitlichen Auslesekarte, der Tell1 Karte [18] gesammelt.¹² Abbildung 2.19 auf der nächsten Seite zeigt eine vereinfachte Darstellung der einzelnen Komponenten dieser Karte. Die Daten werden dabei von einer analogen oder optischen

¹¹ Die Driftzeit/Ort-Beziehung ist in der Regel nicht linear.

¹² Eine Ausnahme bilden die RICH Detektoren, die eine andere Karte mit der selben Funktionalität benutzen.

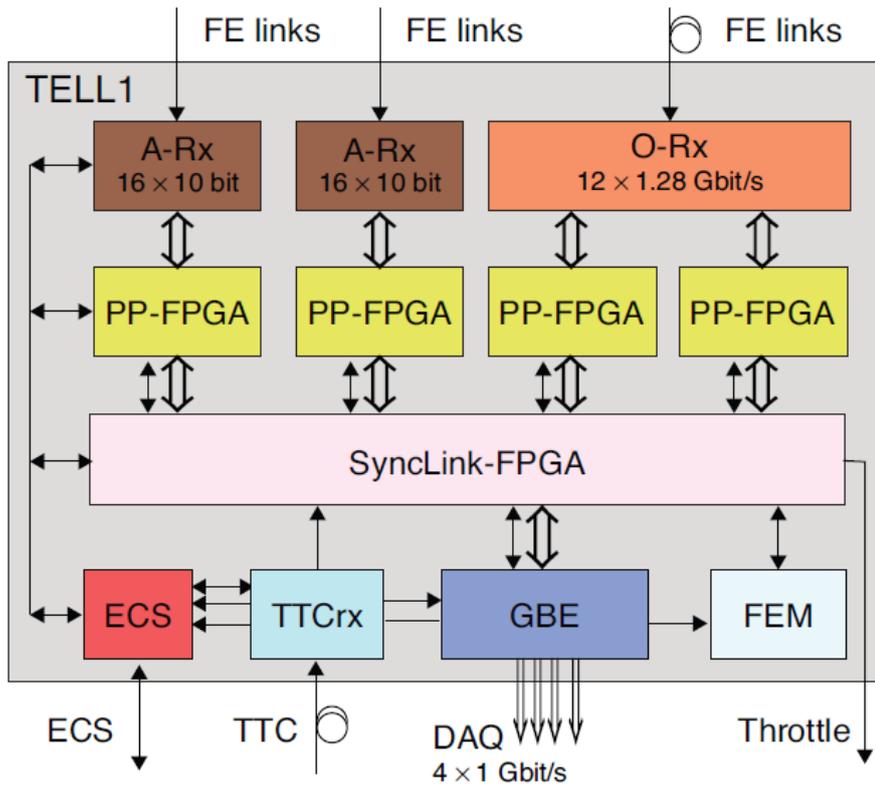


Abbildung 2.19. – Vereinfachte Darstellung der einzelnen Komponenten der Tell1 Karte.
(Entnommen aus [3])

2. Das LHCb Experiment am Large Hadron Collider

Empfängerkarte entgegengenommen und an die Tell1 Karte weitergeleitet. Die Optical Receiver Card (ORxCard) [19], welche u.a. vom Outer Tracker verwendet wird, wurde am Physikalischen Institut der Universität Heidelberg entwickelt und wird u.a. vom Outer Tracker verwendet. Sie kann die Daten von bis zu 12 optischen Links empfangen. Zwei optischen Empfängerkarten können dabei an eine Tell1 Karte angeschlossen werden.

Die Daten werden auf der Tell1 Karte zunächst in vier pre-processing FPGAs verarbeitet.¹³ Auf ihnen sind Detektor spezifische Aufgaben zur Datenverarbeitung untergebracht, wie z.B. die Nullunterdrückung oder die Kompression der Daten. Die Daten werden anschließend von einem fünften FPGA (SyncLink) zusammengeführt. Dieser formatiert die Daten in Internet Protocol (IP) Pakete um, welche über die vier Gigabit Ethernet Ports verschickt werden.

Von der Tell1 Karte gelangen die Daten in die CPU Farm. Auf den Computern der CPU Farm laufen die Higher Level Trigger (HLT) Algorithmen. Diese rekonstruieren in mehreren Schritten das Ereignis. Dabei wird die Triggerrate von ursprünglich 1,1 MHz auf 2 kHz reduziert. Bei einer positiven Entscheidung wird das rekonstruierte Ereignis auf Massenspeicher abgelegt. Zu Beginn der Datennahme wird die CPU Farm aus etwa 200 Servern bestehen und kann bei Bedarf erweitert werden.

2.4.2. Das TFC System

Das Timing and Fast Control (TFC) System ist für die Verbreitung der LHC Takt synchronen Kommandos zuständig. Dazu gehören

- das LHCb-weite Taktsignal
- die Level 0 Trigger Entscheidung
- Takt synchrone Reset Signale

Die Kommandos werden dabei über ein optisches Netzwerk verteilt. Die Empfänger und Sender basieren auf dem LHC-weiten TTC System [20], welche am CERN entwickelt wurde.

Das Herzstück der TFC System bildet der Readout Supervisor.¹⁴ Er bildet das Interface zwischen der Auslekette und dem LHCb Trigger System. Er synchronisiert die Trigger Entscheidungen auf das LHCb Taktsignal und überwacht die Auslastung der Auslekette. Weiterhin legt er fest, an welche Server die Daten eines Ereignisses geschickt werden.

2.4.3. Das Experiment Control System

Das Experiment Control System (ECS) überwacht und kontrolliert der Zustand des gesamten LHCb Detektors. Dazu gehört neben der Überwachung der Temperaturen,

¹³ Field Programmable Gatter Array (FPGA) sind Chips, bei denen sich die Verschaltung der einzelnen Einheiten programmieren lassen. Beim Tell1 kamen dabei Altera Stratix 1S25 FPGAs zum Einsatz.

¹⁴ Die zugehörige Karte trägt den Namen Odin

Spannungen und Gasflüsse auch die Steuerung der Front-end Elektronik. Die verwendete Hardware unterscheidet sich dabei je nach Aufgabe und Detektor. Für die Outer Tracker Elektronik kommt dabei das Serial Protocol for ECS (SPECS) [21] zu Einsatz. Über dieses Protokoll tauschen ein SPECS Master und ein SPECS Slave die Daten über ein Ethernet Kabel aus. Der SPECS Master ist dabei eine Erweiterungskarte, welche in die Computern im Kontrollraum eingebaut wird. Der Austausch zwischen der Front-end Elektronik und dem SPECS Slave, welcher am Detektor sitzt, erfolgt im Falle des Outer Tracker über einen Inter Integrated Circuit (I²C) Bus [22].

Die ECS Software basiert auf PVSS II, einem kommerziellen SCADA System.¹⁵ Dieses beinhaltet u.a. Bibliotheken für graphische Benutzeroberflächen, einem Alarmsystem sowie den Datenaustausch mit Datenbanken. Die überwachte Hardware wird dabei in der Software als „Device Unit“ repräsentiert. Ein oder mehrere solcher Einheiten werden von „Control Units“ überwacht. Diese werden in einer Baumstruktur zu immer größeren logischen Einheiten zusammengefasst. Die oberste Einheit repräsentiert dabei den gesamten LHCb Detektor.

2.4.4. Das Trigger System

Bei LHCb beträgt die Rate der im Detektor sichtbaren Ereignisse¹⁶ etwa 10 MHz. Durch verschiedene Triggerstufen muss diese Rate auf etwa 2 kHz reduziert werden, mit der die Ereignisse gespeichert werden können. Diese Reduzierung wird in zwei Stufen erreicht.

Die erste Triggerstufe wird mit Level 0 bezeichnet. Mit ihr soll die Rate der Ereignisse auf etwa 1 MHz reduziert werden. Dies stellt die maximale Rate dar, mit der der Detektor ausgelesen werden kann. Der Level 0 Trigger läuft dabei synchron zum 40 MHz bunch crossing Signal des LHC. Die Latenzen sind dabei festgelegt und hängt nicht von der Occupancy oder der Vorgeschichte des bunch crossing ab. In dieser Triggerstufe wird die Tatsache ausgenutzt, dass die Zerfälle von B-Mesonen häufig Teilchen mit großem transversalen Impuls (P_t) und Energie (E_t) produzieren. Im Level 0 Trigger wird deshalb versucht, die Hadronen, Elektronen und Photonen Cluster mit dem höchsten E_t im Kalorimeter zu rekonstruieren. Weiterhin werden die zwei Myonen mit dem höchsten P_t in den Myonstationen bestimmt.

Die zweite Stufe bilden die Higher Level Trigger (HLT). Diese Stufe basiert alleine auf Software Algorithmen, die auf der CPU Farm laufen. Zunächst wird dabei versucht, die gefundenen Level 0 Kandidaten zu bestätigen. Diese werden dazu in sogenannte „alleys“ aufgeteilt, abhängig davon, durch welche Messung den Level 0 Trigger ausgelöst wurde. In den „alleys“ werden die Spuren der Level 0 Kandidaten im VeLo und/oder den Spurkammern rekonstruiert. Aufgrund dieser rekonstruierten Spuren können die Schnitte verfeinert werden und somit die Ereignisrate auf 30 kHz gesenkt werden. Bei dieser Rate werden nun die interessanten Zerfälle mittels inklusiven oder exklusiven Kriterien selektiert.

¹⁵ Supervisory Control and Data Acquisition System

¹⁶ Eine Wechselwirkung ist als sichtbar definiert, wenn mindestens 2 geladene Teilchen genügend Treffer im Velo und der Spurkammern hinterlassen haben, um diese zu rekonstruieren.

Teil I.

Test und Inbetriebnahme der OT Elektronik

3. Die Outer Tracker Elektronik

Die Driftzeiten der Ionisationscluster, welche beim Durchgang eines geladenen Teilchens produziert werden, werden für jedes Driftröhrchen gemessen. Die gemessenen Zeiten werden für jedes bunch crossing (BX) (25 ns) digitalisiert und in einer Pipeline gespeichert. Dazu muss das Signal vom Draht zunächst verstärkt werden. Anschließend muss die langsame Komponente der Ionen aus dem Signal entfernt werden. Mittels einer Diskriminators wird das verbleibende Signal digitalisiert. Als Referenz für die nun folgende Zeitmessung dient das bunch crossing Signal. Bei einer positiven Level 0 Triggerentscheidung werden die Daten an die Tell1 Karte über eine optische Faser geschickt.

Damit die Zeitmessung die Ortsauflösung der Driftröhrchen nicht limitiert, wird eine Zeitauflösung von < 1 ns benötigt. Die Driftzeit der Elektronen kann bei der gewählten Gasmischung bis zu 50 ns betragen, was bei der Auslese der Daten berücksichtigt werden muss. Zu dem muss die Elektronik die erwartete Strahlendosis von ungefähr 10 krad über die 10 Jahre des LHCb Betriebs verkraften.

Weitere Anforderungen werden vom Online System vorgegeben [23]. Die maximale Rate des Level 0 Triggers beträgt dabei 1,11 MHz. Die gemessenen Daten müssen für $4 \mu\text{s}$ (= 160 BX) zwischengespeichert werden. Die Auslesezeit für die Daten einer Messung darf maximal 900 ns betragen, wobei die korrekte Verarbeitung von mindestens 16 aufeinander folgende Trigger gewährleistet sein muss.

Abbildung 3.1 auf der nächsten Seite zeigt eine schematische Darstellung der Outer Tracker Front-end Elektronik. Diese besteht aus folgenden Einzelkomponenten:

- *Hochspannungskarte*: Diese Karte versorgt die Driftröhrchen mit der Hochspannung. Weiterhin entkoppelt sie den Ladungsimpuls von der Hochspannung über einen Kondensator.
- *ASDBLR Karte*: Die Karte beherbergt zwei ASDBLR Chips [24]. ASDBLR steht dabei für Amplifier, Shaper, Discriminator with ion-tail cancellation and Base Line Restoration. Der Chip kann dabei die Daten von 8 Detektorkanälen verarbeiten. Entwickelt wurde er für den ATLAS TRT.
- *OTIS Karte*: Zwei ASDBLR Karten werden an eine OTIS Karte angeschlossen. Diese beherbergt einen Outer tracker Time Information System (OTIS) ASIC [25], der als 32 Kanal TDC Chip speziell für den LHCb Outer Tracker entwickelt wurde. Bei einer positiven Triggerentscheidung stellt der OTIS die digitalisierten Driftzeiten über einen differentiellen 8 Bit Ausgang zur Verfügung.
- *GOL-Aux Karte*: Vier OTIS Karten werden an eine GOL-Aux Karte [26] angeschlossen. Sie versorgt die OTIS Karten mit Strom, den TFC Signalen (Takt,

3. Die Outer Tracker Elektronik

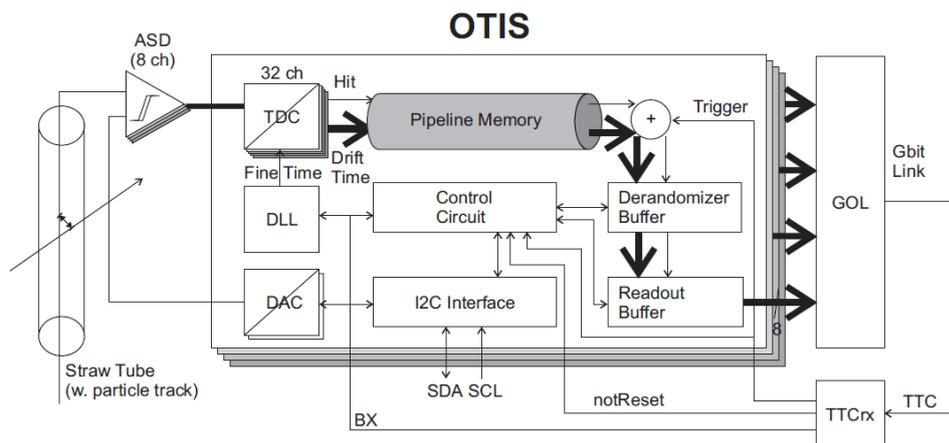


Abbildung 3.1. – Schematische Darstellung der Outer Tracker Front-end Elektronik

Trigger und Resets) und den slow-control Signalen (I²C). Weiterhin werden mittels des GOL Chips die 4 x 8 Bit OTIS Daten serialisiert und über einen 1,6 Gbit/s optischen Link versendet. Die Daten werden von einer ORxCARD empfangen, einer Erweiterungskarte für die Tell1 Karte.

3.1. Die OT FE-Box

Die zuvor genannten Karten werden in einer Front-end box (FE-Box) untergebracht (Abbildung 3.2 auf der nächsten Seite). Diese werden auf die oberen und unteren Enden der Module montiert. Die Hochspannungs- und Niederspannungskabel, das SCSI-Kabel mit den TFC und slow-control Signalen sowie die optische Faser werden an jede Box separat angeschlossen. Sie bildet die kleinste unabhängige Einheit in der Outer Tracker Auslese. Über den optischen Link werden die Daten der 128 Kanäle verschickt.

Die Bereitstellung der Spannungen sowie der Steuersignale erfolgt dabei über Serviceboxen. Die Distributionbox enthält dabei die notwendige Elektronik, um die TFC Signale (über den TTCRx Chip) sowie die slow-control Signale (mittels der SPECS slave Karte) zu empfangen und zu dekodieren. Die einzelnen Signale werden dabei über LVDS Treiber von der Distributionbox an die Front-end (FE) Elektronik verteilt.

3.1.1. Die ASDBLR-Karte

Der Amplifier, Shaper, Discriminator with ion-tail cancellation and Base Line Restoration (ASDBLR) ASIC¹ ist für die Verarbeitung der analogen Signale aus den Driftkammern zuständig. Der Chip wurde entwickelt für die Auslese des ATLAS Transition Radiation Tracker (TRT). Er ist ein strahlenharter Verstärker und für die hohe Teilchenrate an den LHC Experimenten ausgelegt. Hergestellt wurde er in der 0,8 μm BiCMOS Technologie

¹ Application-Specific Integrated Circuit (ASIC)

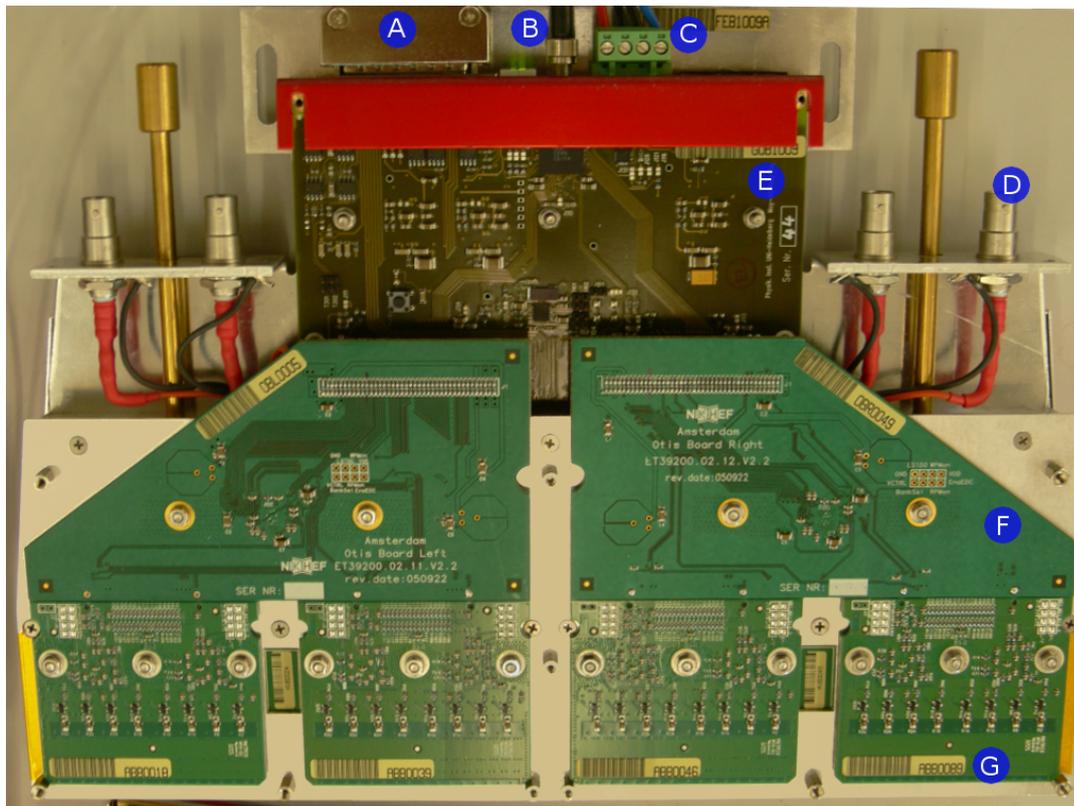


Abbildung 3.2. – Die Abbildung zeigt die Oberseite einer offenen FE-Box. Die Versorgung mit den Steuersignalen erfolgt über ein SCSI-Kabel (A). Die gemessenen Daten werden über einen optische Link (B) versendet. Weitere Anschlüsse sind die Niederspannungsversorgung (C) und die Hochspannung(D). Eine FE-Box beherbergt eine GOL-Aux Karte (E), die OTIS-Karten (F) sowie die ASDBLR-Karten (G).

3. Die Outer Tracker Elektronik

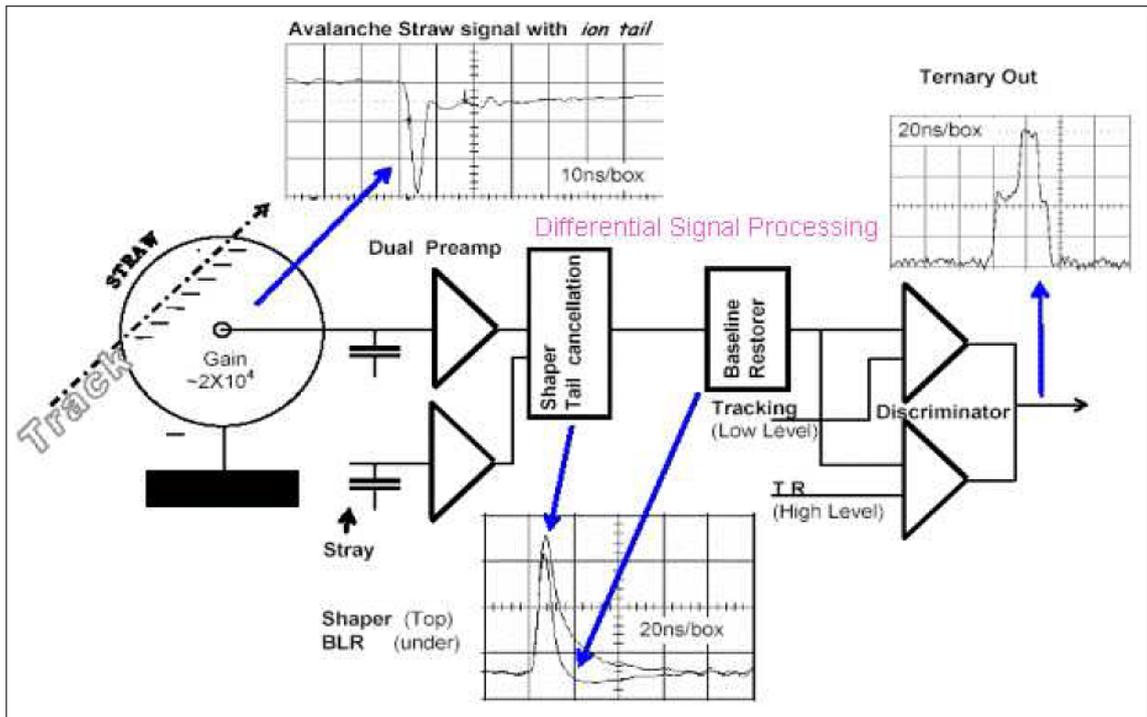


Abbildung 3.3. – Funktionsschema des ASDBLR ASIC. Die Erklärung der einzelnen Stufen findet sich im Text. (Entnommen aus [27])

(DMILL). Er kann die Signale von acht Kanälen bearbeiten, wobei jeder Kanal über eine eigene Logik verfügt.

Das Signal von einem Driftröhrchen wird zunächst über einen 330 pF Kondensator auf den Vorverstärker geleitet. Jeder Kanal besitzt dabei zwei eigenständige Vorverstärker. Beim Outer Tracker (OT) wird auf den ersten Vorverstärker das aktive, negative Stromsignal des Anodendraht gelegt, auf den zweiten ein „dummy“ positiver Strom zur Common-Mode Unterdrückung.

In der nächsten Stufe folgt der „Shaper with ion tail cancellation“. Der Shaper bildet aus dem Eingangssignal ein einigermäßen symmetrisches Signal um den Maximalwert des Signals. Weiterhin wird der lange Ausläufer des abklingenden Signals entfernt, welches durch die langsamer driftenden Ionen hervorgerufen wird. Nach dieser Stufe besitzt das Signal eine durchschnittliche Länge von 50 ns.

Die dritte Stufe bildet der „baseline restorer“. Er sorgt dafür, dass es keine „Nullniveau“ Verschiebung über die Zeit hinweg gibt.

Den Abschluss bilden zwei parallele Diskriminatoren. Beim OT wird dabei nur der „low-level tracking discriminator“ benutzt. Dieser besitzt eine scharfe Steigungsflanke von 1 ns. Diese steile Flanke wird benutzt, um die Zeitmessung im OTIS Chip auszulösen. Der zweite Diskriminator ist für Übergangs-Strahlung Photonen vorgesehen, wie sie beim ATLAS TRT Detektor auftreten. Er wird beim OT nicht verwendet.

Abbildung 3.3 zeigt das Funktionsschema im Überblick. Eine detaillierte Beschreibung des Chips findet sich in [28].

Zwei ASDBLR ASICs werden auf eine Karte montiert (siehe nebenstehende Abbildung 3.4). An der unteren Seite der Karte sieht man den Stecker zur HV Feed-Through Karte. Direkt darüber gibt eine Reihe von Feder Kontakten, die für eine gute Masseverbindung sorgen. In der Mitte der Abbildung sind die zwei ASDBLR Chips zu sehen. Am oberen Ende Karte befindet sich der Stecker zur OTIS Karte.

Für diese Arbeit sind im folgenden zwei Eigenschaften des ASDBLR von Bedeutung:

- Die Schwellenspannung
- Die vier Testpulse

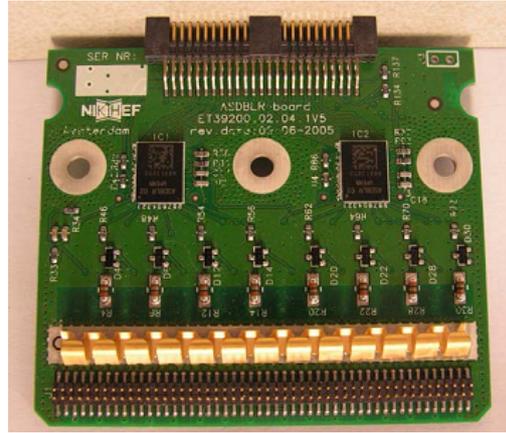


Abbildung 3.4. – Die ASDBLR Karte

Mit der Schwellenspannung V_{thr} lässt sich die Schwelle des Diskriminators einstellen. Der Zusammenhang zwischen Ladung und der eingestellten Spannung ergibt sich aus folgender empirischen Formel [29]:

$$Q [fC] = e^{0,0033 \cdot V_{thr} [mV] - 1,25} \quad (3.1)$$

Der Arbeitspunkt der OT Elektronik wird dabei bei etwa 750 mV ($\approx 3,4$ fC) liegen. Dieser Wert bildet einen Kompromiss zwischen zwei Randbedingungen. Zum einen will man die Schwelle möglichst niedrig wählen, um auch kleine Signale messen zu können. Dem entgegen steht das Ziel, möglichst unempfindlich gegen elektronische Rauschen auf den Eingangskanälen zu sein. Der endgültige Wert muss dabei im finalem Aufbau bestimmt werden.

Die zweite wichtige Eigenschaft des ASDBLR ist die Möglichkeit, Testpulse einzuspeisen. Insgesamt stehen vier Testpulse zur Verfügung

- Testpuls even high (TPeh)
- Testpuls even low (TPel)
- Testpuls odd high (TPoh)
- Testpuls odd low (TPol)

Ein Testpuls kann dabei auf alle geraden (0,2,4,6) bzw. ungeraden Kanäle (1,3,5,7) eines Chips gleichzeitig eingespeist werden. Für jeden Kanal stehen dabei zwei Einstellungen zur Verfügung, die sich in der Stärke des Test Pulses unterscheiden. Die niedrige (low) Einstellung entspricht einem Signal von 7 fC, die hohe (high) Einstellung einem Signal von 14 fC. Die zweite Variante eignet sich aufgrund ihres geringen Phasenjitter insbesondere für Zeitmessungen. Die Testpulse spielen eine wichtige Rolle bei vielen der im folgenden beschriebenen Tests, da bei diesen häufig keine Driftkammerpulse zur Verfügung standen.

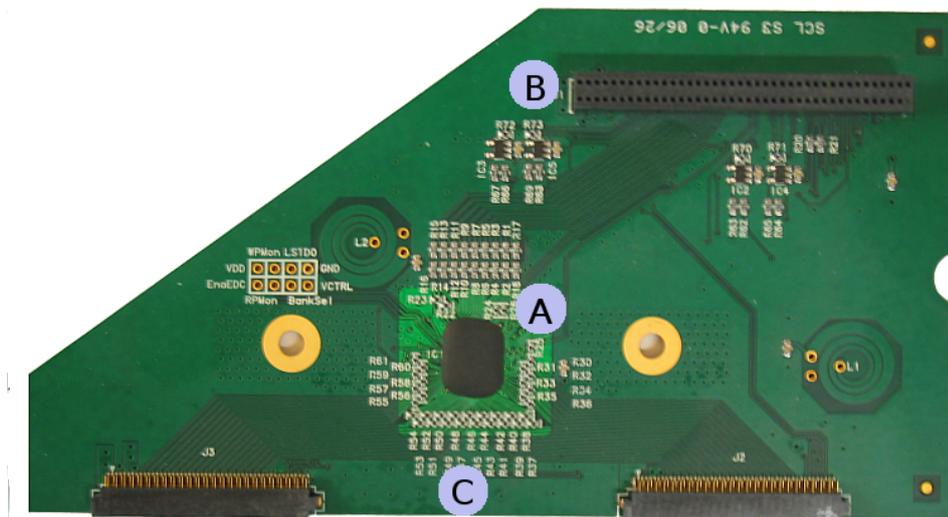


Abbildung 3.5. – Vorderansicht der OTIS-Karte. In der Mitte beindet sich der OTIS-TDC chip (A). Weiterhin sieht man den Stecker zur GOL-Aux Karte (B), sowie die Stecker zu den ASDBLR Karten (C).

3.1.2. Die OTIS-Karte

Die OTIS-Karte stellt die Anschlüsse für den OTIS-TDC chip zur Verfügung. Die Karte erhält die Ausgangssignale von zwei ASDBLR Karten und leitet sie zur Zeitmessung im OTIS Chip. Die TDC Daten des Chips werden an die GOL-Aux Karte weitergeben. Weiterhin leitet sie die Testpuls Signale und die Versorgungsspannung von der GOL-Aux Karte zu den ASDBLR Karten. Entwickelt wurde sie am National institute for subatomic physics (NIKHEF) in Amsterdam (Niederlande). Der Hauptbestandteil dieser Karte ist der OTIS Chip selbst, welcher in Kapitel 3.2 auf Seite 36 besprochen wird. Abbildung 3.5 zeigt die Vorderseite einer OTIS Karte.

3.1.3. Die GOL-Aux Karte

Serie	Anzahl	Nummer	Typ
1	30	21 - 50	IF13-3A
2	100	100 - 199	IF13-4
3	366	200 - 565	IF13-4
4	40	600 - 639	IF13-4

Tabelle 3.1. – GOL-Aux Karten Produktion

Die GOL-Aux Karte [26] (Abbildung 3.6 auf der nächsten Seite) bildet die Schnittstellen der Outer Tracker Front-end Elektronik zur Außenwelt. Sie wurde am Physikalischen Institut der Universität Heidelberg entwickelt. Neben den Vorserien Karten wurden vier Produktionsserien mit insgesamt 536 Karten angefertigt.

Jeweils vier OTIS Karten werden an eine GOL-Aux Karte angeschlossen. Die Serialisierung der OTIS Daten wird vom Gigabit Optical Link (GOL) Chip [30] durchgeführt. Die Daten werden im dabei 10 Bit/8 Bit Gigabit Ethernet Standard [31] encodiert. Der Versand der Daten erfolgt über eine optische VCsel Diode mit einer Rate von 1,6 Gbit/s.

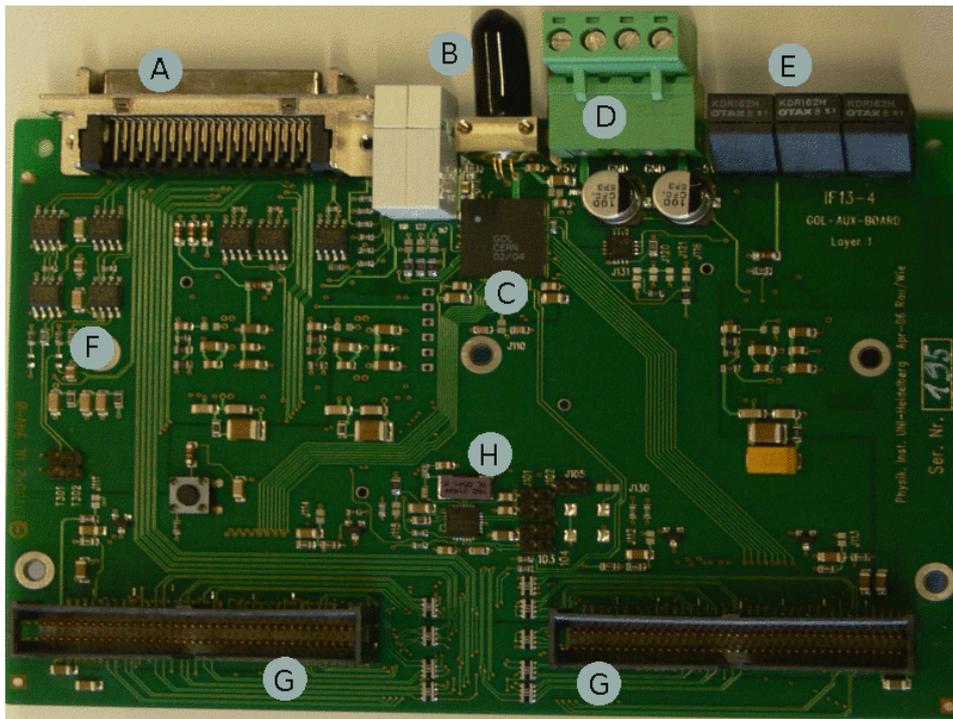


Abbildung 3.6. – Die GOL-Aux Karte stellt die Infrastruktur für die anderen Karten bereit. Über einen SCSI-Stecker(A) empfängt sie alle Servicesignale. Die Daten werden über eine optische Diode (B) versendet, welche zuvor vom GOL Chip (C) aufbereitet wurden. Weiterhin sichtbar ist die Spannungsversorgung (D), die Hex-Switche (E) zur Einstellung der ID sowie das I²C-Netzwerk (F). Über die Stecker (G) werden die OTIS-Karte angeschlossen. Ein weitere Bestandteil ist die QPLL und der dazugehörige Referenzquarz (H).

3. Die Outer Tracker Elektronik

Für den Betrieb des GOL Chip wird ein stabiles Taktsignal mit einem Jitter von 100 ps (peak-peak) benötigt. Um diese Stabilität im Taktsignal zu gewährleisten, wird der Quartz Crystal phase-locked loop (QPLL) Chip [32] eingesetzt. Seine Aufgabe ist die Stabilisierung des eingespeisten 40 MHz LHCb Taktes aus dem TTCrx Chip in der Distributionbox. Dazu befindet sich ein Oszillator auf der GOL-Aux Karte, welcher das vierfache der LHCb Frequenz liefert. Das gefilterte Taktsignal wird auch an die OTIS Chips geliefert. Der GOL Chip wird über den CRT4T [33] Baustein eingeschaltet. Dies soll garantiert, dass das Taktsignal am GOL Chip erst anliegt, wenn die Versorgungsspannung stabil anliegt. Ansonsten kann der Chip in einen meta-stabilen Zustand geraten, welcher keine Datenübertragung mehr zulässt.

Sämtliche Steuer und Service Signale der Distribution Box werden über einen Small Computer System Interface (SCSI) [34] Stecker eingespeist. Dies umfasst sowohl die I²C [22] Kommunikation mit den OTIS und GOL Chips, sowie die Auslese der Temperatur- und Spannungssensoren („slow control“). Auch sämtliche Reset-, Trigger- und Taktsignale (TFC) Signale werden über diesen Stecker verteilt. Die einzelnen Leitungen sind dabei als Low Voltage Differential Signaling (LVDS) Verbindungen ausgelegt, um eine gute Übertragungsqualität zu erreichen.

Über einen weiteren Stecker wird die Karte mit ± 6 V versorgt. Mittels Spannungsregulatoren wird daraus die benötigten Versorgungsspannungen für die einzelnen Chips von +2,5 V sowie ± 3 V gewonnen.

3.2. Der OTIS-TDC Chip

Der Outer tracker Time Information System (OTIS)-Time to Digital Converter (TDC) Chip [25] stellt das Herzstück der OT Elektronik dar. Seine Aufgabe ist die Messung der Driftzeit der Elektronen. Ein Chip kann diese Messung dabei für 32 Kanälen gleichzeitig durchführen. Entwickelt wurde er am ASIC Labor der Universität Heidelberg. Die Messungen in dieser Arbeit wurden, wenn nicht abweichend vermerkt, mit der letzten Version 1.3 durchgeführt. Diese Version wird auch in der Front-end Elektronik verwendet, welche in das Experiment eingebaut wurde. Auf die Unterschiede dieser Version zu vorherigen wird in Kapitel 3.2.1 auf Seite 39 näher eingegangen.

Abbildung 3.7 auf der nächsten Seite zeigt das Block Diagramm des Chips. Er besteht aus vier Hauptkomponenten:

- dem TDC Kern
- dem Pipeline und dem derandomizing buffer
- der Logik zur Trigger und Speicherverwaltung
- der I²C Schnittstelle.

Im TDC Kern wird die Zeitmessung durchgeführt. Er besteht aus Kette von 64 Verzögerungs Elementen (delay locked loop (DLL)), in die das 40 MHz Taktsignal eingespeist wird. Die Laufzeit durch diese Kette wird dabei so reguliert, dass sich immer genau eine Taktperiode in ihr befindet. Registriert einer der 32 Eingangskanäle des OTIS Chips

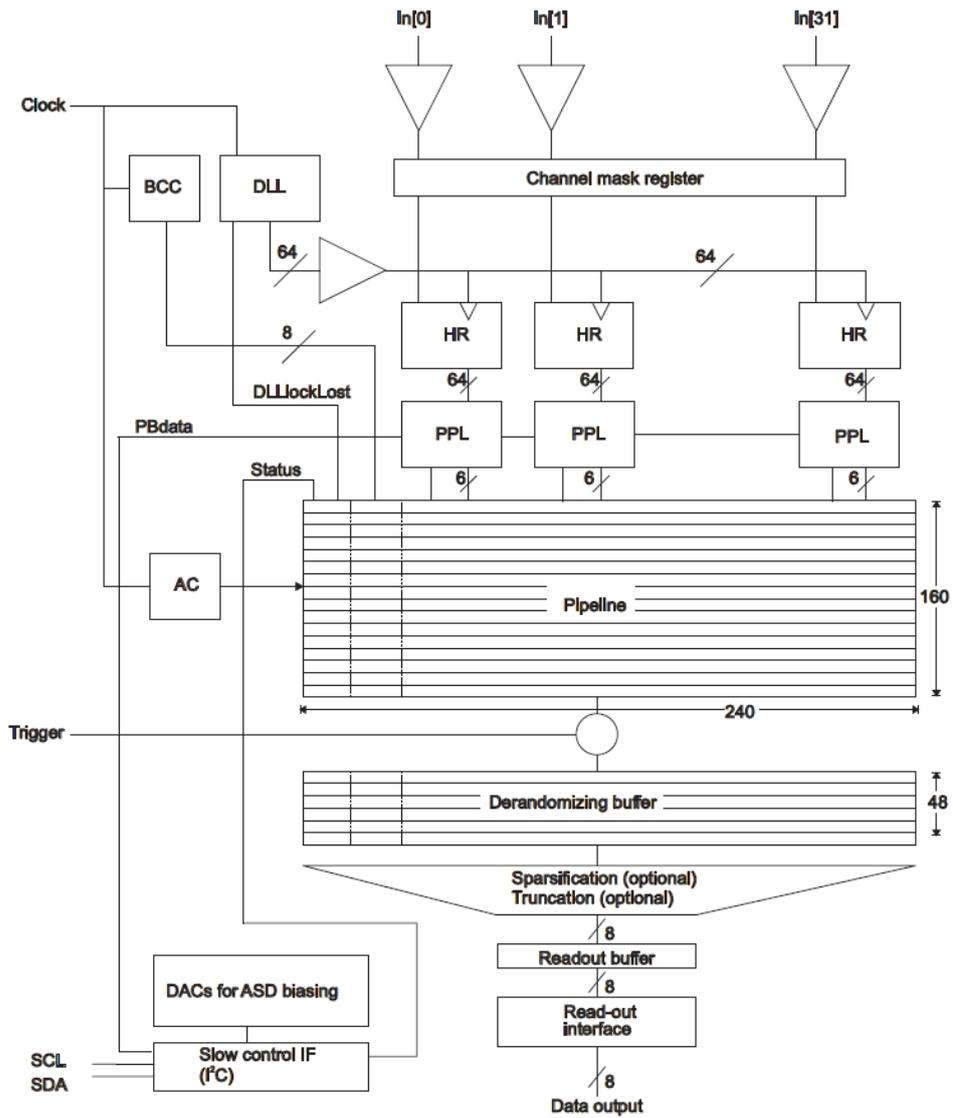


Abbildung 3.7. – Block Diagramm des OTIS-TDC Chip

3. Die Outer Tracker Elektronik

einen Treffer, so wird für diesen Kanal der Zustand der DLL Kette zu diesem Zeitpunkt in einem Latch gespeichert. Ein Decoder wandelt anschließend den Status dieses Latch in eine 6 bit „fine time“ um.² Durch das Routing der DLL Kette selbst sowie deren Anbindung an die Latche werden einige Kanäle ausgezeichnet. Dies sind im einzelnen die Kanäle 0, 15, 16 und 31. Für eine Charakterisierung der Zeitmessung eines Chips genügt daher die Messung auf diesen Kanälen.

Die „fine time“ wird zusammen mit Statusinformationen in den 240 bit breiten Pipeline Buffer geschrieben. Diese dient als Zwischenspeicher, um die Level 0 Trigger Entscheidung abzuwarten. Die Tiefe der Pipeline beträgt 164 Zeilen und entspricht damit der maximalen Verzögerung von 4 μ s, in der eine Level 0 Entscheidung laut LHCb Spezifikationen fallen muss. Eine Zeile entspricht also der kompletten Zeitmessung eines Chips für ein bunch crossing. Bei einer positiven Entscheidung werden bis zu drei Zeilen³ in den Derandomizing Buffer übertragen. Dieser besitzt eine Tiefe von 48 Zeilen und kann damit die Daten von mindestens 16 Level 0 Triggern aufnehmen.⁴

Die Daten aus dem Derandomizing Buffer können auf zwei Arten ausgegeben werden. Im ersten Modus („first-hit“) wird für jeden Kanal die erste Zeile, welche dem Trigger zugeordnet ist, nach einem Treffer durchsucht. In den Kanälen, in denen kein Treffer gefunden wurde, werden bis zu zwei weitere Zeilen durchsucht. Eine TDC Messung für einen Kanal besteht damit aus zwei Bits, welche die Zeile angeben, in der der Treffer gefunden wurde,⁵ sowie der zugehörigen 6 bit „fine time“. Für jeden Kanal ergibt sich damit ein 8 bit großer TDC Wert, unabhängig davon, ob ein Treffer registriert wurde oder nicht. Diese Daten werden zusammen mit einem 4 Byte großen Header mit Status Informationen über die 8 bit breiten Ausgabe an den GOL Chip weitergereicht. Das verwendete Datenformat ist in Abbildung 3.8 zusammengefasst. Die Auslesezeit für einen

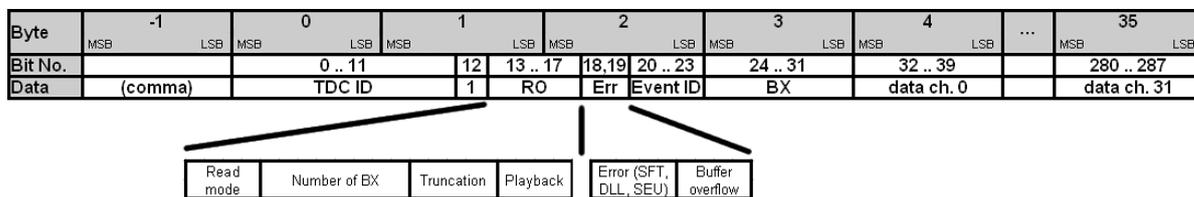


Abbildung 3.8. – Das OTIS Datenformat

Trigger in diesem Modus beträgt damit immer 900 ns ($25 \text{ ns} \times (4 + 32)$ Datenbytes).

Der zweite Modus („multi-hit“) überträgt alle Treffer, die in den bis zu drei bunch crossing gefunden wurden. Dazu wird nach dem 4 Byte großen Header zunächst kodiert, welche Kanäle in welchen BX Treffer besaßen. Anschließend werden die entsprechenden

² Dabei wird innerhalb des Latch jenes Bit gesucht, welches als erstes den Wert „1“ besitzt. Dieses entspricht dem Verzögerungs Element, in dem sich die steigende Flanke des Taktsignals zum Zeitpunkt des Treffers befand

³ Dies ist notwendig, da die Driftzeit der Elektronen mehr als 50 ns betragen kann.

⁴ Wird die selbe Zeile von zwei Triggern ausgelesen, so wird die nur einmal in den Derandomizing Buffer übertragen.

⁵ „00“ für die erste, „01“ für die zweite und „10“ für die dritte Zeile. Wurde für einen Kanal kein Treffer gefunden, so wird dies mit „11“ markiert

6 bit „fine time“ Werte angehängt. Ergeben sich daraus mehr als 36 Byte, so werden Daten an dieser Stelle geschnitten, um die maximal erlaubte Auslesezeit pro Trigger von 900 ns einzuhalten. In diesem Modus unterscheidet sich damit die Bedeutung der einzelnen Bytes sowie die Gesamtlänge der Ausgabe von Trigger zu Trigger.

Die im Rahmen dieser Arbeit durchgeführten Messungen wurden alle im „first-hit“ Modus durchgeführt. Zu Beachten ist weiterhin, dass der OTIS Chip nur Daten nach einem Trigger sendet. Damit muss die Elektronik, welche die Daten empfängt und weiterverarbeitet, eine Synchronisation auf den Beginn einer Datenübertragung durchführen. Dazu bietet der OTIS Chip verschiedene Erkennungsmerkmale an. Zum einen setzt er ein „data valid“ Signal auf „1“ sobald gültige Daten an seinem Ausgang anliegen. Weiterhin kann der Datenübertragung das sogenannte „comma“ byte (=“xFF“) vorangestellt werden. Des weiteren beginnt die Datenübertragung immer mit der 12 Bit breiten Identifikationsnummer des Chips.

Neben der Identifikationsnummer enthält der Header noch weitere Information über den Zustand des Chips zum Zeitpunkt des Triggers. Diese sind:

- Der benutzte Auslesemodus
- Anzahl der ausgelesenen BX
- Ob ein Abschneiden der Daten durchgeführt wurde („multi-hit“ Modus)
- Ob Fehler in der Logik erkannt wurden.
- Einer 4 Bit breiten Ereignis Nummer („event ID“). Der zugehörige Zähler wird mit jedem Trigger inkrementiert.
- Einer 8 Bit breiten BX ID. Dieser Zähler wird mit jedem Taktzyklus inkrementiert.

Der OTIS Chip wird über seine Zustandsregister gesteuert. Diese können über die I²C Schnittstelle beschrieben und ausgelesen werden. Dazu gehört auch die Einstellung der vier Digital to Analogue Converter (DAC), über die die Schwellenspannung für die angeschlossenen ASDBLR Chips bereitgestellt werden.

3.2.1. Vergleich der OTIS Versionen 1.2 und 1.3

Bevor die beiden Versionen verglichen werden, soll zunächst erklärt werden, warum eine weitere Version 1.3 entwickelt wurde.

Die durchschnittliche Länge eines TDC Bins beträgt $\frac{25 \text{ ns}}{64 \text{ Bins}} \approx 0.39 \text{ ns}$. Durch die gewählte technische Implementation wird dieser Wert für die einzelnen Bins jedoch variiert. So unterscheidet sich die Laufzeit des Taktsignals durch geraden (0,2,4,...) Verzögerungselemente der DLL Kette zu der durch die ungeraden (1,3,5,...). Diese Asymmetrie war bei der Entwicklung des Chips bekannt und kann bei der späteren Bearbeitung der Daten auf der Tell1 Karte berücksichtigt werden. Wie in [35] gezeigt wurde, wird die Größe dieser Asymmetrie durch die Wahl des Verhältnis zwischen der analogen Versorgungsspannung der DLL Kette zu der digitalen Versorgungsspannung des restlichen Chips bestimmt.

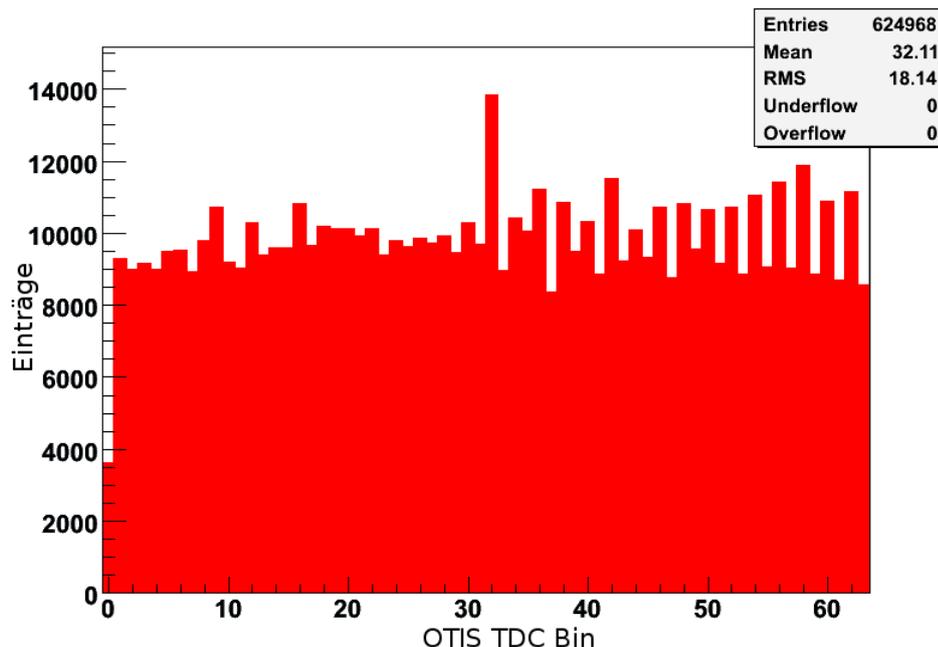


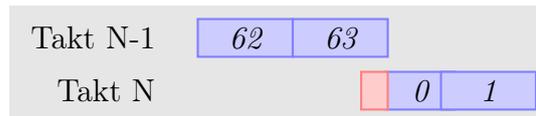
Abbildung 3.9. – TDC Binbreiten des OTIS 1.2. Deutlich ist zu erkennen, dass das Bin 0 im Vergleich zu wenige Einträge hat. Die Daten für diesen Plot stammen aus dem Wafer Test, welcher in Kapitel 4.3 auf Seite 48 erläutert wird.

Eine weitere Variation entsteht durch das Routen der Leitungen von der DLL Kette zu den Latches der einzelnen Kanäle. Um die Länge eines TDC Bins zu vermessen, wird ein Rechteck Signal auf die Eingänge eines OTIS Chips gelegt, welches sich in der Frequenz vom Taktsignal unterscheidet. Damit liegt zu jedem Trigger eine zufällige Phasenbeziehung zur steigenden Taktflanke vor. Für eine große Anzahl von Triggern zählt man nun, wie oft ein TDC Bin getroffen wurde. Die erhaltene Verteilung entspricht dann der relativen Länge der TDC-Bins untereinander. Bei der Untersuchung des OTIS Chips der Version 1.2 zeigte sich, dass die Länge des nullte TDC-Bin der Kanäle 0 bis 15 gegenüber den anderen Bins verkürzt ist. (Abbildung 3.9).⁶

Dieses Verhalten konnte auf den Phasendetektor der DLL Kette zurückgeführt werden. Ein Phasendetektor sorgt dafür, dass sich immer nur eine vollständige Taktperiode in der DLL Kette befindet. Die Laufzeit durch die Kette wird über die Kontrollspannung V_{ctrl} geregelt. Durch Änderung dieser Spannung erhöht oder verringert sich die Durchlaufzeit der Kette.

Da der Phasendetektor in der Version 1.2 als Proportionalregler funktioniert, ergibt sich jedoch ein zusätzlicher Offset zur Regelspannung. Da dadurch die Laufzeit innerhalb der Kette verlängert wird, überdeckt das TDC-Bin 63 des vorherigen Taktes das Bin 0 des aktuellen Taktes, wie das nachfolgende Diagramm verdeutlicht:

⁶ Sämtliche vorgestellten Messungen in diesem Kapitel basieren auf Daten, welche im Wafer Test gewonnen wurden. Dieser wird in Kapitel 4.3 auf Seite 48 näher erläutert.



Fällt nun ein Treffer in diesen rot markierten Bereich, so wird ihm als TDC Wert Bin 63 des Taktes (n-1) zugeordnet. Damit erscheint das nullte TDC Bin verkürzt gegenüber den restlichen Bins. Wird die Überlappung so groß, dass das Bin 0 vollständig überdeckt wird, kommt es zu einem Fehler in der Logik der Zeitmessung. Dabei überträgt die nachgeschaltete Logik sehr häufig die „fine time“ 0 in den Pipeline Buffer, unabhängig davon, welches TDC-Bin getroffen wurde.⁷ Dadurch fallen bis zu 70 % aller Messungen fälschlicherweise in das TDC Bin 0. Obwohl das Auftreten der Umstände, die zum Verlustes des Bin 0 in der Kette führen, beim Betrieb des Detektors äußerst unwahrscheinlich ist, wurde versucht, dieses durch einen kleinen Eingriff in das Design des Chips komplett auszuschließen. Mit diesen Eingriff sollte sich Phasendetektor der OTIS Version 1.3 wie ein Proportional-Integralregler verhalten und somit das geschilderte Problem verhindern.

Für die Untersuchung der TDC Binbreiten eignen sich besonders die Daten des Differential Non Linearity (DNL) Tests, die während des Wafer Tests anfielen (Kapitel 4.3.3 auf Seite 51). Wie bereits beschrieben ist die Anzahl der Einträge pro TDC Bin proportional zu dessen Breite. In Abbildung 3.10 auf der nächsten Seite wurden nun diese für 3.250 Chips gegen die einzelnen TDC Bins in einem zweidimensionalen Histogramm für den OTIS 1.2 (Kanal 0) aufgetragen. Man erkennt deutlich, dass viele Chips eine geringe Anzahl von Einträgen für das TDC Bin 0 aufweisen. Die Mehreinträge beim TDC Bin 32 beruhen auf dem speziellen Routing des entsprechenden Verzögerungs-Elements zu den Latches.

Abbildung 3.11 auf der nächsten Seite zeigt denselben Kanal für die OTIS Version 1.3. Das TDC Bin 0 ist nun auf dem Niveau der übrigen Bins. Die eingeführte Änderung für den OTIS 1.3 entfaltet also die gewünschte Wirkung.

Abbildung 3.12 auf Seite 43 zeigt schließlich die prozentuale Abweichung der TDC Bin 0 Breite gegenüber der durchschnittlichen Breite aller TDC Bin für die Kanäle 0, 15, 16 und 31. Besitzt das TDC Bin 0 im Kanal 0 der Version 1.2 noch einen um bis zu 70 % kleinere Länge als der Durchschnitt, so entspricht das TDC Bin 0 im Kanal 0 bei der Version 1.3 mit Abweichungen zwischen -15 % und +10 % der durchschnittlichen Länge aller TDC Bin. Ebenfalls wurde Streuung der Einträge durch den Eingriff verringert. Unverändert blieb dagegen die relative Länge des TDC Bin 0 in den verschiedenen Kanälen. Dadurch kommt es für die Kanäle 16 bis 31 zu einer Vergrößerung um bis zu 50 % des Bin 0 gegenüber den anderen TDC Bins.

⁷ Es tritt eine sogenannte „Race condition“ auf, bei der nicht mehr deterministisch Vorhergesagt werden kann, welcher Wert übertragen wird.

3. Die Outer Tracker Elektronik

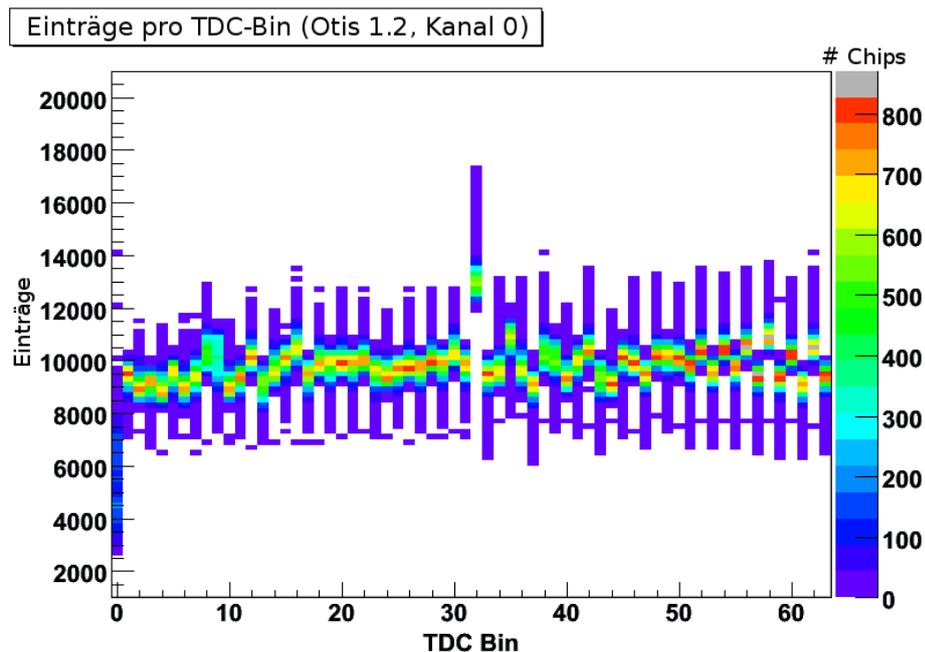


Abbildung 3.10. – Verteilung der Einträge pro TDC Bin für OTIS 1.2, Kanal 0. Für 3.250 OTIS Chips wurde jeweils die Länge der TDC Bins über die Anzahl der Einträge bestimmt. Wenige Einträge entsprechen dabei einem kurzen TDC Bin, mehr einem entsprechend längeren Bin. Der Farbcode gibt an, wie viele Chips eine bestimmte Anzahl von Einträgen für das jeweilige TDC Bin aufwies. Man erkennt deutlich, dass viele Chips eine geringe Anzahl von Einträgen für das TDC Bin 0 aufweisen. Die Mehreinträge beim TDC Bin 32 beruhen auf dem speziellen Routing des entsprechenden Verzögerungs-Elements zu den Latches.

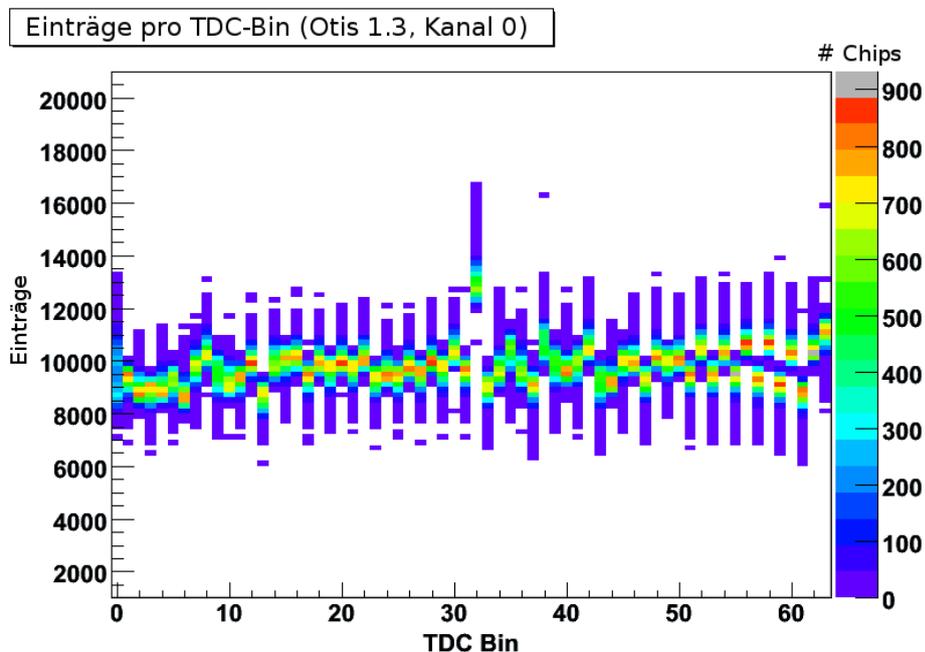


Abbildung 3.11. – Verteilung der Einträge pro TDC Bin für OTIS 1.3, Kanal 0. Die entsprechende Verteilung zu Abbildung 3.10 für 3.356 OTIS Chips der Version 1.3. Der Einbruch beim TDC Bin 0 ist nicht mehr vorhanden.

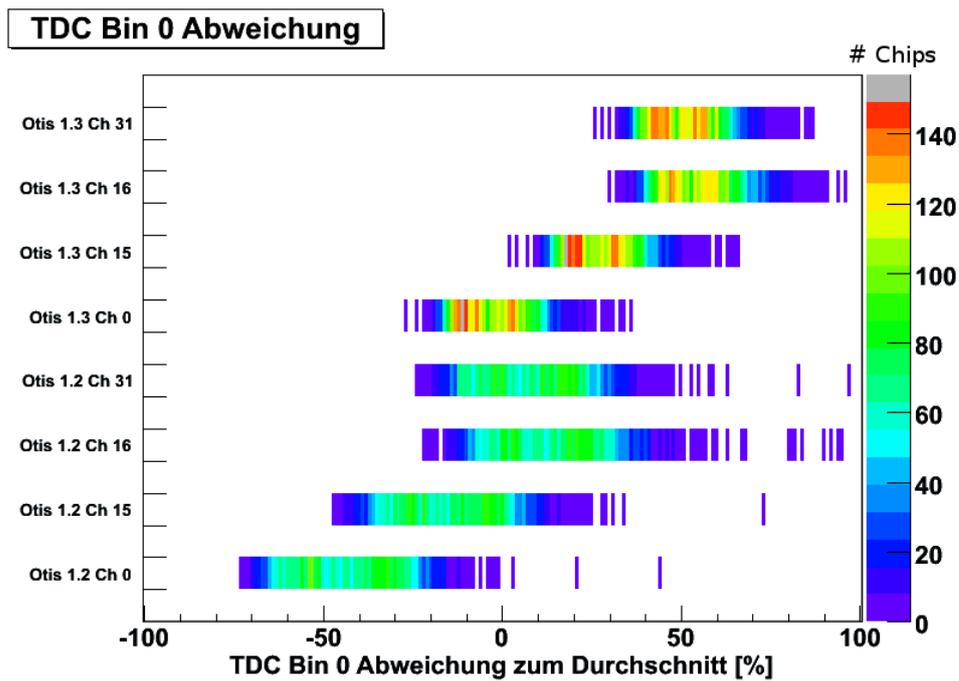


Abbildung 3.12. – Vergleich der TDC Bin 0 Breiten gegenüber der durchschnittlichen Breite aller TDC Bin. Die Werte für den OTIS 1.3 sind gegenüber der Version 1.2 zu größeren prozentualen Abweichungen verschoben.

4. Produktionstests

Zur Sicherung der Qualität müssen alle Elektronik Komponenten ausgiebig getestet werden. Im Rahmen dieser Arbeit wurden dazu insgesamt drei Produktionstest entwickelt.

1. Für die OTIS-TDC Chips, welche noch auf dem Wafer getestet und selektiert worden sind.
2. Für die GOL-Aux Karten
3. Für die OTIS Karten.

Bei der Entwicklung der einzelnen Tests standen zwei Ziele im Vordergrund. Zum einen sollte die Test Umgebung so nahe wie jeweils möglich den finalen Aufbau im Experiment nachbilden. Dies sollte gewährleisten, dass die einzelnen Tests das Verhalten der Elektronik unter den endgültigen Bedingungen widerspiegeln. Um den Entwicklungs- und Wartungsaufwand zu beschränken, sollten als zweites Ziel möglichst viele gemeinsame Komponenten in allen Tests zum Einsatz kommen.

Allgemein müssen alle Testaufbauten die Elektronik mit den TFC und „slow control“ Signalen versorgen. Weiterhin müssen die erzeugten Daten ausgelesen und analysiert werden. Da dabei eine große Menge an Daten in kurzer Zeit anfällt, wurde entschieden, diese mittels eines FPGA Chips zu verarbeiten. Dieses ist allen Tests gemeinsam und soll im folgenden vorgestellt werden.

4.1. Das FPGA Daten Auslese System

Um die anfallenden Daten im jeweiligen Tests zu empfangen und möglichst schnell zu verarbeiten, wurde entschieden, einen FPGA Chip einzusetzen. Die Entscheidung fiel dabei auf das „PCI Development Kit, Stratix Edition“. Diese Karte enthält den Stratix EP1S25 Chip, welcher auch auf dem Tell1 Board zum Einsatz kommt. Dadurch können Firmware Komponenten, welche für einen Test entwickelt wurden, im Experiment eingesetzt werden. Zudem kann die Firmware für das Experiment in einem Testaufbau überprüft werden.

Der Datenaustausch zwischen dem Test Programm auf einem Computer mit der FPGA Karte erfolgt dabei über den Peripheral Component Interconnect (PCI) Bus. Die Übertragungsgeschwindigkeit des PCI-Busses ist dabei jedoch nicht hoch genug, um die anfallenden Rohdaten in angemessener Zeit in den Hauptspeicher des Computers zu kopieren. Deshalb wird die Analyse innerhalb des FPGA durchgeführt und nur die Ergebnisse der jeweiligen Analyse werden vom Testprogramm ausgelesen.

Die Entwicklung der Firmware für den FPGA Chip wurde in [36] gestartet und im Rahmen dieser Arbeit weiterentwickelt sowie an die diversen Testumgebungen angepasst. Zusätzliche Erweiterungen wurden in [35] und [37] erstellt. Die folgende Beschreibung der Firmware bezieht sich auf die letzte Version, wie sie beim Testen der OTIS- bzw. GOL-Aux Karten zum Einsatz kam.

4.2. Die FPGA Firmware

Die FPGA Firmware lässt sich in vier logische Einheiten einteilen:

1. Die Synchronisation und Aufbereitung der eingehenden Daten
2. Die Analyse der Daten
3. Die Erzeugung der Steuersignale für die angeschlossene Hardware
4. Die Kommunikation mit den Test Algorithmen über den PCI-Bus

Diese Komponenten sollen im folgenden vorgestellt werden.

4.2.1. Synchronisation und Aufbereitung der eingehenden Daten

Die Daten in einem Test können aus zwei Quellen stammen. Die erste Quelle bildet der Selbsttest Modus des GOL Chips. Er wird beim Test der optischen Datenübertragung eingesetzt. In diesem Modus sendet der GOL Chip kontinuierlich 16 Bit Zählerdaten mit einer Taktfrequenz von 80 MHz. Im FPGA wird nun die Differenz zweier aufeinander folgender Datenworte betrachtet. Eine Synchronisation auf diesen Datenstrom wird als erfolgreich angesehen, wenn diese Differenz eine vorgegebene Anzahl von Zyklen konstant bei eins liegt. Anschließend wird während der Testdauer gezählt, wie oft die Differenz sich von eins unterscheidet.

Die zweite Quelle bilden die Daten der beteiligten OTIS Chips. Sind mehrere OTIS Chips am Test beteiligt, so werden die Datenströme der einzelnen Chips getrennt betrachtet. Zu Synchronisation auf den Datenstrom werden dabei alle im Kapitel 3.2 auf Seite 36 vorgestellten Merkmale verlangt. Wurde eine Datenübertragung erfolgreich erkannt, so werden die OTIS Rohdaten in einzelne Informationsblöcke zerlegt. Dies sind

- die Statusbits im Header
- die event ID
- die TDC Daten

Diese Daten werden in der nachfolgenden Analyse getrennt ausgewertet. Eine begrenzte Anzahl von Rohdatenpaketen kann auch über den PCI Bus ausgelesen. Damit kann die korrekte Verarbeitung in den Analyseeinheiten des FPGA überprüft werden.

4.2.2. Analyse der Daten

Die Analyse Einheit verarbeitet die zuvor synchronisierten OTIS Daten. Sie besteht im wesentlichen aus Histogrammen und Zählern. Für jeden OTIS Datenstrom werden dabei drei separate Histogramme angefertigt:

1. Event ID
2. Hitmap
3. TDC Wert

Im ersten Histogramm werden die Werte der Event ID protokolliert. Damit kann z.B. getestet werden, ob einzelne OTIS Datensätze bei der Übertragung verloren gegangen sind. In einem zweiten Histogramm wird die sogenannte Hitmap erstellt. Dabei wird für jeden OTIS Kanal gezählt, wie häufig dieser einen gültigen TDC Wert geliefert hat. So lassen sich z.B. tote Kanäle eines Chips entdecken. Im letzten Histogramm werden die TDC Werte für einen ausgewählten Kanal aufgezeichnet. Damit kann die Zeitmessung eines Chips überprüft werden.

Neben den Histogrammen werden noch verschiedene Zähler geführt. In diesen wird das Ergebnis des Vergleichs der einzelnen Bits des OTIS Headers mit einem vorgegebenen Wert gespeichert. So kann der Zustand eines Chips während des Tests überwacht werden.

4.2.3. Steuersignale

Die Steuersignale, die mit dieser Einheit erzeugt werden, umfassen alle nötigen Signale, um die angeschlossene Hardware zu betreiben und zu überwachen. Darunter fallen die folgenden Gebiete:

- Die slow control über den I²C-Bus
- Die TFC Signale (Takt, Resets und Trigger)
- Die Generierung der verschiedenen Test Pulse
- Die Auslese der vier DAC Spannungen eines OTIS

Über die I²C Signale können die OTIS und GOL Chips konfiguriert werden. Eine detaillierte Beschreibung dieser Komponente findet sich in [37].

Die TFC Signale werden zur Datennahme bzw. zur Initialisierung benötigt. Dabei können verschiedene Trigger und Reset Sequenzen vorgeben werden, welche von FPGA dann automatisch abgearbeitet werden. Weiterhin werden in dieser Komponente die benötigten Takt Signale erzeugt.

Des weiteren können die vier Test Puls Signale für den ASDBLR Chip erzeugt werden. Als Quellen für die Testpulse kommt zum einen der 40 MHz Takt zum Einsatz. Dabei lässt sich dessen Phase zum eigentlichen Taktsignal in 45° Schritten verschieben. Damit erhält man eine konstante Zeitdifferenz zwischen dem Taktsignal und dem Testpuls. Für

eine von Taktsignal unabhängige Quelle dient das Signal, welches aus dem 33 MHz Takt des PCI-Busses abgeleitet wird. Die Frequenz dieses Testpulses beträgt 8,25 MHz. Mit diesem Testpuls kann z.B. die Breite der TDC Bins eines OTIS Chips vermessen werden, da er asynchron zum 40 MHz Takt Signal läuft.

Die Auslese der DAC Spannungen wurde für den Test der OTIS Karten implementiert. Dabei wird ein externen Analog to Digital Converter (ADC) Chip ausgelesen.

4.2.4. PCI-Bus Schnittstelle

Die PCI Einheit bildet den zentralen Steuerkomplex der FPGA Firmware. Sie besteht aus zwei Adressräumen aus Sicht des PCI-Busses. Im ersten, 1024×32 Bit großen Adressraum befinden sich alle Register für Steuerung und Statusabfrage der FPGA Firmware. Sämtliche Analysedaten können hier ausgelesen werden. Weiterhin können über ein spezielles Register Befehle an die Firmware geschickt werden. Eine Auflistung der Register findet sich in Tabelle A.1 auf Seite 127. Zulässige Befehle sind in Tabelle A.5 auf Seite 129 zusammengefasst.

Der zweite Adressraum besitzt eine Größe von 256 MB, wovon jedoch nur die ersten 288 Byte benutzt werden.¹ Über diesen Adressraum können die Rohdaten aus der Synchronisation abgefragt werden.

4.2.5. Überblick

Abbildung 4.1 auf der nächsten Seite zeigt den Datenfluss zwischen den einzelnen Komponenten der FPGA Firmware im Überblick.

¹ Diese Diskrepanz hat historische Gründe, da dieser Bereich ursprünglich für die Auslese des Onboard Speichers der FPGA Karte vorgesehen war.

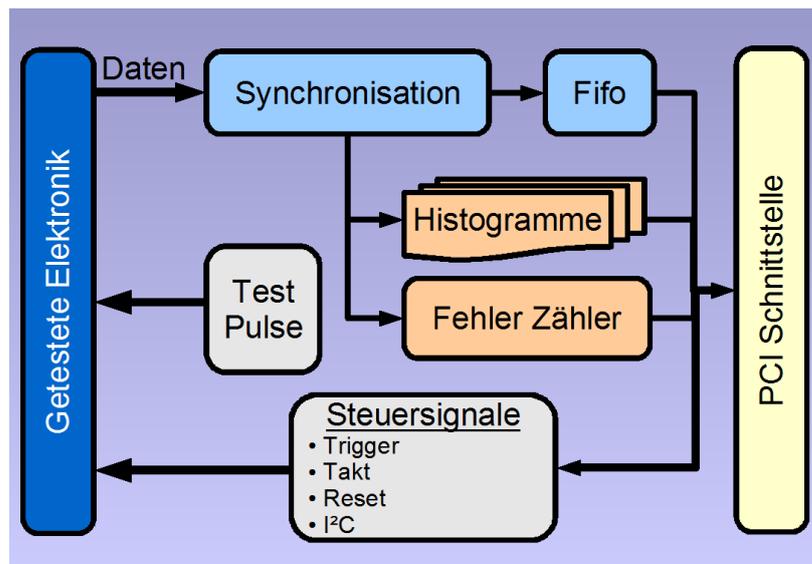


Abbildung 4.1. – Der Datenfluss zwischen den einzelnen Komponenten der FPGA Firmware.

4.3. Der OTIS-TDC Wafer Test

Der OTIS-TDC Chip wird direkt auf die zugehörige Karte gebondet und mit einem Epoxidharz versiegelt. Es ist extrem aufwendig, den Chip wieder von der Karte zu lösen, ohne andere Komponenten zu beschädigen. Daher wurden die einzelnen Chips schon auf dem Wafer auf ihre Funktionstüchtigkeit hin geprüft. Dieser Test wurde auf einem halbautomatischen Wafer Tester im ASIC-Labor des Kirchhoff Institut für Physik (KIP) an der Universität Heidelberg durchgeführt.

Die Produktion der OTIS Chips war Teil des multi project wafer (MPW) runs 15 des CERN. Der MPW 15 diente für andere Chipdesigns als Produktionsrun. Daher wurden insgesamt 47 Wafer hergestellt. Es wurden dabei sowohl die Version 1.2 als die Version 1.3 des OTIS Chips submittiert.

Die nebenstehende Abbildung 4.2 zeigt ein Retikel eines Wafers.² Die beiden Chip Versionen sind dabei hervorgehoben. Insgesamt wurden etwa 100 Retikel auf den Wafer untergebracht, wobei die Hersteller Firma für 78 Retikel garantierte, dass diese vollständig prozessiert wurden. Diese 78 Retikel bildet die Basis für alle Angaben bzgl. des Yields in diesem Kapitel.³ Die anderen Retikel

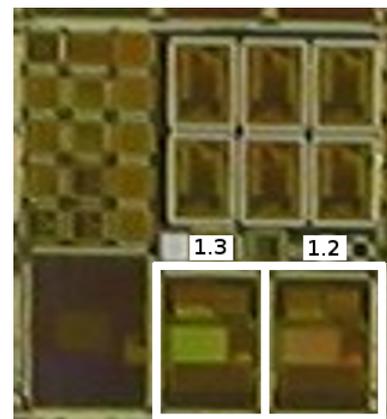


Abbildung 4.2. – Ein Retikel des MPW Runs 15

² Ein Retikel ist die kleinste sich wiederholende Einheit auf einem Wafer. Diese kann aus einem Chip bestehen oder wie in diesem Fall aus mehreren.

³ Der Yield gibt das Verhältnis zwischen den als gut getesteten Chips zur Gesamtzahl an.

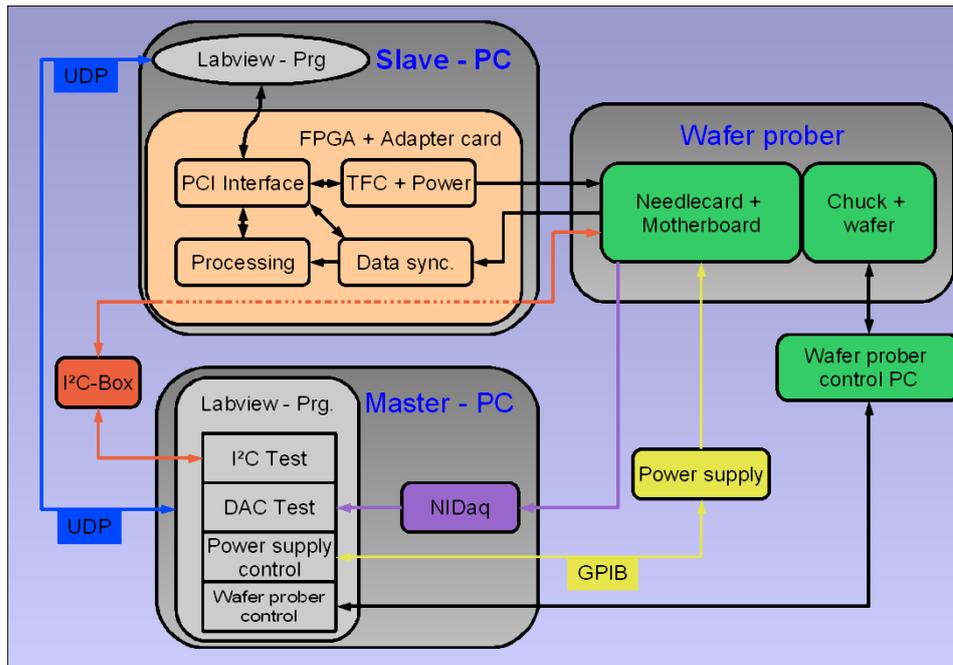


Abbildung 4.3. – Aufbau des Wafer Tests (schematisch).

lagen am Rand des Wafers, für den nicht alle Produktionsschritte laut Spezifikation garantiert werden konnte. Die Gesamtzahl der vollständigen OTIS Chips betrug pro Wafer für die Version 1.3 insgesamt 88 und 91 für die Version 1.2.

In dem Test wurden alle Eigenschaften des OTIS Chips überprüft. Dies beinhaltet neben der Zeitmessung auch die Kommunikation über die I²C Schnittstelle, die Datenausgabe über den 8 Bit Ausgang, die Leistungsaufnahme sowie die Messungen den DAC Spannungen. Nur wenn ein Chip alle Tests bestand, wurde er für die Produktion der OTIS Karten verwendet.

4.3.1. Aufbau des OTIS-TDC Wafer Tests

Der Testaufbau ist schematisch in Abbildung 4.3 gezeigt. Er bestand aus folgenden Komponenten:

- Dem Master PC
- Dem Slave PC
- Dem halbautomatischen Wafer Tester
- Stromversorgung
- Der I²C Box

4. Produktionstests

Der Master PC übernahm dabei die Steuerung des Testablaufs. Auf ihm lief ein Labview™ Programm, welches den Test eines Wafers automatisch durchführte. Dieses beinhaltete die Kommunikation mit allen anderen Komponenten innerhalb des Testaufbaus.

Auf dem Slave PC lief ebenfalls ein Labview™ Programm. Er war dabei für alle Messungen zuständig, die die Zeitmessung des OTIS und deren Datenausgabe betreffen. Diese wurde mit Hilfe der zuvor vorgestellten FPGA Firmware durchgeführt. Die Kommunikation mit dem Master PC lief dabei über das User Datagram Protocol (UDP).

In dem Wafer Tester wird der Wafer auf dem sogenannten Chuck gelegt und mittels Unterdruck angesaugt. Der Chuck mitsamt Wafer wird dann unter der fest eingespannten Nadelkarte, über die die Pads des Chips kontaktiert werden, bewegt. Ist die richtige Position erreicht, wird der Chuck hochgefahren und so gegen die Nadelkarte gedrückt. Die einzelnen Nadeln stellen damit den elektrischen Kontakt mit einem Pad des OTIS Chips her. Nach erfolgtem Test wird der Chuck wieder heruntergefahren und der nächste Chip angesteuert. Dies geschieht automatisch und wird vom PC des Wafer Probers überwacht.

Da zu dieser Zeit die I²C Kommunikation noch nicht in die FPGA Firmware integriert war, wurde diese über eine externe I²C-Box realisiert.

Diese vermittelte den Datenaustausch zwischen dem OTIS Chip und dem Master PC. Die Stromversorgung überwacht auch die aufgenommene elektrische Leistung und teilt diesen dem Master PC mit.

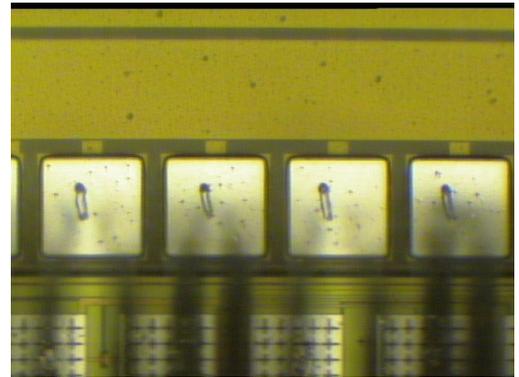


Abbildung 4.4. – Die Pads des OTIS Chips, nachdem die Nadel aufgesetzt wurden. Die schwarzen Schatten sind die Nadeln, welche sich außerhalb des Fokus befinden.

4.3.2. Testablauf

Der Test eines Wafers beginnt mit dessen Einlegen in den Wafer Prober. Nachdem der Wafer ausgerichtet wurde, wurde zunächst manuell für jede Ecke überprüft, ob die Nadel korrekt auf die jeweiligen Pads aufsetzten. Erst danach wurde das automatische Programm gestartet. Für jeden Wafer wurden das Testprogramm zweimal gestartet, einmal für die OTIS 1.3 Chips, danach für die Version 1.2.

Insgesamt wurden vier Tests pro Chip durchgeführt.

Strommessung Bei diesem Test wurde die aufgenommene elektrische Leistung des Chips bestimmt.

I²C Test Beim I²C Test wurden die Register mit „01010101“ beschrieben. Die Werte wurden dann zurück gelesen und überprüft. Dieser Test wurde insgesamt zweimal durchgeführt. Im zweiten Setting wurde das Muster „10101010“ geschrieben.

Funktionstest In diesem Test wurden die Eigenschaften des Chips vermessen. Die Einzelheiten werden im nächsten Kapitel erläutert. Hierbei wurde eine große Anzahl von Testpulsen erfasst und vermessen.

DAC Test Der OTIS Chip muss auch die Schwellenspannungen für den ASDBLR liefern. Die insgesamt vier DAC Einheiten werden jeweils über ein acht Bit Register gesteuert. In diese wurden nacheinander die Werte 0, 1, 2, 4, 8, 16, 32, 64, 128, 255 geschrieben. Die ausgegebenen Spannungen wurden dann gemessen. Dabei wurde sowohl die Abweichung vom Erwartungswert als auch die Abweichungen der vier Einheiten untereinander gemessen.

Abbildung 4.5 auf der nächsten Seite zeigt das Flussdiagramm des Tests.

4.3.3. Funktionstest

Im Funktionstest wird geprüft, ob der OTIS Chip alle Messungen ordnungsgemäß durchführt. Da dabei eine große Datenmenge anfällt, werden sämtliche Messungen auf dem FPGA durchgeführt. Die Ergebnisse werden mit dem Labview Programm auf dem Slave PC ausgelesen und an den Master PC übermittelt. Insgesamt vier Tests wurden innerhalb dieses Block in folgender Reihenfolge ausgeführt:

1. Connection test
2. Channel map test
3. DNL test
4. Buffer overflow test

Wurde ein Test nicht bestanden, so wurde dieser sofort wiederholt. So sollen die Fehler aufgrund von Fehlern in der Kommunikation des Labview Programms mit der FPGA Karte über den PCI-Bus abgefangen werden. Diese können aufgrund von z.B. Timeouts auftreten, da die Ausführungsgeschwindigkeit eines Labview Programms vergleichsweise langsam ist.

Der erste Test dient zunächst einmal zur generellen Überprüfung des OTIS Datenstroms. Es werden 10.000 Trigger mit einer Rate von 1 MHz geschickt. Der Test gilt als bestanden, wenn folgende Bedingungen erfüllt sind:

- Es wurden 10.000 Datensätze empfangen.
- Die Statusbits des OTIS Headers entsprechen jedes mal dem erwarteten Wert.
- Die event ID im OTIS Headers ist jedes mal um eins inkrementiert.
- Alle gemessenen „Driftzeiten“ besitzen den Wert „xC0“ (= kein Treffer).

4. Produktionstests

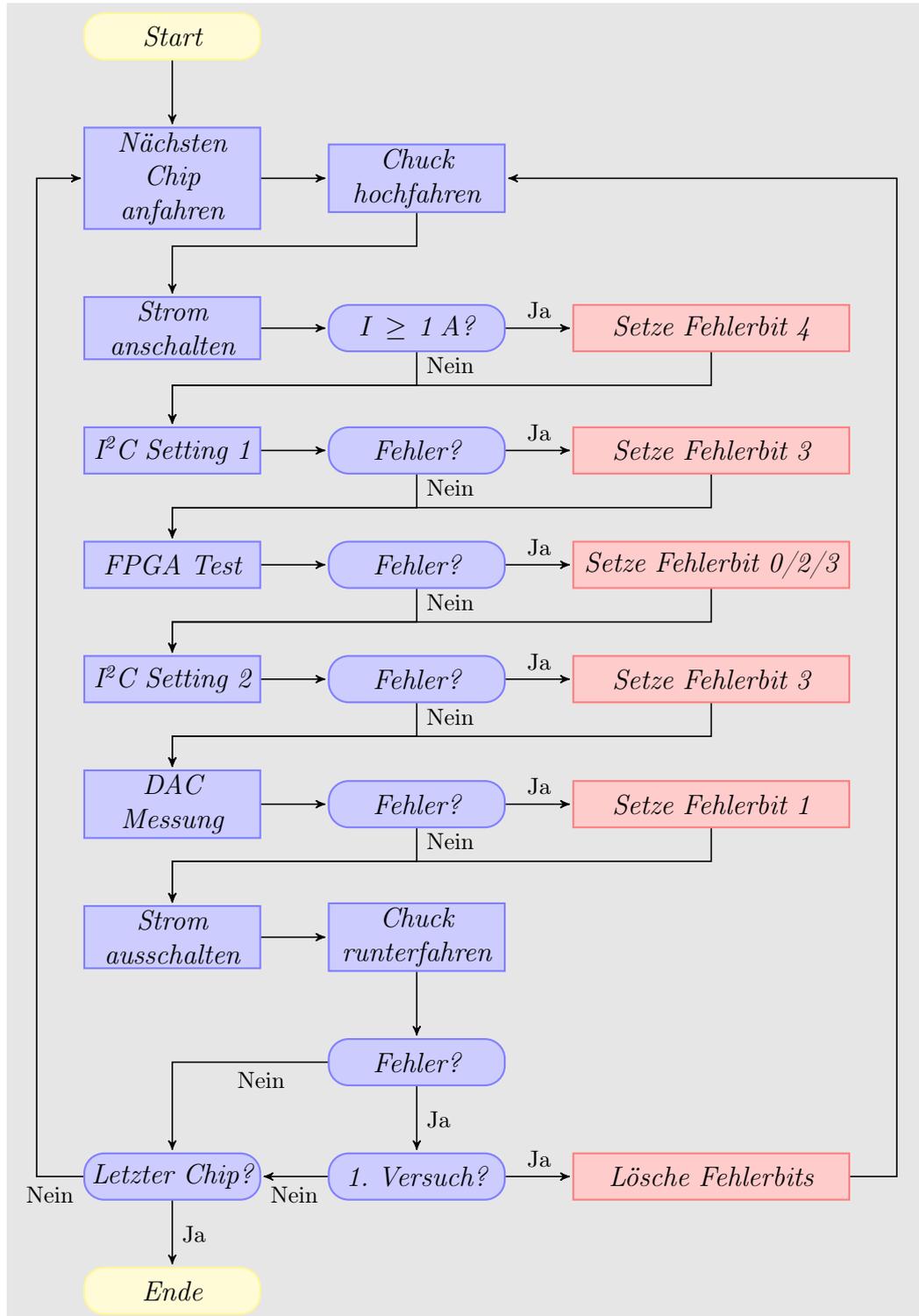


Abbildung 4.5. – Flussdiagramm des Wafer Tests

Dieser Test wird zweimal ausgeführt. Zunächst wird die OTIS ID auf „x555“ (alle ungeraden Bits gesetzt), anschließend auf „xAAA“ (alle geraden Bits gesetzt). Die Synchronisationseinheit auf dem FPGA wird dementsprechend eingestellt, dass nur Daten von dieser jeweiligen Adresse angenommen werden. Die Überprüfung der Statusbits und des event ID findet auch in allen folgenden Test statt.

Als nächstes wird überprüft, ob die Zeitmessung für alle 32 Kanäle durchgeführt wird. Dazu wird ein Test Puls zunächst auf die ungeraden, in einem zweiten Durchgang auf die geraden Kanäle geschickt. Gesendet werden 100.000 Trigger. Die Frequenz des Rechteck-Pulses beträgt dabei etwa 8,25 MHz.⁴ Damit tritt die steigende Flanke des Test Pulses, welche die Zeitmessung auslöst, etwa alle 121 ns auf. Da das Auslesefenster des OTIS Chips 75 ns beträgt, sollten für etwa

$$\frac{75 \text{ ns}}{121 \text{ ns}} \approx 61,9 \%$$

der Fälle eine erfolgreiche Zeitmessung vorliegen. Um diesen Abschnitt des Testes erfolgreich zu absolvieren, müssen folgende Bedingungen erfüllt sein:

- Die Kanäle, auf die kein Test Puls gegeben wurde, dürfen keine gültige Driftzeit gemessen haben.
- Die Kanäle mit Test Pulsen müssen zwischen 60.000 und 65.000 gültige Driftzeiten gemessen haben.

Der nun folgende DNL Test überprüft die Güte der Zeitmessung eines Chips. Er wird an den vier Kanälen 0, 15, 16 und 31 aus den in Kapitel 3.2 auf Seite 36 erwähnten Gründen durchgeführt. Dabei werden pro Kanal 1.000.000 Trigger geschickt. Als Test Puls wird wieder der aus dem PCI Takt abgeleiteten 8,25 MHz Rechteck Puls verwendet. Damit ergeben sich im Durchschnitt etwa 10.000 Einträge pro TDC Bin. Abbildung 4.6 auf der nächsten Seite zeigt beispielhaft die Verteilung der Treffer bei einem Chips.

Als DNL Wert für ein TDC Bin i wird nun folgendes definiert:

$$DNL(i) \equiv \frac{\text{Einträge Bin } i - \text{Einträge Bin } (i-1)}{\sum(\text{Einträge Bin } i)/64} \quad (4.1)$$

Der Vorgänger des Bin 0 ist dabei das Bin 63. Der DNL Wert für den gesamten Chip wird nun wie folgt definiert:

$$DNL \equiv \max \{DNL(i) \mid i \in \{0, \dots, 63\}\} - \min \{DNL(i) \mid i \in \{0, \dots, 63\}\} \quad (4.2)$$

Diese Zahl liefert damit eine Abschätzung für den maximalen Unterschied in den TDC Bin Breiten. Ist dieser Wert kleiner als eins, so ist garantiert, dass die Zeitmessung als monotone Gerade erfolgt. Aufgrund der unterschiedlichen Breiten der geraden und ungeraden TDC Bins im OTIS Chip können auch Werte größer als eins vorkommen. Abbildung 4.7 auf der nächsten Seite führt das vorherige Beispiel weiter.

Um den Test zu bestehen mussten folgende Kriterien erfüllt sein:

⁴ genauer $1/4$ des PCI Taktes.

4. Produktionstests

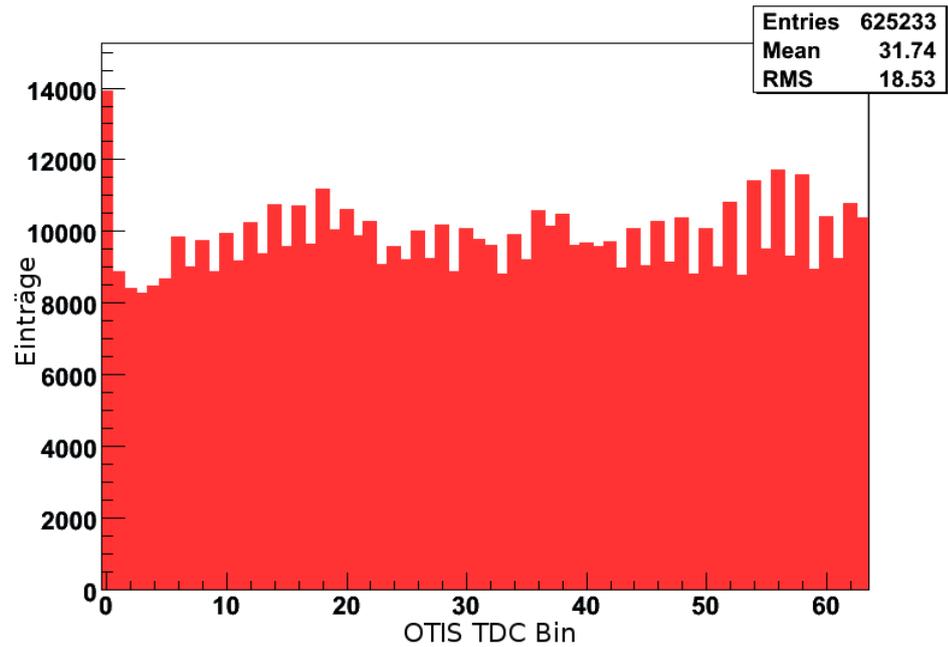


Abbildung 4.6. – Histogram eines Chips beim DNL Test. Gezeigt ist die Anzahl der Treffer pro TDC Bin.

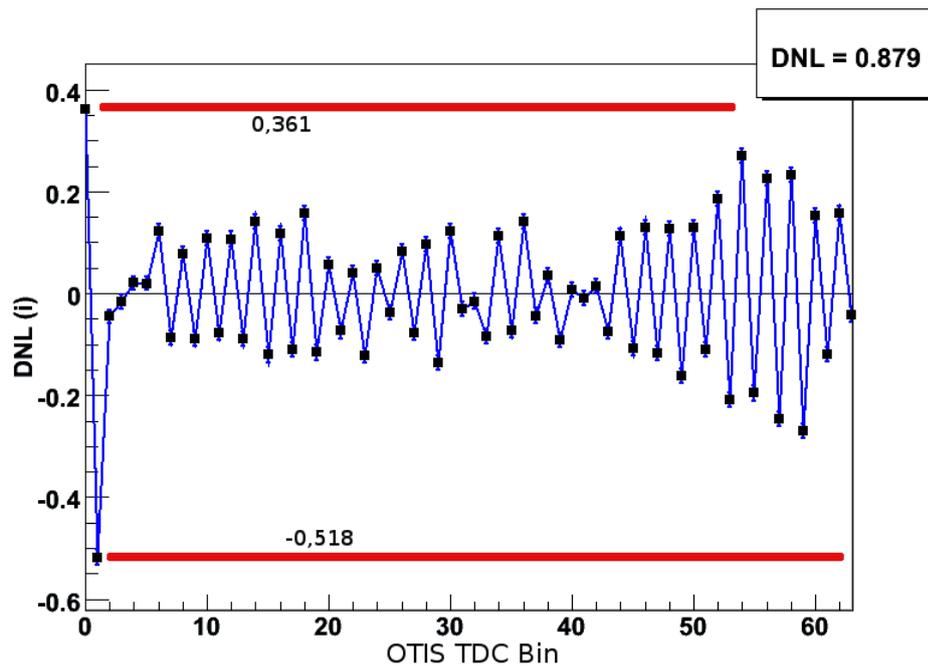


Abbildung 4.7. – Anhand der Daten des Histogramms aus Abbildung 4.6 kann die DNL berechnet werden. In diesem Fall ist das Maximum der einzelnen $DNL(i)$ Werte im Bin 0 zu finden mit 0,361. Das Minimum in Bin 1 beträgt -0,518. Daraus ergibt sich der DNL Wert zu 0,879.

- Jedes TDC Bin muss mindestens einen Eintrag haben.
- Die Summe aller Einträge im Histogramm muss zwischen 600.000 und 650.000 liegen.
- Der DNL Wert muss kleiner als zwei sein.

Der „Buffer overflow“ Test bildet den Abschluss. Hier wird geprüft, ob der Chip erkennt, wenn zu viele Trigger geschickt wurden.⁵ Dieses Bit wird gesetzt, wenn nicht genug freie Zeilen im OTIS Derandomizing Buffer für die Bearbeitung eines weiteren Triggers vorhanden sind. Insgesamt besitzt der Derandomizing Buffer 48 Zeilen. Bei einem Trigger werden drei Zeilen gefüllt.⁶ Kommt nun direkt im nächsten Takt ein weiterer Trigger (konsekutiv), so wird nur eine weitere Speicherzeile belegt, da die Daten der ersten zwei BX schon kopiert wurden. Nach 44 konsekutiven Triggern sind also 45 Speicherzeilen belegt. ($1 \times 3 + 43 - 1 = 45$. Die erste Zeile wird nach 36 Takten gelöscht, da die Daten des ersten Triggers schon gesendet wurden.)

Somit gibt es zu diesem Zeitpunkt noch drei freie Zeilen, womit noch ein Trigger, welcher drei BX kopieren muss, bearbeitet werden kann. Nach 45 konsekutiven Triggern gibt es dagegen nicht genug freie Zeilen, womit das „Buffer overflow“ Bit gesetzt wird. Im Test selbst werden genau diese zwei Situation durchgespielt. Er wird bestanden, wenn bei 44 konsekutiven Triggern das Bit nicht gesetzt, bei 45 dagegen gesetzt wird.

4.3.4. Ergebnis für einen Wafer

Als Ergebnis der Tests wird für jeden Chip ein Fehlercode erzeugt. Dieser besteht aus 5 Bit, welche folgende Bedeutung:

Bit 0 - DNL Wert Wird gesetzt, wenn den ermittelte DNL Wert grösser als zwei ist.

Bit 1 - DAC Wert Wird gesetzt, wenn der DAC Test nicht bestanden wird.

Bit 2 - Toter Kanal Wird gesetzt, wenn im Channel map test ein Kanal nicht das erwartete Verhalten zeigt.

Bit 3 - Digitaler Fehler Umfasst alle Fehler in der Programmierung und Zeitmessungen der Chips.

Bit 4 - Stromaufnahme Wird gesetzt, wenn die Stromaufnahme zu groß ist.

Tabelle 4.1 auf der nächsten Seite zeigt die Zusammensetzung des Fehlercodes und von welchen Tests sie gesetzt werden können. Aus den Fehlercodes der einzelnen Chips wird die Wafer map erstellt. In ihr sind die Daten zu einem Wafer gespeichert. Sie wurde nach Abschluss des Tests benutzt, um die fehlerhaften Chips mittels einer speziellen Tinte zu markieren. Diese Chips wurden dann beim Zersägen der Wafers aussortiert. Abbildung 4.8 auf der nächsten Seite zeigt eine solche Wafer map.

⁵ Diese Situation sollte im Experiment nie vorkommen, sondern durch das TFC System schon vorher abgefangen werden.

⁶ Im normalen Auslesemodus von drei BX, wie er im Test verwendet wurde. Ansonsten analog weniger.

4. Produktionstests

Bit- stelle	Name	Strom- messung	I ² C Test	DAC Test	Funktionstest			
					CT	CMT	DNL	BOT
0	DNL Wert						✓	
1	DAC Wert			✓				
2	Toter Kanal					✓		
3	Digitaler Fehler		✓		✓	✓	✓	✓
4	Stromaufnahme	✓						

Tabelle 4.1. – Die Tabelle zeigt die Fehlercodes beim Wafer Test und welche Tests diese setzen können.

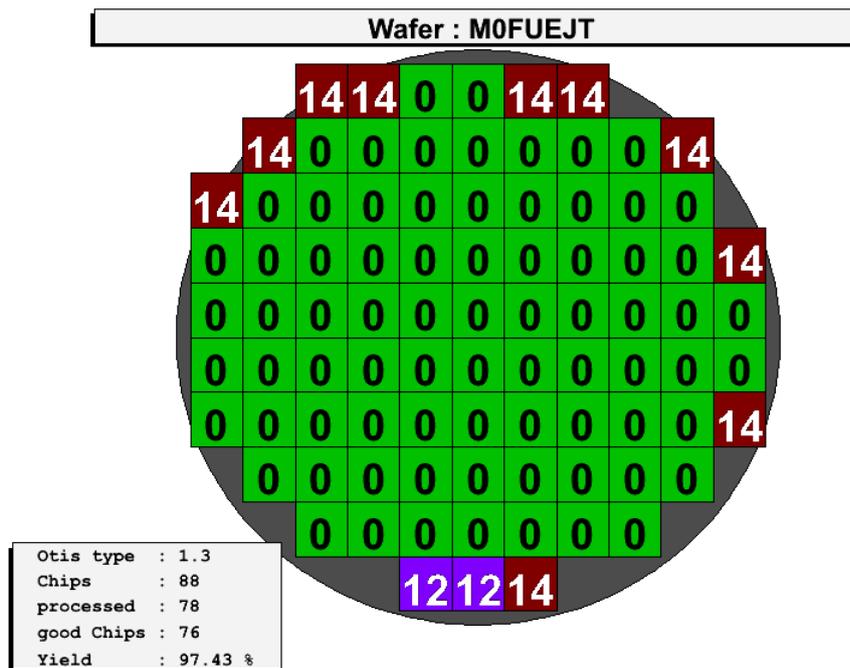


Abbildung 4.8. – Eine Wafer map. Die Zahlen geben den dezimalen Fehlercode des entsprechenden Chips an.

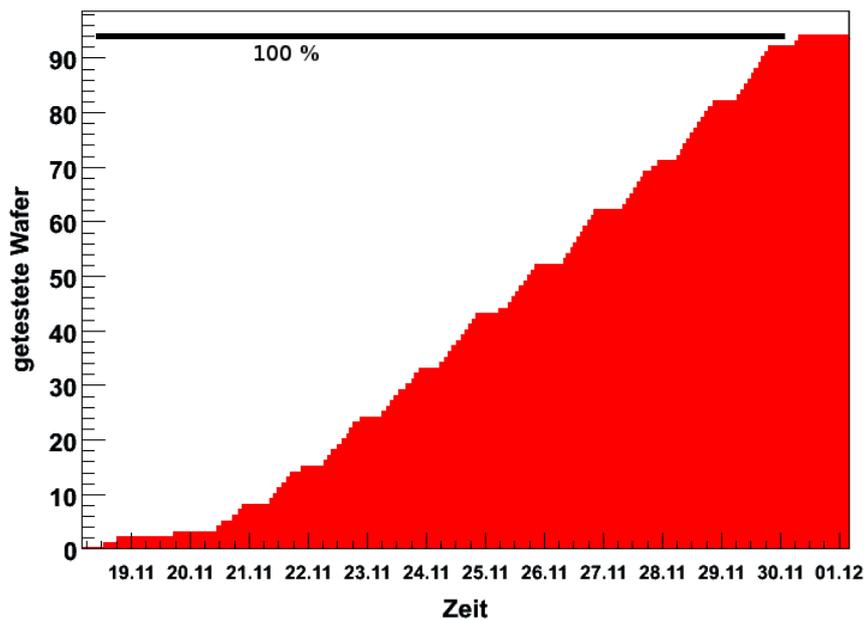


Abbildung 4.9. – Zeitlicher Verlauf des Wafer Tests. Die verschiedenen OTIS Versionen wurde dabei als eigenständiger Wafer gewertet. Daraus ergibt sich die Gesamtzahl von $2 \times 47 = 94$ Wafer.

4.3.5. Zusammenfassung des OTIS-TDC Wafer Tests

Die benötigte Zeit für den Test eines fehlerlosen Chips betrug 25 s. Dabei wurde auf dem FPGA ein Datenvolumen von 144 MB ausgewertet. Ein fehlerhafter Chip benötigte aufgrund der Wiederholungen der einzelnen Tests eine Zeit von 110 s. Einen Test beider Chip Versionen konnte damit inklusive Einlegen und Ausrichten des Wafer in etwa 2 h durchgeführt werden. Abbildung 4.9 zeigt den zeitlichen Verlauf des Wafer Tests. Es konnten trotz des knappen Zeitbudget von nur 3 Wochen, in denen die Wafer in Heidelberg sein durften, sämtliche Chips getestet werden und die fehlerhaften markiert werden.

Insgesamt wurden 4.277 OTIS Chips der Version 1.2 und 4.136 Chips der Version 1.3 getestet. Jeweils 3.666 Chips sollten dabei laut Hersteller prozessiert sein. Als Fehlerlos getestet wurden 3.356 Chips der Version 1.3. Die entspricht einem Yield von 91,54 %. Bei der OTIS Version 1.2 waren dies 3.250 Chips oder 88,65 %. Der OT benötigt zur Ausstattung des Detektors etwa 2.000 Chips einer Version (inkl. 20 % Reserve). Tabelle 4.2 auf der nächsten Seite fasst die Zahlen noch einmal zusammen.

Abbildung 4.10 auf der nächsten Seite zeigt den Yield pro Wafer. Nach einer kurzen Optimierungsphase mithilfe des ersten Wafers konnte sehr schnell ein stabiler Betrieb gewährleistet werden. Der verbesserte Yield in der zweiten Hälfte der Tests ist auf eine verbesserte Kühlung eines Spannungswandlers auf dem Nadelkartenadapter zurückzuführen. Dieser besitzt eine Schutzfunktion gegen eine Überhitzung, wodurch er sich bei

4. Produktionstests

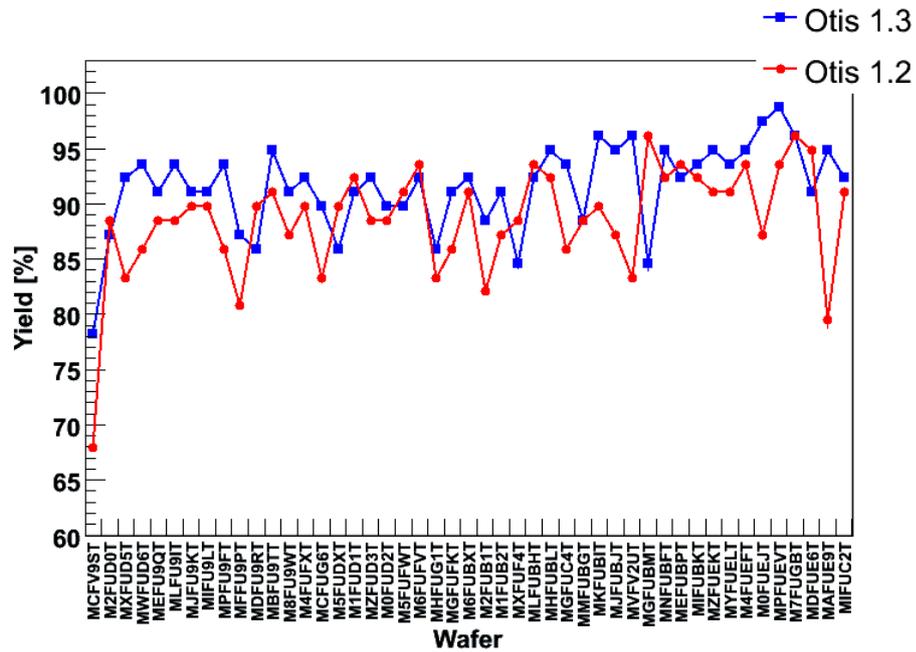


Abbildung 4.10. – Yield pro Wafer.

	OTIS 1.2	OTIS 1.3
Anzahl kompletter Chips auf dem Wafer	4.277	4.136
... davon prozessiert laut Hersteller	3.666	3.666
Als fehlerlos getestet	3.250	3.356
Yield	88,65 %	91,54 %

Tabelle 4.2. – Ergebnis des Wafer Tests.

Fehler	OTIS 1.2	OTIS 1.3
DNL Wert	1,8 %	1,9 %
DAC Wert	2,4 %	0,8 %
Toter Kanal	7,6 %	4,5 %
Digitaler Fehler	10,0 %	7,2 %
Stromaufnahme	3,0 %	1,3 %

Tabelle 4.3. – Die Verteilung der Fehler bzgl. der Gesamtzahl der Chips. Mehrere Fehler pro Chip sind möglich.

zu großer Hitze abschaltet. In diesem Fall wurde kein Strom an die OTIS Chips weitergeleitet.

Der Hauptgrund für den Ausschluss eines Chips waren Digitale Fehler. Dies lag meistens daran, dass der Chip nicht über den I²C angesprochen werden konnte, bzw. keine Daten sendete. Einen Überblick gibt die Tabelle 4.3, eine vollständige Aufschlüsselung findet sich in Tabelle B.1 auf Seite 130 und B.2 auf Seite 131.

4.4. Der GOL-Aux Karten Test

Der zweite Produktionstest, der im Rahmen dieser Arbeit entwickelt wurde, betraf die GOL-Aux und die OTIS Karten. Beide Tests basieren auf einer ähnlichen Grundlage. Da die GOL-Aux Karten in Heidelberg getestet wurden, wird zunächst nur auf diesen eingegangen. Auf die Unterschiede im Test der OTIS Karten werden in Kapitel 4.5 auf Seite 64 eingegangen.

4.4.1. Aufbau des GOL-Aux Karten Tests

Die GOL-Aux Karte ist die Schnittstelle der Front-end Elektronik zur Außenwelt. Deshalb ist es wichtig, die Karte im Zusammenspiel mit allen Komponenten zu testen. Eine Karte muss dabei alle TFC und slow control Signale an die OTIS Karten korrekt weitergeben, sowie deren Daten über den optischen Link ausgeben. Dies beinhaltet auch die Aufbereitung des Taktsignals sowie die korrekte Initialisierung der einzelnen Komponenten. Weiterhin müssen die nötigen Betriebsspannungen erzeugt werden.

Ein Ziel bei der Entwicklung war die Verwendung möglichst vieler Komponenten, die auch im Experiment eingesetzt werden. Abbildung 4.11 auf der nächsten Seite zeigt den schematischen Aufbau. An die zu testende GOL-Aux Karte werden vier bereits validierte OTIS Karten mit ASDBLR Karten angeschlossen.

Die Versorgung mit den Steuersignalen geschieht über ein 6 m langes SCSI Kabel, wie es auch im Experiment zum Einsatz kommt. Die erforderlichen Signale werden dabei im FPGA erzeugt. Ausgelesen werden die Daten der GOL-Aux Karte über eine 6 m lange optische Faser. Über ein Verbindungsstück wird diese an einen optische Abschwächer abgeschlossen, welcher das Signal um 9 dB dämpft. Der optische Abschwächer soll die 100 m lange Lichtfaser simulieren, welche im Experiment zu Einsatz kommt. Er wird

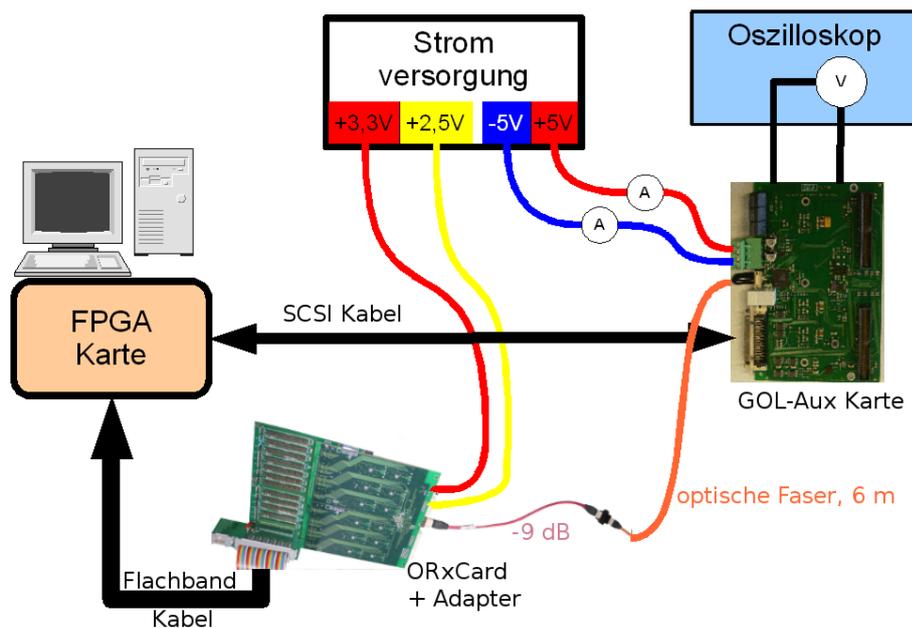


Abbildung 4.11. – Schematischer Aufbau des GOL-Aux Karten Test.

mit der ORxCARD verbunden. Über Adapterkarten werden die Daten als LVDS Signale an den FPGA übertragen, wo sie prozessiert werden. Gesteuert wird der FPGA über das Testprogramm, welches auf dem PC läuft.

Die Karte wird dabei während des Tests mit den Spannungsreglern gegen einen Metallblock geschraubt. Dieser wird über ein Peltierelement und einen CPU Lüfter gekühlt.

4.4.2. Das Gol Board Tester Programm

Durchgeführt wird der Test vom „Gol Board Tester“ Programm. Entwickelt wurde das Programm mit der *Microsoft Visual C++™* Entwicklungsumgebung. Es ist eine auf Dialogfeldern basierende MFC-Anwendung.⁷ Das Programm besteht aus einer einfachen Datenbank zur Verwaltung der getesteten Karten und den Testfunktionen. Die Datenbankfunktionen basieren dabei auf den in [38] vorgestellten Code.

Dem Anwender werden beim Start die Informationen zu einer Karte in der Datenbank angezeigt (Abbildung 4.12 auf der nächsten Seite). Die Datenbanken werden in den Programm eigenen „gbt“ Dateien gespeichert. Innerhalb der Datenbank kann zur ersten gespeicherten Karte navigiert werden (Schalter „First“), zur letzten Karte („Last“), zur vorhergehenden („Previous“) sowie zur nachfolgenden Karte („Next“). Mit dem Schalter „Goto Serial Number“ können die Daten zur einer bestimmten Karte angesteuert werden. Die Karten werden dabei in der Reihenfolge ihres Tests in der Datenbank abgelegt. Mit dem Schalter „Delete Board“ wird eine Karte aus der Datenbank gelöscht. Mit „Retest Board“ wird ein Test gestartet, dessen Ergebnis die aktuellen Einträge überschreibt. Mit

⁷ Microsoft Foundation Class

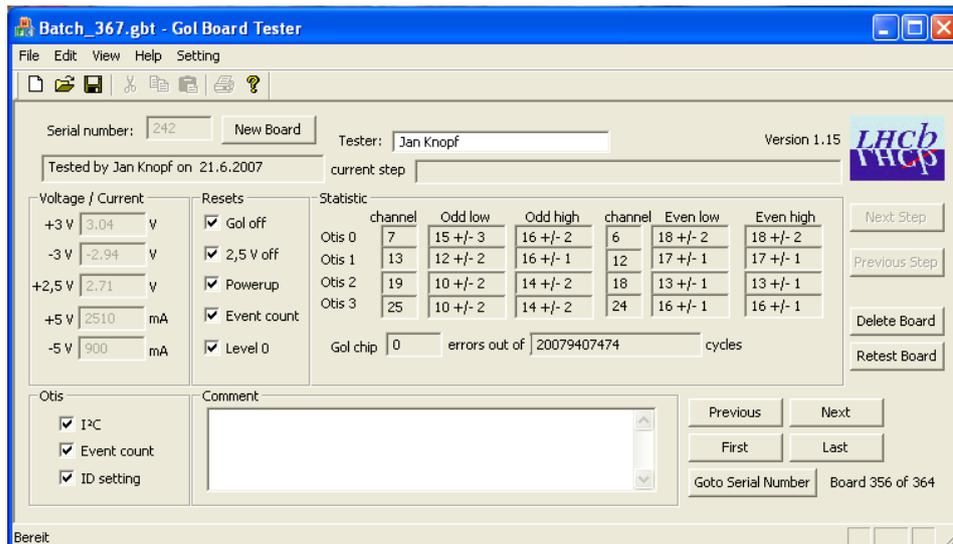


Abbildung 4.12. – Das Gol Board Tester Programm.

„New Board“ wird dagegen nach dem Test eine neue Karte in der Datenbank abgelegt.

Wird ein neuer Test gestartet, so wird zunächst der Name des Operators zu Dokumentationszwecken abgefragt. Anschließend muss die Identifikationsnummer der Karte eingetragen werden. Diese muss eindeutig sein in der aktuellen Datenbank. Nun folgen die Werte der Stromaufnahme. Diese werden extern über ein Oszilloskop gemessen und müssen vom Operator eingetragen werden.

Dies sind die Werte für die:

- +3 V Spannung
- -3 V Spannung
- +2,5 V Spannung
- Stromstärke auf der +5 V Versorgung (etwa 2,5 A)
- Stromstärke auf der -5 V Versorgung (etwa 900 mA)

Liegen die Werte außerhalb der Erwartung, muss die Karte vom Tester anschließend manuell überprüft werden. Ab jetzt startet der automatisch Test. Im folgenden werden die einzelnen Tests aufgelistet. Dabei wird auch auf die Zeilen im Code verwiesen, die diesen Test durchführen. Der komplette Code findet sich in Kapitel C.2 auf Seite 133.

1. Zunächst wird sichergestellt, dass das Programm mit dem FPGA über den PCI-Bus kommunizieren kann (Zeile 1 bis 7). Scheitert dieses, so wird der Test mit einer Fehlermeldung abgebrochen.
2. Nun erfolgt die Initialisierung der FPGA Register (Zeile 9 bis 48).

4. Produktionstests

3. Als erster Test wird überprüft, ob die 2,5 V und der GOL Chip über die SCSI Verbindung aus- und angeschaltet werden können (Zeile 49 bis 57). Dies ist notwendig für eine korrekte Initialisierungssequenz..
4. Nachdem der Anwender aufgefordert wurde, „x555“ an den Hex-Switchen der Karte einzustellen, wird das PowerUp Reset überprüft (Zeile 65 bis 74). Dazu werden die I²C Register programmiert und das PowerUp Reset Signal gesendet. Der Test gilt als bestanden, wenn die Register der OTIS Chips gelöscht wurden.
5. Als nächstes wird die I²C Programmierung selbst überprüft (Zeile 75 bis 79). Dazu werden die Register wieder beschrieben und zurück gelesen.
6. Nun werden 100 Trigger gesendet (Zeile 88 bis 104). Dabei wird folgendes überprüft:
 - a) Wenn 4×100 Datensätze empfangen wurden, wird das Häkchen bei „ID setting“ gesetzt.
 - b) Wenn der event counter bei allen OTIS auf 100 steht, so wird das Häkchen bei „Event count“ gesetzt.
7. Das event counter reset wird anschließend geschickt und überprüft, ob das entsprechende Register auf allen OTIS Chips gelöscht wurde (Zeile 108 bis 112).
8. Es folgt die Untersuchung der Qualität der Datenübertragung (Zeile 114 bis 155). Dazu wird der GOL Chip in den Selbsttest Modus versetzt, in dem ein 16 Bit Zähler die Daten generiert. Im FPGA wird überprüft, ob bei der Übertragung Fehler auftreten sind. Der Test läuft mindestens 2×10^{10} Taktzyklen lang, wobei kein Fehler auftreten darf.
9. Der Anwender wird nun aufgefordert, die Hex-Switche auf „xAAA“ zu verstellen (Zeile 158 bis 181). Wieder werden 100 Trigger gesendet und überprüft, ob die Daten von allen vier OTIS Chips empfangen wurden. Ist die nicht der Fall, so wird das Häkchen bei „ID setting“ entfernt.
10. Als vorletzter Test wird der Level 0 (L0) Reset überprüft (Zeile 183 bis 212). Dazu wird auf den Testpuls even high der $\frac{1}{4}$ PCI Takt gelegt und 100.000 Trigger gesendet. In dem Driftzeit Histogramm auf dem FPGA sollten alle TDC Bins Einträge enthalten. Nun werden die Ausleseregister auf den OTIS Chips von drei BX auf zwei gestellt. Dieser neue Wert kann nur mit einem erfolgreichen L0 Reset vom OTIS übernommen werden. Es werden also nochmal 100.000 Trigger geschickt, wobei jetzt nur die TDC Bins 0 bis 127 Einträge enthalten dürfen.
11. Als letztes werden die vier Testpulse nacheinander getestet (Zeile 215 bis 279). Auf den jeweiligen Test Puls wird der phasenverschobene 40 MHz Takt gegeben. Es werden 10.000 Trigger gesendet und anschließend überprüft, ob mehr als 90 % der Driftzeiten je OTIS innerhalb von ± 4 TDC Bins um den Mittelwert liegen.

Serie	Nummer	Insgesamt	Fehlerhaft	Ok	Testversionen
1	21 - 50	30	2	28	Manuell, β -Versionen
2	100 - 199	100	3	97	1.00
3	200 - 565	366	25	341	1.00 - 1.15
4	600 - 639	40	9	31	1.15
Σ		536	39	497	

Tabelle 4.4. – Ergebnisse des GOL-Aux Karten Test

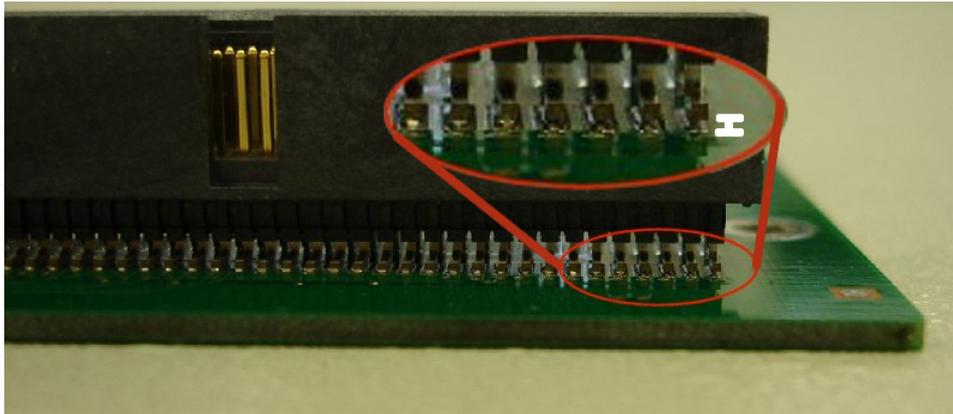


Abbildung 4.13. – Insbesondere bei der dritten Serie traten Probleme bei der Lötung der OTIS-Stecker auf. Diese Karten wurden durch die Elektronikwerkstatt nachgearbeitet.

Dieses relativ große Fenster wurde gewählt, da die Stabilität des Test Pulses relativ zum Taktsignal nicht besser garantiert werden kann.

Damit eine Karte als „ok“ getestet wird, müssen alle Tests bestanden werden. Die Testzeit pro Karte beträgt inklusive Ein- und Ausbau ca. 15 Minuten.

4.4.3. Testzusammenfassung

Insgesamt haben bisher 497 der 536 produzierten Karten den Test bestanden. Dabei wurden einige Karten auch mehrmals getestet, um erkannte Fehler zu korrigieren. Für die Bestückung des Outer Tracker werden 432 Karten benötigt. Tabelle 4.4 zeigt die Verteilung über die einzelnen Produktionsserien.

In der ersten Serie trat als Hauptproblem die Platzierung des CRT4T Chips auf. Dieser ist an seiner Unterseite geerdet. Durch eine schlechte Platzierung des Chips konnte es nun vorkommen, dass die Pins auf der GOL-Aux Karte mit dieser Unterseite in Kontakt kamen. Bei diesen Karten und den folgenden Produktionsserien wurden die deshalb die Pins gekürzt, um dieses Problem auszuschließen.

Während in der zweiten Serie keinerlei Probleme auftraten, änderte sich dies mit der dritten Serie. Ein großes Problem war die Lötung der OTIS-Stecker auf der Karte. Diese waren immer wieder nicht mit allen Pins verbunden (siehe Abbildung 4.13) und mussten

4. Produktionstests

Kategorie	Anzahl	Kartennummer	Beschreibung
GOL on/off	16	269, 271, 272, 302, 318, 329, 331, 337, 354, 465, 528, 603, 613, 617, 623, 639	GOL Chip nicht einschaltbar
Datenfehler	7	253, 396, 463, 492, 565, 609, 611	keine/fehlerhafte Datenübertragung vom den OTIS-TDC Chips
QPLL	4	213, 303, 556, 624	Keine Synchronisation auf Referenztakt
Test Puls	3	341, 563, 629	Fehlerhafte Testpuls Daten
GOL off	2	101,339	GOL Chip nicht ausschaltbar
Sonstige	2	24, 314	CRT4T defekt, Pads beschädigt
	1	157	Stecker defekt
	1	34	PowerUp Reset defekt
	1	216	Keine 2,5 V Spannung
	1	107	I ² C gestört
	1	455	Kurzschluss
Σ	39		

Tabelle 4.5. – Fehlerarten beim GOL-Aux Karten Test

nach bearbeitet werden. Im Test fielen diese Karten durch Probleme bei den Testpulsen und der Anzahl der erhaltenen Trigger auf.

Auch in der vierten Serie kam es nach einem Wechsel des Herstellers ebenfalls zu Problemen mit den Lötstellen. Diese konzentrierten sich aber nicht mehr nur auf den OTIS-Stecker, sondern umfassten mehrere Komponenten. Dies erklärt auch die erhöhte Ausfallrate in dieser Serie.

Tabelle 4.5 listet die Ausfallgründe auf. Der häufigste Fehlertyp war der Ausfall des GOL Chips. Dieser konnte in 16 Fällen nicht eingeschaltet werden, obwohl das Einschaltsignal über den CRT4T gesendet wurde. Als mögliche Ursachen kommen dabei der Chip selber als auch die Lötverbindung zur Karte in Betracht. Bei zwei weiteren Karten konnte der GOL Chip nicht ausgeschaltet werden. Dies ist für die kontrollierte Initialisierung nötig.

Bei sieben Karten kam es zu Problemen bei der Datenübertragung vom OTIS-TDC zum GOL Chip. Diese konnten auch mit einem Nachlöten der Stecker und anderer Komponenten nicht beseitigt werden. Eine weitere Hauptkategorie bilden vier Karten, bei denen sich der QPLL Chip nicht auf den Referenztakt synchronisieren konnte. Die restlichen fehlerhaften Karten haben jeweils individuelle Fehlerursachen.

4.5. Der OTIS Karten Test

Der Aufbau des OTIS Karten Tests entspricht im Wesentlichen der des GOL-Aux Karten Tests, wie er in Abbildung 4.11 auf Seite 60 gezeigt wurde. Es wurde legentlich auf die Dämpfung der optischen Daten von 9 dB verzichtet. Ebenso wird nur eine zu

testende OTIS Karte eingebaut, die anderen Stecker der GOL-Aux Karte wurden mit Abschlusswiderständen versehen.

Bei diesem Test soll hauptsächlich überprüft werden, ob der OTIS Chip korrekt auf die Karte aufgebracht wurde. Dazu wird getestet, ob alle Steuersignale den Chip erreichen und die TDC Daten ausgegeben werden. Weiterhin wird die Verbindung zu den ASDBLR Karten untersucht. Dies beinhaltet die Weiterleitung der DAC Spannungen sowie der Testpulse. Die korrekte Zeitmessung des OTIS Chips wird ebenfalls überprüft.

Der Testaufbau wurde am NIKHEF (Amsterdam) installiert und betrieben. Jede Karte wurde dabei zweimal getestet. Direkt nachdem der OTIS Chip auf die Karte gebondet wurde, erfolgte der erste Test. Anschließend wird der Chip mit einer Epoxidharz Masse versiegelt. Nachdem die Masse ausgehärtet ist, wird die Karte ein zweites Mal getestet. Damit wird überprüft, ob einzelne Bonddrähte bei der Versiegelung beschädigt wurden.

4.5.1. Das Otis Board Tester Programm

Die Bedienung und das Aussehen des Otis Board Tester Programms entspricht der des Gol Board Tester. Beide besitzen zum Großteil dieselbe Codebasis, nur die automatische Testprozedur unterscheidet sich selbstverständlich. Der Test selbst ist am Ablauf des Wafer Test angelehnt. Die Funktion, welche für den Test zuständig ist, findet sich in Anhang D.2 auf Seite 140. Im folgenden werden die einzelnen Schritte besprochen und auch die entsprechenden Stellen im Code verwiesen.

1. Zunächst erfolgt eine Initialisierung aller beteiligten Komponenten (Zeile 1 bis 53).
2. Anschließend werden die Register des OTIS Chip über den I²C-Bus mit Schachbrett Mustern beschrieben und zurück gelesen (Zeile 55 bis 62).
3. Nun werden die weiteren Tests vorbereitet (Zeile 64 bis 90). Dabei wird überprüft, ob der Benutzer abweichende Einstellung für den Test benutzen will.⁸
4. Es folgt des Test der ASDDAC Werte (Zeile 92 bis 128). Die entsprechenden Register werden mit Werten zwischen 15 und 170 in Schritten von 10 beschrieben. Die Abweichung der ausgegebenen von der zurück gelesenen Spannung darf dabei nicht mehr als 150 mV betragen.
5. Die Überprüfung des Datenheaders erfolgt in den Zeilen 143 bis 191. Es werden dabei 100 Trigger geschickt und überprüft, ob diese im FPGA empfangen wurden. Weiterhin wird überprüft, ob das „event counter“ Histogramm die erwartete Verteilung zeigt. Ebenso werden alle Statusbits im Header überprüft. Anschliessend wird das „event counter“ Register auf dem OTIS Chip über den I²C-Bus ausgelesen und mit 100 verglichen, danach mittels eines „event counter“ Resets zurückgesetzt und mit 0 verglichen. Zum Abschluss wird ein PowerUp Reset gesendet und überprüft, ob der OTIS seine Programmierung durch den Reset verloren hat.

⁸ Bei allen folgenden Werten sind die default Einstellungen angegeben.

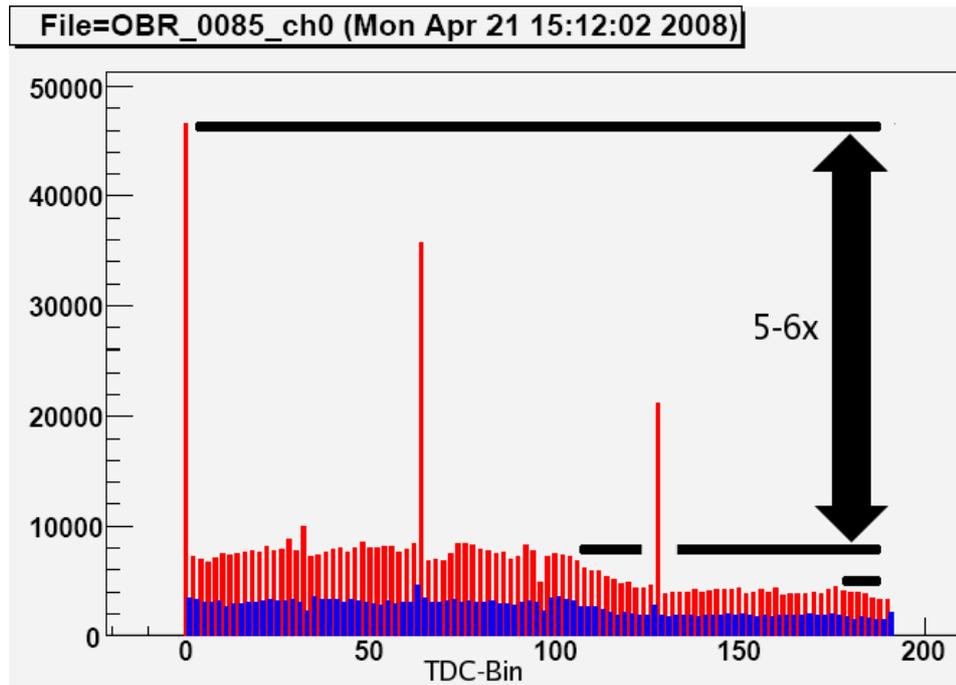


Abbildung 4.14. – Messung eines hohen TDC-Bin 0 beim OTIS Karten Test. Das Auslesefenster erstreckt sich dabei über 3 BX, also 192 TDC-Bins. Auffällig ist der 5 bis 6-fache erhöhte Wert beim Bin 0 sowie das niedrigere Niveau ab dem Bin 100. (rot = gerade TDC-Bins, blau = ungerade) (Entnommen aus [39])

6. Als nächstes wurden die einzelnen Kanäle überprüft (Zeile 206 bis 235). Dazu wurde zunächst auf den Testpuls even high der um 45° phasenverschobene 40 MHz Takt gelegt und 10.000 Trigger geschickt. Jeder gerade Kanal muss nun 10.000 gültige Einträge im Hitmap Histogramm besitzen. Anschließend wird der Test für die ungeraden Kanäle wiederholt.
7. Zuletzt wurde der DNL Test analog zum Wafer Test durchgeführt (Zeile 237 bis 280). Leider stellte sich heraus, dass dieser Test durch die äußeren Umstände bei weitem nicht so aussagekräftig ist wie im Wafer Test (siehe auch das folgende Kapitel).

Inzwischen wurden die Tests am NIKHEF abgeschlossen. Dabei wurden insgesamt mehr als 2.000 OTIS Karten getestet.

4.5.2. Das TDC Bin 0 Problem

Während der Tests am NIKHEF zeigte sich, dass bei einigen Karten ein sehr hoher DNL Wert gemessen wurde [39]. Abbildung 4.14 zeigt so eine typische Messung.

Dabei fallen zwei Eigenschaften auf:

- Die um bis zu 6-fach überhöhten TDC-Bins 0. Da der OTIS Chip über 3 BX die jeweils 64 TDC-Bins vermisst, wiederholt sich das Bin 0 in den Bin 64 und 128.
- Ein generell niedrigeres Niveau in den Bins mit Nummer größer als 100.

Wie schon aus dem Wafer Test bekannt, wurde das Bin 0 vergrößert für den OTIS 1.3, um den es hier geht. Dies kann einen Faktor bis zu 2 bei den Kanälen 16 bis 31 ausmachen, wie in Abbildung 3.12 auf Seite 43 gezeigt wurde. Da anfangs nicht bekannt war, ob die Version 1.3 das Problem des zu niedrigen Bin 0 lösen würde, wurde bei den GOL-Aux Karten die analoge Spannung für die OTIS Chips, welche die Durchlaufzeit durch die DLL Kette beeinflusst, auf 2,7 V gelegt. Wie Messungen in [35] zeigten, wird so ebenfalls das Bin 0 vergrößert. Es bestand nun die Befürchtung, dass beide Maßnahmen zusammen das andere Extrem hervorriefen.

Um nun zu überprüfen, ob ein generelles Problem vorliegt, wurden zwei OTIS Karten⁹, die ein derartiges Verhalten aufwiesen, in Heidelberg überprüft. Im folgenden werden die Ergebnisse nur für die Karte OBL1060 präsentiert, da die beiden Karten dasselbe Verhalten zeigten. Da unzureichende Massekontakte zu einer Reihe von schwer zu verstehenden Effekte führt, wurden für die Messungen beide Karten auf den Rahmen einer FE-Box geschraubt. Ansonsten entsprach der Aufbau dem der Kartentests. An die OTIS Karte wurden dabei zwei validierte ASDBLR Karten angeschlossen.

In den einzelnen Messungen selbst wurden 1.000.000 Trigger mit und ohne Testpuls geschickt. Sie entspricht der DNL Messung im Wafer Test (Seite 53). Damit erwartet man bei der Verwendung des Testpuls für etwa 62-64 % der Trigger gültige Driftzeiten.

Um externe Rauschquellen auszuschließen, wurden zunächst zwei Messungen ohne Testpuls durchgeführt. Dabei wurde als Schwellenspannung für die ASDBLR Karten ein DAC Wert von 60 (≈ 580 mV Schwellenspannung) sowie ein Wert von 70 (≈ 670 mV) gewählt (Abbildung 4.15 auf der nächsten Seite und 4.16 auf der nächsten Seite).

Die erste Messung zeigt zunächst einmal ein sehr geringes Rauschen von 0,3 %. Interessant ist jedoch die Struktur, welches ein Oszillationsmuster zeigt. Dieses entspricht exakt den steigenden und fallenden Flanken des Taktsignals. Die zweite Messung zeigt so gut wie keine Einträge mehr. Damit können für die folgenden Messungen externe Rausch Quellen vernachlässigt werden.

Nun wurde der Testpuls eingeschaltet. Gezeigt werden hier die Daten bei DAC Werten von 60 (≈ 580 mV), 90 (≈ 860 mV) und 110 (≈ 1050 mV). Abbildung 4.17 auf Seite 69 zeigt das Ergebnis für die erste Einstellung. Es zeigen sich ähnliche Eigenschaften wie bei der Messung am NIKHEF. Das Bin 0 ist deutlich erhöht. Ebenso sinkt die Anzahl der Einträge in den Bin 0 der folgenden BX. Weiterhin ist das generelle Niveau in der zweiten Hälfte geringer als in der ersten. Zumindest in den ersten $1\frac{1}{2}$ BX ist auch das Oszillationsmuster zu erkennen. Dass diese Verteilung starkes Rauschen zeigt, erkennt man daran, dass etwa 96 % aller Trigger gültige Driftzeiten lieferten. Dies ist ein erster Hinweis darauf, dass es zu einer Einkopplung des Taktsignals auf den Testpuls kommt.

Das Bild ändert sich bei der nächsten Einstellung mit einem DAC Wert von 90 (Abbildung 4.18 auf Seite 69). Das elektronische Rauschen spielt hier keine Rolle mehr. Zwar

⁹ OBL0576 und OBL1060

4. Produktionstests

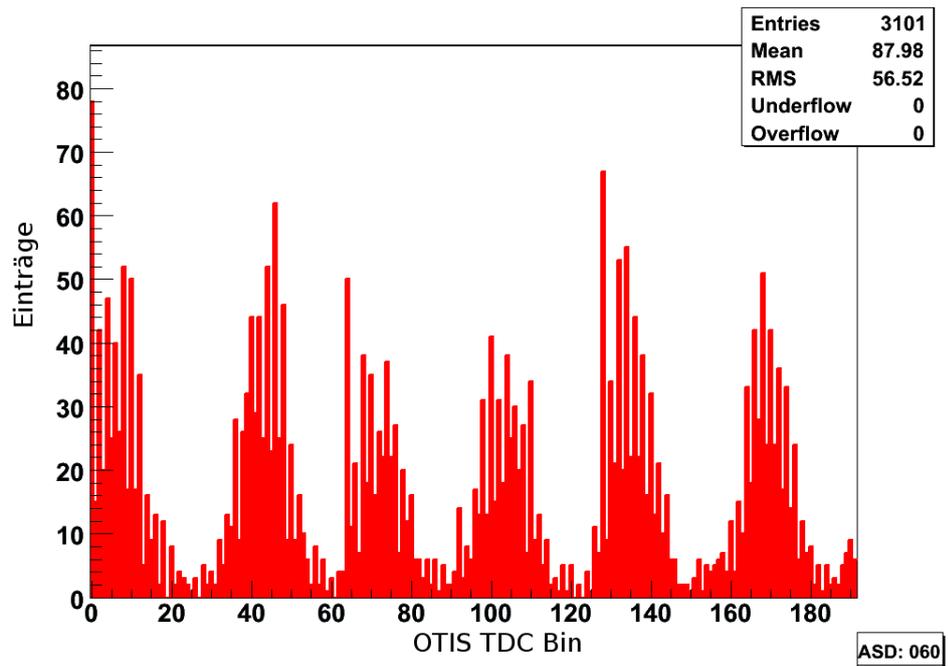


Abbildung 4.15. – Messung bei DAC Wert 60 und ausgeschalteten Test Puls. Die Struktur entspricht der steigenden und fallenden Taktflanke.

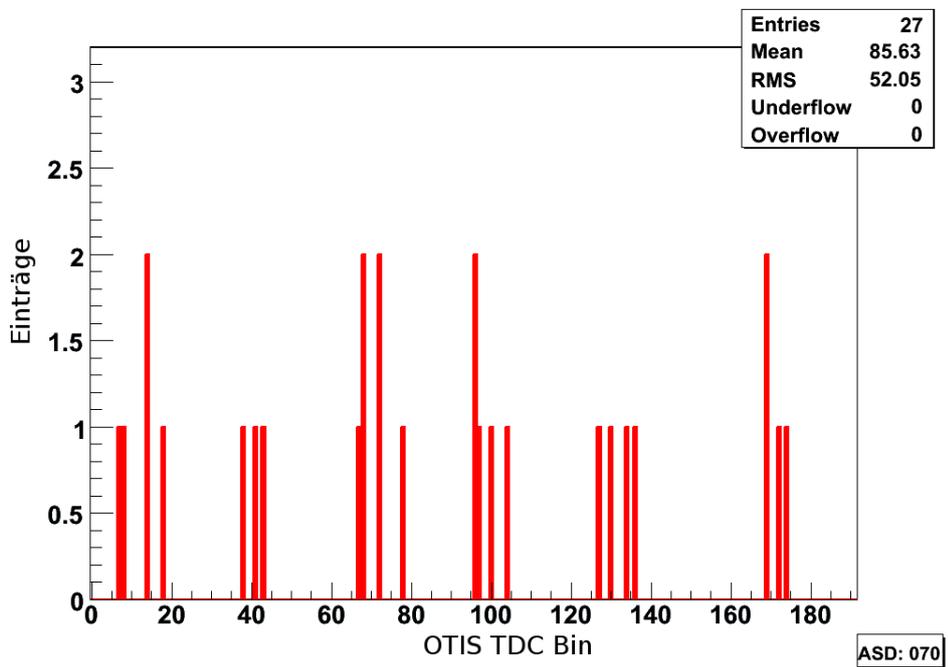


Abbildung 4.16. – Messung bei DAC Wert 70 und ausgeschalteten Test Puls. Es bleiben so gut wie keinen Einträge mehr übrig.

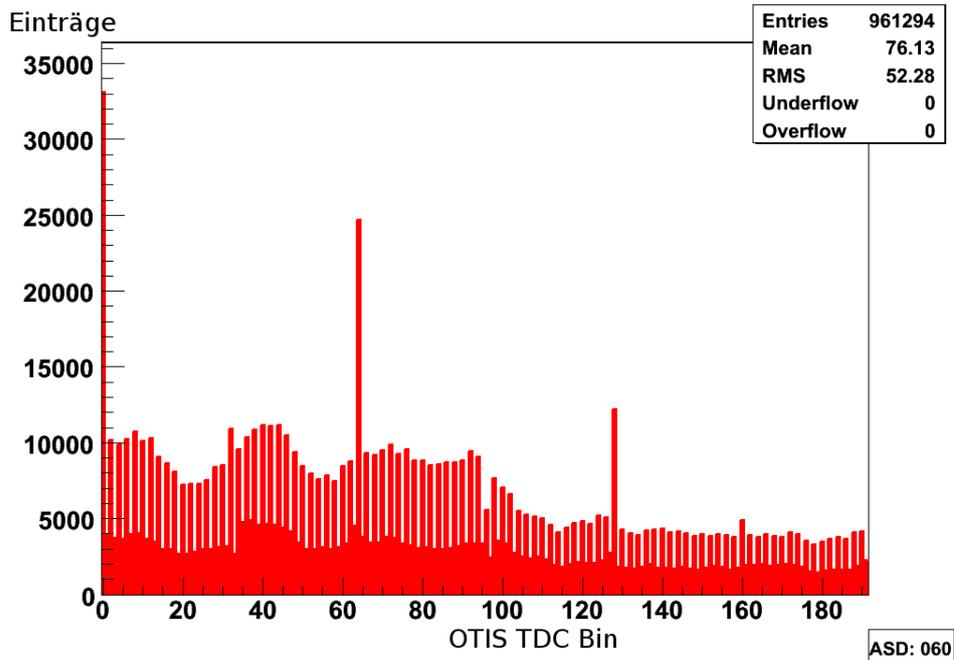


Abbildung 4.17. – Messung bei DAC Wert 60 und eingeschalteten Test Puls. Das Verhalten ist ähnlich der Messung in Abbildung 4.14. Zusätzlich ist in der ersten Hälfte wieder das Oszillationsmuster zu Erkennen.

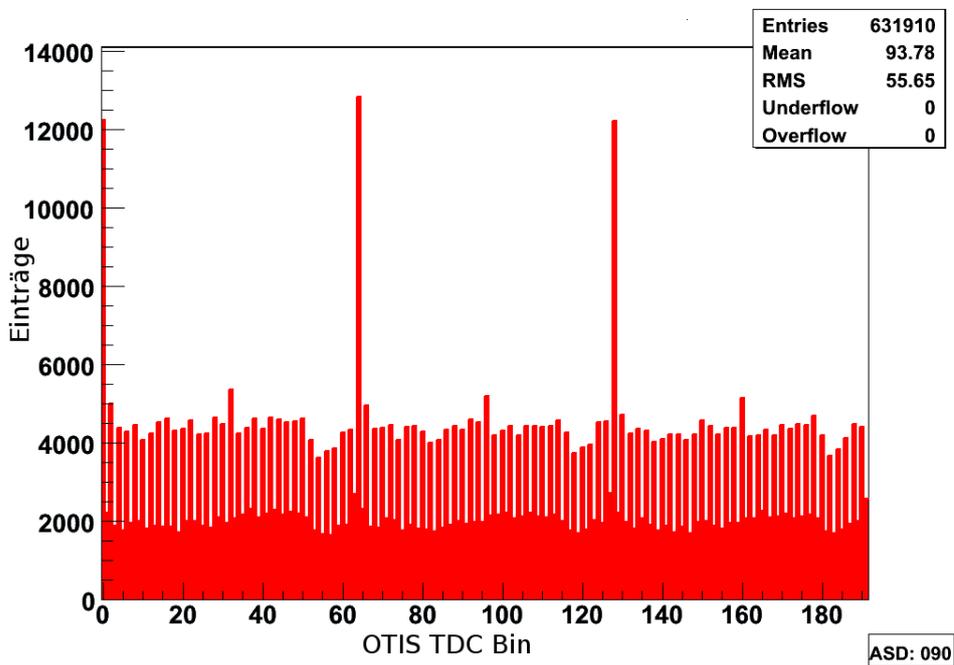


Abbildung 4.18. – Messung bei DAC Wert 90 und eingeschalteten Test Puls. Die Verteilung sieht nun abgesehen von den jeweils ersten Bins eines BX flach aus.

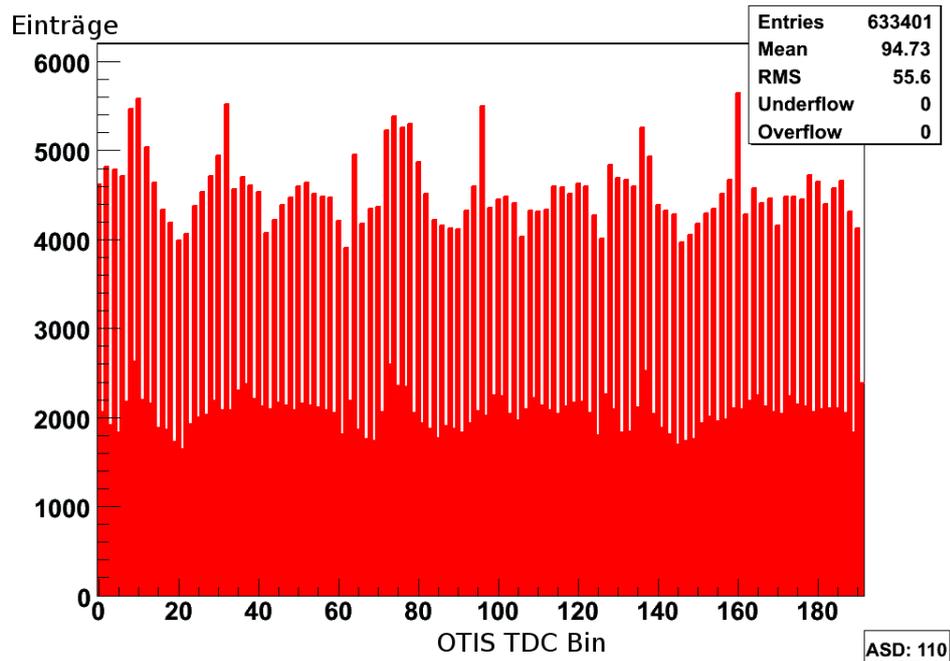


Abbildung 4.19. – Messung bei DAC Wert 110 und eingeschalteten Test Puls. Die Überhöhung des Bin 0 ist verschwunden. Man kann jedoch das Oszillationsmuster wieder erkennen.

ist das Bin 0 um etwa den Faktor drei erhöht, jedoch ist kein Abfall in den folgenden BX zu beobachten. Das generelle Niveau bleibt im gesamten Spektrum stabil und zeigt auch keine Oszillationen mehr.

Das Ergebnis der letzten Einstellung ist in Abbildung 4.19 gezeigt. Die Überhöhung des Bin 0 ist verschwunden. Dagegen ist wieder das Oszillationsmuster des 40 MHz Taktes sichtbar. Dies ist ein weiterer Hinweis auf taktsynchrones Rauschen, welches in den Test Puls eingekoppelt wird. Das etwa 63 % aller Trigger gültige Driftzeiten liefern zeigt auch, dass diese vergleichsweise hohe Schwelle noch nicht zu einem Verlust an Daten führt.

Insgesamt führen die Ergebnisse zu dem Schluss, dass die gemachten Beobachtungen beim OTIS Karten Test sich auf ein Zusammenspiel von der schlechten Abschirmung der Chips bzw. Eingangspins und einem taktsynchronen Rauschen zurückführen lassen. Die extreme Überhöhung des Bin 0 wäre dann darauf zurückzuführen, dass das Testpuls Signal mit der Einkopplung der steigenden Taktflanke von der OTIS Karte bei niedrigen Schwellenspannungen eine zusätzliche Flanke erhält und damit eine Zeitmessung auslöst. Damit sind die Beobachtungen mit großer Wahrscheinlichkeit nicht auf einen Fehler innerhalb des OTIS Chips selbst zurückzuführen, sondern auf die unzureichende Abschirmung des Testpuls Signals in dem gewählten Testaufbau.

5. Systemtests

Neben der Überprüfung der Einzelkomponenten muss auch ihr Zusammenspiel im finalen Aufbau getestet werden. Ein erster Test wurde dazu am DESY in Hamburg durchgeführt. Bei diesem Test wurden die Driftkammermodule mit der Elektronik an einem Elektronenstrahl gemeinsam betrieben. Weitere Tests fanden während der Aufbaus des Detektors in der LHCb Karverne statt und werden in Kapitel 5.3 auf Seite 82 besprochen. In diesem Testaufbau kamen nur noch Komponenten zum Einsatz, welche auch im Experiment benutzt werden.

Für den Betrieb der Hardware ist auch speziell entwickelte Software nötig. Für die slow control im Experiment ist das PVSS Softwarepaket vorgesehen. Die einzelnen Funktionen zur Überwachung der Front-end Elektronik müssen dabei von den einzelnen Subdetektoren selbst entwickelt werden. Um die Elektronik im finalen Aufbau über diese Software betreiben zu können, wurde daher zunächst ein kleinerer Testaufbau im Labor realisiert. Damit konnten die einzelnen Funktionen getestet und entwickelt werden. In diesem Testaufbau wurde auch die Frage untersucht, ob eine ständige Kommunikation über den I²C Bus zum elektronischen Rauschen signifikant beitragen kann. Diese Untersuchung wird in Kapitel 5.2 auf Seite 78 besprochen.

5.1. Teststrahl am DESY

Ein erster Test zum gemeinsamen Betrieb der Elektronik und den Driftkammermodulen fand im März 2005 am Deutsches Elektronen Synchrotron (DESY) in Hamburg statt. Die zur Verfügung stehende Strahlenergie der Elektronen lag im Bereich von 1-6 GeV. Um die auftretende Vielfachstreuung zu minimieren, wurden die meisten Daten bei einer Energie von 6 GeV genommen. Dabei kamen vier 2,5 m Driftkammermodule zum Einsatz, die jeweils mit einer FE-Box ausgestattet waren.

5.1.1. Aufbau

Der schematische Aufbau ist in Abbildung 5.1 auf der nächsten Seite gezeigt. Der Test besteht aus vier 2,5 m Modulen. Die Module wurden dabei senkrecht aufgehängt. Die Auslese für die Module 1, 3 und 4 fand dabei am oberen Ende statt. Um die Effizienz in Abhängigkeit der Signallaufzeit auf dem Draht zu bestimmen, wurde Modul 2 so aufgebaut, dass sich die Auslese am unteren Ende befand. Der gesamte Aufbau war auf einer beweglichen Plattform installiert. Vor und hinter den Modulen wurden Szintillatoren aufgebaut (S1 bis S5). Zusätzlich befindet sich ein Siliziumdetektor vor den Modulen,

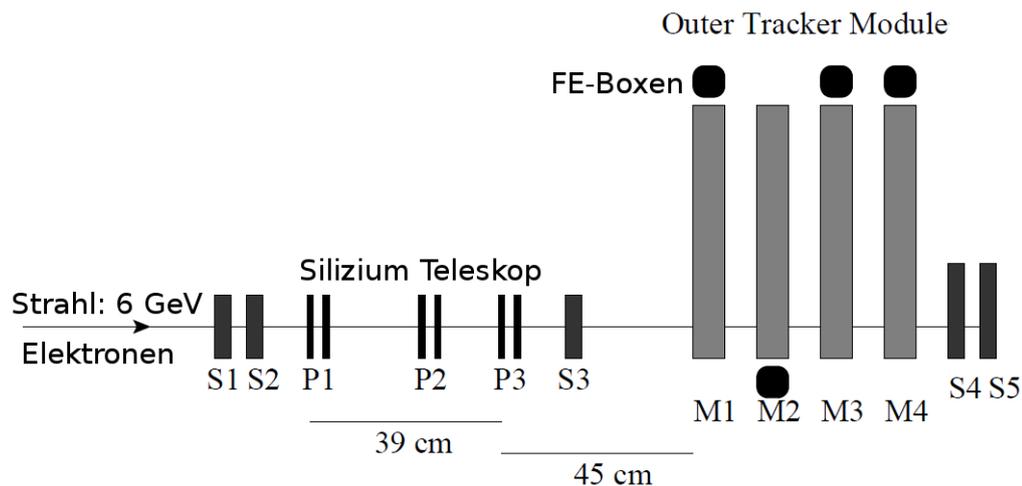


Abbildung 5.1. – Schematischer Aufbau des Testsetups.

welches zur Spurvorhersage benutzt wurde. Für die Messungen im Rahmen dieser Arbeit spielten nur die Szintillatoren S4 und S5 eine Rolle, welche die Zeitreferenz bildeten (s.u.).

Als Gasmischung in diesem Test kam die für den LHCb Betrieb vorgesehene Mischung aus Argon (70 %) und CO₂ (30 %) zum Einsatz. Das Koordinatensystem wurde so gewählt, dass sich der Strahl in y-Richtung ausbreitet. Die x-Achse zeigt senkrecht zu den Driftröhrchen, die z-Achse entlang der Driftröhrchen. Die Module wurden mit 1-4 in der Reihenfolge nummeriert, mit der der Strahl sie durchquerte. Die Monolagen eines Module werden im folgenden mit Lage A bzw. B bezeichnet, wobei die Lage A zuerst von einem Strahl durchquert wurde.

Die Breite des Elektronenstrahls betrug dabei etwa 3 cm, wodurch etwa sieben Driftröhrchen (Kanäle) beleuchtet wurden. Abbildung 5.2 auf der nächsten Seite zeigt das Strahlprofil in einem Modul. Man beachte, dass sich die Nummerierung der Kanäle in den Monolagen unterscheidet. Diese werden für die Lage A von rechts nach links durchnummeriert mit 0-63, in Lage B von links nach rechts. Abbildung 5.2 auf der nächsten Seite zeigt das Strahlprofil in den beiden Lagen eines Moduls.

5.1.2. Eingesetzte Elektronik Komponenten

Als Front-end boxen kamen Prototypen für die Serienproduktion zum Einsatz. Die eingesetzten Komponenten entsprachen dabei größtenteils dem finalen Entwicklungsstand. Im Unterschied zur endgültigen FE Elektronik kam in diesem Test der OTIS Version 1.2 zum Einsatz, da der OTIS Version 1.3 zu diesem Zeitpunkt noch nicht zur Verfügung stand.

Da die steigende Taktflanke des 40 MHz in diesem Aufbau nicht als Zeitreferenz dienen kann, wurde eine FE-Box derart modifiziert, dass auf drei Kanäle eine ASDBLR Chips ein externes Referenzsignal eingespeist werden kann. Dieses Signal wurde aus der Koinzidenz zweier Szintillatoren (S4+S5) gebildet, welche sich hinter Modul 4 be-

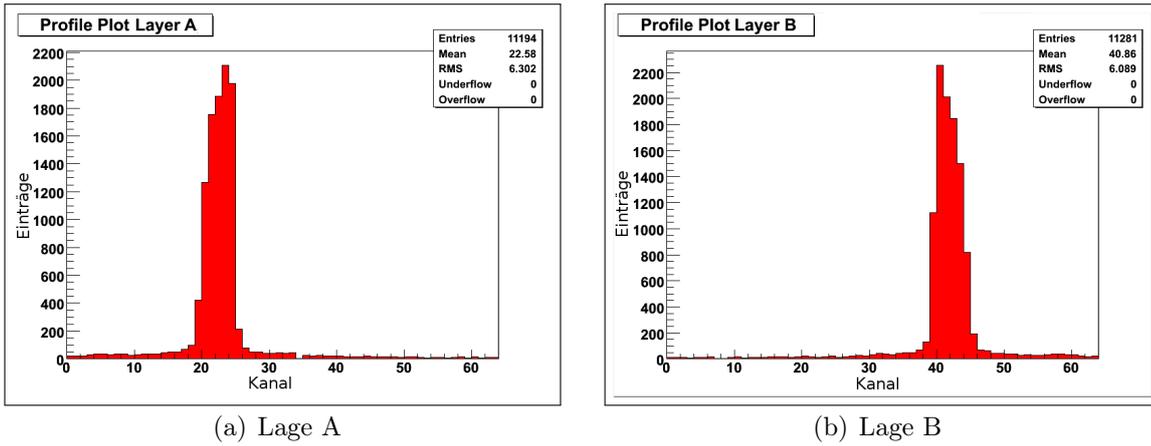


Abbildung 5.2. – Das Profil des Elektronenstrahls in den zwei Lagen eines Moduls. Dabei werden etwa sieben Kanäle beleuchtet.

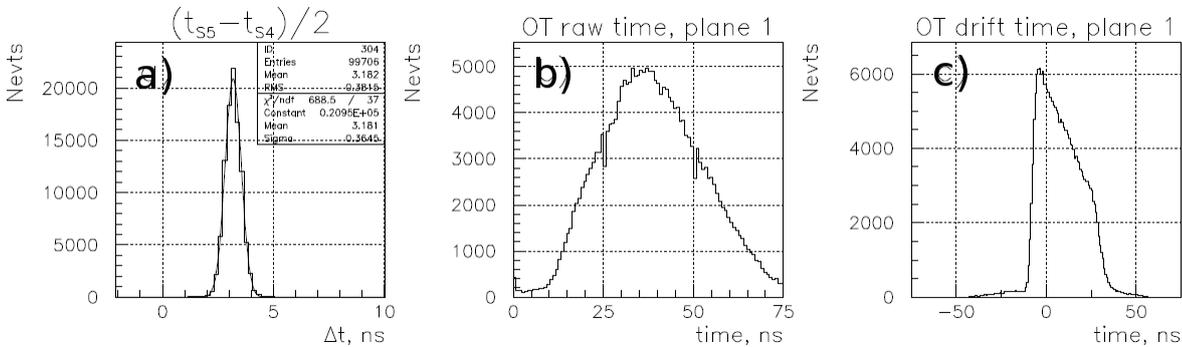


Abbildung 5.3. – Genauigkeit der Zeitreferenz durch die beiden Szintillatoren S_4 und S_5 (a). Die Verteilung der gemessenen TDC Werte am OTIS (b) und die ermittelten Driftzeiten (c) (Entnommen aus [40])

gefunden. Dazu wurde der Mittelwert der Zeitmessung der beiden Szintillatoren verwendet $t_{ref} = (t_{S_4} + t_{S_5})/2$. Die Genauigkeit dieses Signals, gemessen aus der Verteilung $t_{diff} = (t_{S_4} - t_{S_5})/2$, war dabei besser als 0,4 ns (Abbildung 5.3a). Die Verteilung der gemessenen TDC Werte des OTIS Chips ist in Abb. 5.3b) gezeigt. Diese wird sehr gut durch das 75 ns große Auslesefenster des OTIS Chips abgedeckt. Aus den TDC Werten kann mit Hilfe der Referenzzeit die Driftzeit berechnet werden. Die entsprechende Verteilung ist in Abb. 5.3c) gezeigt.

Da die Distributionbox zu diesem Zeitpunkt ebenfalls nicht zur Verfügung stand, wurde deren Funktion von einer für diesen Aufbau entwickelten Karte (IF16-0) übernommen. Auf dieser Karte war eine TTCrx Empfängerkarte für die TFC Signale. Zur Generierung der TFC wurde ein TTC System bestehend aus TTCvi, TTCvx und einer RIO CPU eingesetzt. Die I²C Signale wurden analog zum Wafer Test über eine spezielle I²C-Box generiert, welche sich über ein Labview Programm steuern lässt.

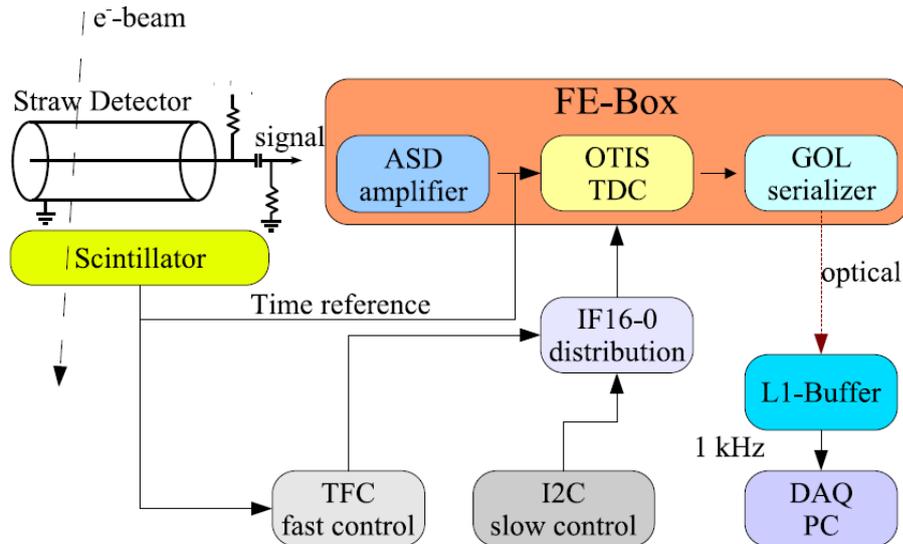


Abbildung 5.4. – Das Ausleseschema für den Teststrahl im Überblick.

Die Daten der FE-Boxen wurden über eine 30 m langen optischen Link ausgelesen und mit einer ORxCard Karte empfangen. Von dort wurden die Daten an eine FPGA Karte weitergegeben, wie sie in Kapitel 4.1 auf Seite 44 vorgestellt wurde. Eine für diesen Test angepasste Firmware speicherte die Daten zwischen, bis sie über den PCI-Bus in den Speicher des Computers ausgelesen werden konnten. Die maximal mögliche Ereignisrate betrug dabei 1 kHz.

Abbildung 5.4 gibt einen Überblick über das eingesetzte Ausleseschema.

Für die Bildung der Triggerentscheidung wurde dasselbe Signal aus der Koinzidenz der Szintillatoren S4 und S5 verwendet, wie es auch für die Zeitreferenz zum Einsatz kam. Diese Koinzidenz wurde dabei vom TTCvi-Modul auf das 40 MHz Taktsignal synchronisiert. Da der zeitliche Abstand zwischen dem Elektronensignals und der Einspeisung des Referenzsignals in den OTIS Chip etwa 120 ns betrug, war die Generierung eines zweiten Trigger nötig. Dazu wurde der Triggereingang des TFC Systems in einem NIM-Modul um 74,5 ns verzögert und in eine Oder-Schaltung mit dem Koinzidenzsignal gegeben. Der Ausgang der Oder-Schaltung wurde dabei auf den Triggereingang des TTCvi gegeben. Um die so entstehende Endlosschleife zu durchbrechen, startet das verzögerte Signal aus dem Triggereingang ein 1 μ s langes Gatesignal, welches als Veto für die Oder-Schaltung fungierte. Durch diese Schaltung wurden für jede Koinzidenz zwei Trigger erzeugt, die einen festen Abstand von 125 ns besaßen.

Abbildung 5.5 auf der nächsten Seite zeigt die Triggerschaltung im Überblick.

5.1.3. Charakterisierung der Elektronik

Für die Charakterisierung der Elektronik wurden zwei Messungen durchgeführt. Zum einen wurde das elektronische Rauschen bestimmt. Dabei treten Signale unkorreliert

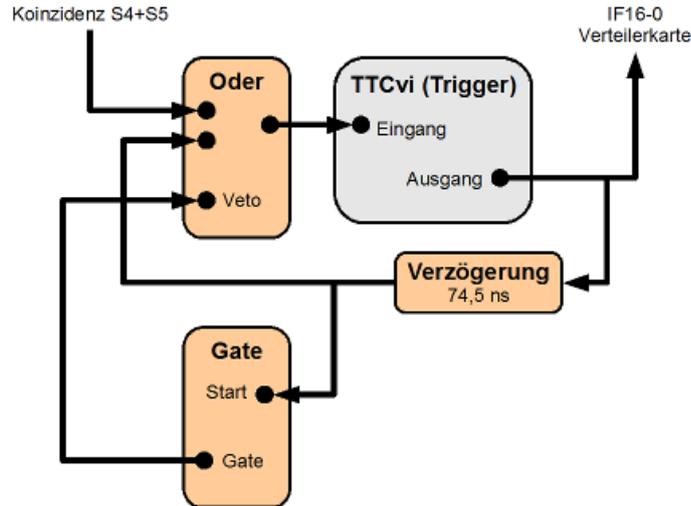


Abbildung 5.5. – Überblick über die Triggergenerierung im Test

zu einer Teilchendurchquerung durch ein Driftröhrchen auf. Eine zweite Messung betraf den sogenannten Cross-talk. Dabei lösen Signale in einem Kanal durch ein Übersprechen eine Messung in einem benachbarten Kanal aus. Dies erschwert die Spurrekonstruktion und verschlechtert damit die Auflösung. In beiden Messungen wurden dabei die Schwellenspannung sowie die Hochspannung variiert.

Im Experiment wird die typische Occupancy¹ für ein B-Ereignis bei etwa 4 % liegen. Um die Effizienz der Spurrekonstruktion nicht zu beeinflussen, sollten die durch elektronisches Rauschen ausgelösten Treffer eine zusätzliche Occupancy von kleiner als 0,1 % produzieren.

Um die Occupancy O durch das elektronische Rauschen zu messen, wurde die durchschnittliche Anzahl der Treffer (N_{hit}) pro Kanal (ch) und Ereignis (evt) bestimmt:

$$O = \frac{\sum_{evt} \sum_{ch} N_{hit}}{N_{evt} N_{ch}}$$

Um diese Messung unabhängig von einem Teilchendurchgang zu gestalten, wurden nur Daten aus dem zweiten Trigger, der die Referenzzeit der Szintillatoren S4 und S5 ausliest, verwendet. In einer ersten Messung wurde die Hochspannung konstant bei 1550 V gelassen. Die Schwellenspannungen für die ASDBLR Chips in der FE-Box an Modul 2 wurden von 400 mV bis 1400 mV in Schritten von 20 mV verändert. Für jede Einzelmessung wurde die Occupancy mit obiger Formel berechnet. Das Ergebnis ist in Abbildung 5.6 auf der nächsten Seite gezeigt.

Bei einer Schwellenspannung von 400 mV (≈ 1 fC) liegt die Occupancy bei fast 100 %. Bei dieser Schwellenspannung reicht schon ein kleines von außen eingekoppeltes Signal, um die Diskriminatorschwelle zu übersteigen. Dieser Effekt wird dabei durch die 2,5 m langen Drähte noch verstärkt, welche hier als Antennen wirken. Die Occupancy nimmt

¹ Occupancy = Anzahl aktiver Kanäle in einem Ereignis

5. Systemtests

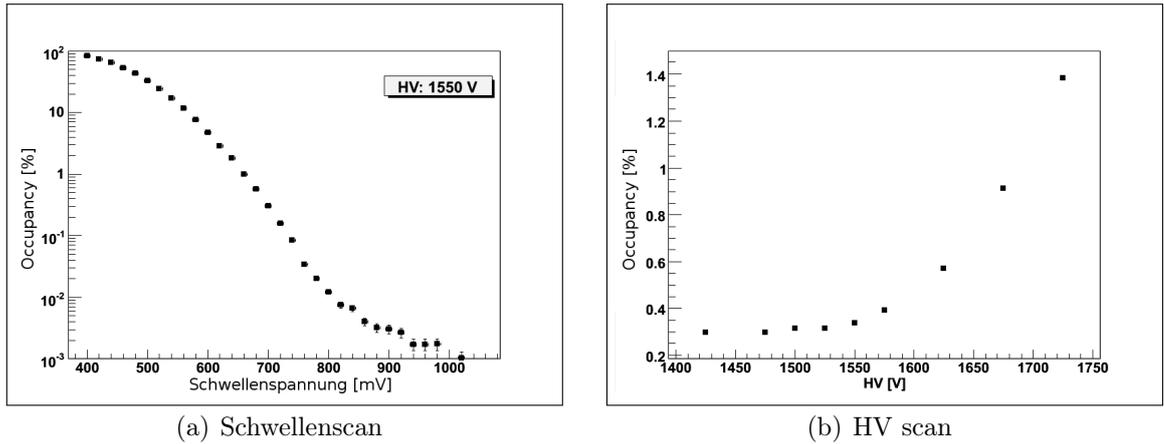
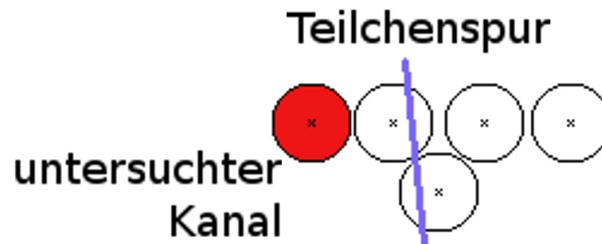


Abbildung 5.6. – Messung der Occupancy in Modul 2 hervorgerufen durch elektronisches Rauschen. In (a) wurde die Schwellenspannung der ASDBLR Chips variiert, in (b) die Hochspannung an den Modulen.

mit steigender Schwellenspannung ab und liegt bei dem vorgesehenen Arbeitspunkt von LHCb (etwa 750 mV) bei deutlich unter 1‰. Ab etwa 1000 mV war kein Rauschen mehr nachzuweisen.

In einem zweiten Durchgang wurde die Schwellenspannung konstant bei 700 mV gehalten und die Hochspannung am Modul 2 von 1425 V bis 1725 V variiert. Zunächst bildet die gemessene Occupancy ein Plateau bei etwa 0,3%. Ab einer Hochspannung von 1575 V beginnt die Occupancy anzusteigen. Der vorgesehenen Arbeitspunkt bei LHCb für die Hochspannung liegt dabei bei 1550 V. Insgesamt befindet sich die zusätzliche Occupancy, welche durch elektronisches Rauschen hervorgerufen wird, für die vorgesehenen Arbeitspunkte auf einem niedrigen Niveau von etwa 1-3 ‰.

Eine zweite Untersuchung betraf den Cross-talk in Abhängigkeit von Schwellenspannung und Hochspannung. Dabei findet ein Übersprechen des Signals von einem Kanal zu nächsten statt. Um diesen zu bestimmen, wurde die Occupancy für die Kanäle bestimmt, welche benachbart zu einem getroffenen Kanal lagen. Dazu wurde zunächst der Kanal in Lage A bestimmt, der von einem Elektron getroffen wurde. Zu diesem wurde der zugehörige Kanal in Lage B gesucht. Dessen benachbarter Kanal auf der abgewandten Seite der Teilchenspur wurde dann zur Messung herangezogen. Die nachfolgende Abbildung veranschaulicht noch einmal das Verfahren:



Das Ergebnis für die Variation der Schwellenspannung ist in Abbildung 5.7 auf der nächsten Seite. Die Variationen entsprechen dabei denen der Rauschmessung. Bei nied-

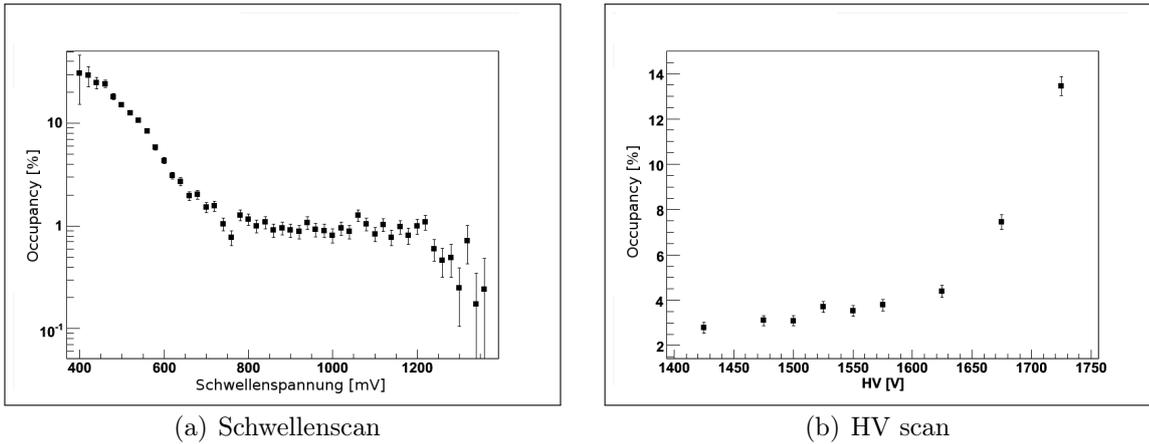


Abbildung 5.7. – Messung der Occupancy in den benachbarten Kanälen hervorgerufen durch Cross-talk. In (a) wurde die Schwellenspannung der ASDBLR Chips variiert, in (b) die Hochspannung an den Modulen.

rigen Schwellenspannung wird die Messung noch durch das elektronische Rauschen dominiert. Ab einer Schwellenspannung von 700 mV bildet sich ein Plateau heraus. Dieses liegt bei etwa 1%. Erst bei einer Schwellenspannung von etwa 1200 mV endet das Plateau und die Occupancy nimmt wieder ab.

Auch für die Messung bei verschiedenen Hochspannung bildet sich ein Plateau bei 2-4% in einem Bereich von 1400 V bis 1625 V. Für größere Werte steigt die Occupancy durch Cross-talk deutlich an. Der Anstieg kann dabei nicht allein auf elektronisches Rauschen zurückgeführt werden. Für die vorgesehenen Arbeitspunkte beträgt die Occupancy, welche durch Cross-talk verursacht wird, in den benachbarten Kanälen etwa 1-3%.

5.1.4. Charakterisierung der Driftkammern

Neben der Messungen für die Elektronik Komponenten wurde auch die Leistungsfähigkeit der Module getestet. Diese Untersuchungen fanden nicht im Rahmen dieser Arbeit statt, die erhaltenen Ergebnisse sollen aber der Vollständigkeit halber hier kurz vorgestellt werden. Eine ausführliche Beschreibung dieser Messungen findet sich in [41]. Eine Zusammenfassung aller Messungen wird in [40] präsentiert.

Eine wichtige Größe ist die Effizienz, mit der eine geladene Spur, welche ein Driftröhrchen durchquert, nachgewiesen werden kann. Diese kann durch zwei Methoden bestimmt werden. Beiden ist gemeinsam, das zunächst bestimmt wird, an welcher Stelle die Spur das Modul durchquert.

Mit der ersten Methode wird zunächst eine Lageneffizienz (ϵ_{layer}) bestimmt. Dazu wird nach Treffern in den Driftröhrchen gesucht, auf die die Spur zeigt. Die Effizienz wird gebildet, in dem über alle bestrahlten Röhrchen in einer gegebenen Ebene gemittelt wird:

$$\epsilon_{layer} = \frac{N_{hits}}{N_{track}}$$

5. Systemtests

N_{hits} ist dabei die Anzahl der Ereignisse, in denen ein Treffer in den Driftröhrchen aufgetreten ist, auf die die Spur zeigt. N_{track} ist die Anzahl der untersuchten Spuren. Um nun auf die Effizienz für ein Driftröhrchen (ϵ_{cell}) zu bestimmen, muss noch Korrekturfaktor g berücksichtigt werden. Durch die Anordnung der Driftröhrchen gibt es Bereiche in einer Monolage, in denen keine Messung durchgeführt wird. Dies liegt in dem Unterschied zwischen dem inneren Radius eines Driftröhrchens (4,9 mm) und dem Abstand der Driftröhrchen (5,25 mm). Damit ergibt sich $g = \frac{5,25}{4,9} \approx 1,071$ und die Zelleffizienz zu

$$\epsilon_{cell} = \epsilon_{layer} \cdot g$$

Eine alternative Methode ist die Bestimmung der Plateau Effizienz. Hierbei wird Effizienz durch ihren Plateau Wert im Zentrum des Driftröhrchens, innerhalb von $|r| < 2$ mm Abstand zum Draht, bestimmt. Dabei wird ausgenutzt, dass die durchschnittliche Ionisationslänge $\lambda = 325$ μm in der verwendeten Gasmischung beträgt [42]. Dadurch ist die Wahrscheinlichkeit für die Erzeugung eines Clusters am Rande eines Driftröhrchens kleiner, da die Weglänge des Teilchens im Röhrchen abnimmt. Die Zelleffizienz kann damit mit Hilfe der Poisson Statistik als Funktion des Abstandes r zu Draht abgeschätzt werden:

$$\epsilon_{cell}(r) = \epsilon_{Plateau}(1 - e^{-2\sqrt{R^2-r^2}})$$

Dabei ist R der Radius des Driftröhrchens (2,45 mm).

Die erhaltenen Ergebnisse für die Bestimmung über die Lageneffizienz ist in Abbildung 5.8 auf der nächsten Seite gezeigt, für die Plateau Messung in Abbildung 5.9. Die Effizienz liegt dabei in beiden Methoden bei ca. 99 %.

Als weitere Größe wurde die Spurauflösung zu besser als 200 μm bestimmt. Diese wurde in drei unabhängigen Analysen bestimmt, welche in [40] zusammengefasst sind.

5.2. Untersuchung des I²C Rauschens

Während der Entwicklung der Slow control Software kam die Frage auf, ob der Datenaustausch über den I²C-Bus zu einem zusätzlichen digitalen Rauschen der OTIS Kanäle führt. Dies wäre insbesondere ein Problem, wenn einzelne Register über ein „Polling“, d.h. über eine ständige Abfrage des Zustands, überwacht werden müssten. Es sind zwei Möglichkeiten denkbar, wie dieses Rauschen eingekoppelt werden könnte:

- Das I²C Signal wird direkt von den elektronischen Komponenten und Leiterbahnen innerhalb der FE-Box auf die Eingänge eingekoppelt.
- Das Signal wird von den SCSI Kabeln in die Eingangspins der FE-Box übertragen.

Um diese Frage zu klären, wurde ein Test aufgebaut. Dieser diente gleichzeitig als Vorbereitung für die Messung in der LHCb Kaverne, weshalb der Aufbau möglichst nahe am Experiment realisiert wurde. Insgesamt kamen dabei sechs FE-Boxen zum Einsatz, wovon vier aus der Serienfertigung stammten. Zwei Boxen wurden nur für diesen Test zusammengesetzt und dienen nur als zusätzliche Last für das slow control System. Diese

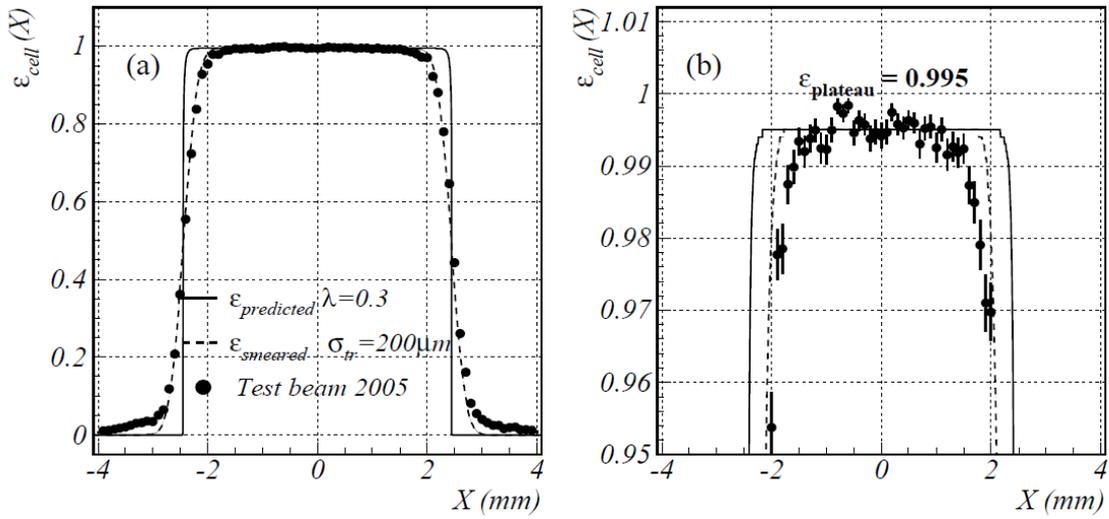


Abbildung 5.8. – Die Zelleffizienz, bestimmt über die Lageneffizienz

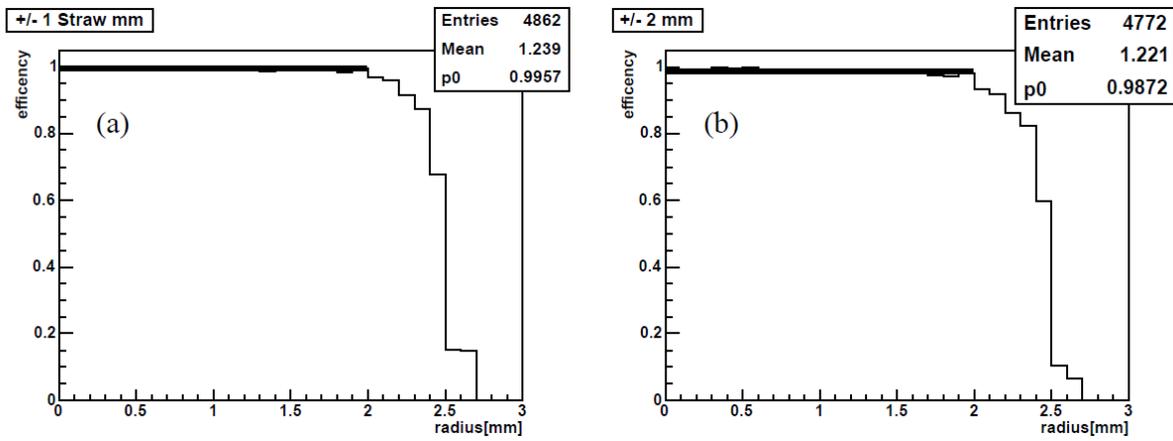


Abbildung 5.9. – Die Zelleffizienz, bestimmt über die Plateau Effizienz

5. Systemtests

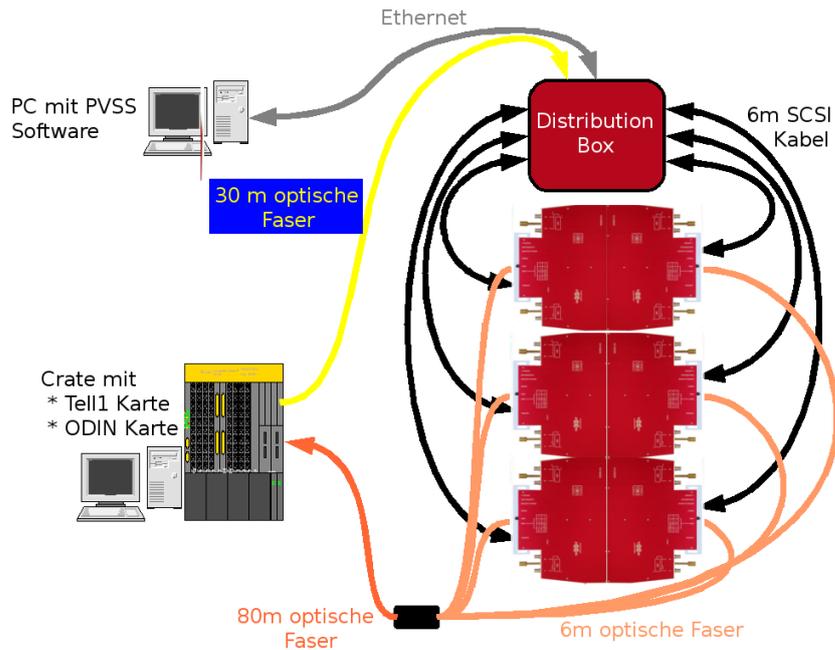


Abbildung 5.10. – Schematischer Ansicht des Testbaus in Dortmund

erfolgte erstmals über die Distributionbox, welche mittels der PVSS Software gesteuert wurde. Die Versorgung mit den TFC Signalen erfolgte über eine ODIN Karte. Die Daten wurden über eine Tell1 Karte auf einen Computer übertragen. Abbildung 5.10 zeigt den schematischen Aufbau.

Die Schwellenspannung für die Diskriminator Logik im ASDBLR wurde während des Test zwischen 500 mV und 900 mV in Schritten von 50 mV variiert. Für jeden Messpunkt wurden 10.000 zufällige Trigger mit einer Rate von 114 Hz gesendet. Anschließend wurde die Zahl der gültige Driftzeitmessungen für jeden OTIS summiert. Um die Kanalbelegung aufgrund des elektronischen Rauschen zu bestimmen, wurde die Zahl durch 320.000, welches die maximal mögliche Trefferanzahl ist, dividiert.

Im ersten Durchgang wurden dabei keinerlei I²C Zugriffe getätigt. Im zweiten Durchgang wurde dagegen der I²C-Bus maximal belastet. Durch einen Patch in der PVSS Software konnte eine Datenübertragungsrate von ca. 128 kbit/s auf dem I²C-Bus erzielt werden. Die Ergebnisse sind für die vier FE-Boxen aus der Serienfertigung in Abbildung 5.11 auf der nächsten Seite gezeigt.

Dabei kann man einen Einfluß der I²C Zugriffe ausmachen. So ist das Rauschlevel bei allen vier FE-Boxen um etwa den Faktor drei erhöht. Jedoch ist dieses Level insgesamt sehr niedrig. So liegen alle Werte des digitalen Rauschens bei einer Schwellenspannung von 650 mV unter 0,1 ‰. Im Experiment selber wird die Schwellenspannung um die 750 mV liegen. Damit ist das Rauschen durch die I²C Zugriffe zu vernachlässigen.²

² Inzwischen wurde die Slow control Software umgeschrieben, so dass kein Polling mehr nötig ist.

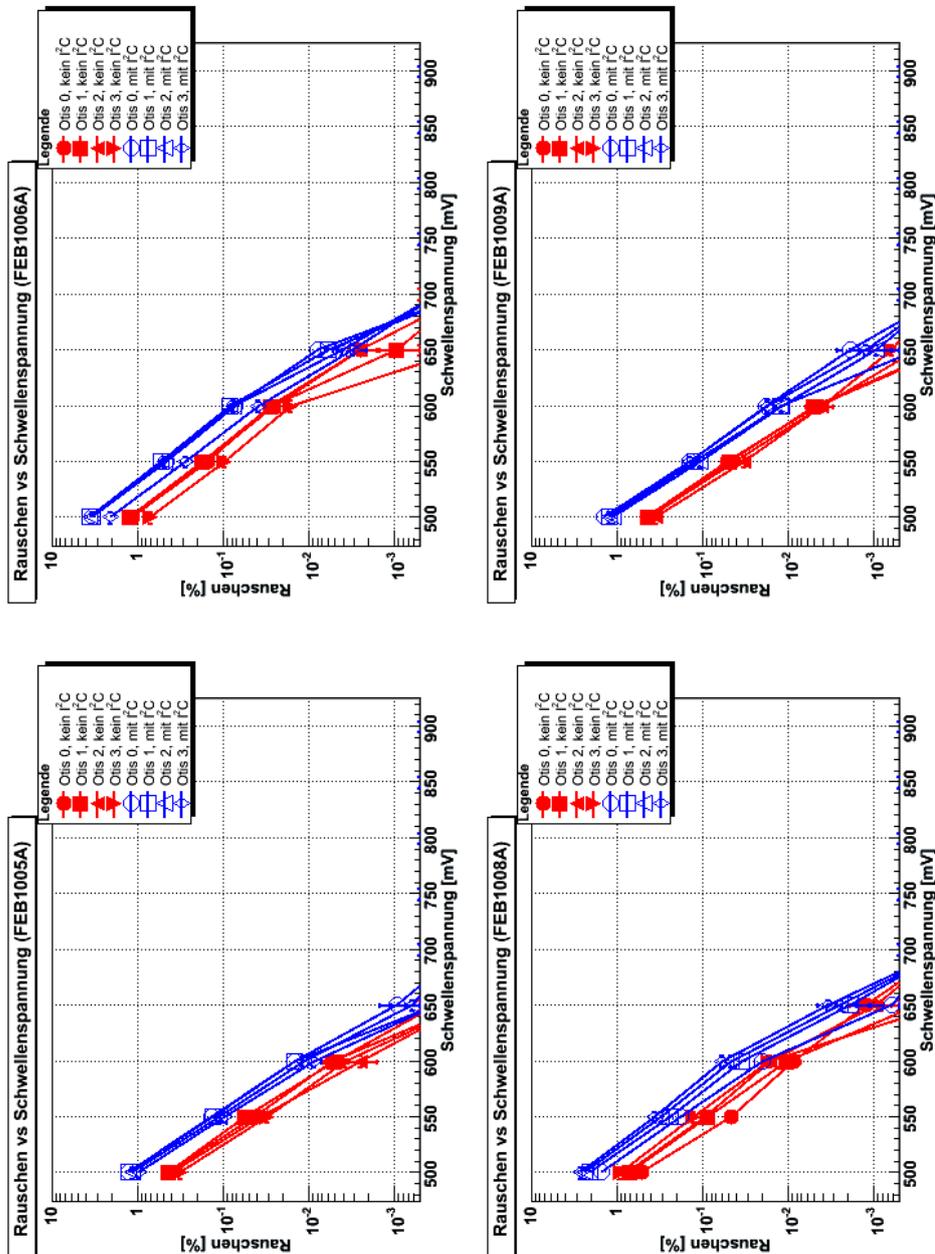


Abbildung 5.11. – Aufgetragen sind die Rauschlevel der FE-Boxen. In blau sind die Kurven mit ständigen I^2C Zugriffen, die roten Kurven zeigen die Messungen ohne I^2C Zugriffe. Zwar sind die blauen Kurven um etwa den Faktor drei erhöht, jedoch ist bei allen FE-Boxen ab 700 mV Schwellenspannung das Rauschlevel unterhalb der Nachweis Grenze.

5.3. Inbetriebnahme und Tests in der LHCb Kaverne

Der letzte Systemtest, der im Rahmen dieser Arbeit stattfand, wurde in der Kaverne des LHCb Experiments durchgeführt. Bis auf das Auslesesystem waren alle Elektronikkomponenten auf einem C-Rahmen des OT installiert. In den einzelnen Tests konnten bis zu 18 FE-Boxen gleichzeitig betrieben werden. Die Auslese wurde mit Hilfe des Commissioning Rack (CRack) realisiert, welches im folgenden vorgestellt werden soll.

5.3.1. Das CRack

Das CRack bildet das LHCb Online System (siehe Kapitel 2.4 auf Seite 24) im kleinen Maßstab nach. Es verfügt über alle Komponenten, wie sie auch im Experiment eingesetzt werden. Es wurde von der LHCb Online Gruppe zusammengestellt und zur Verfügung gestellt. Das TFC System besteht aus einer ODIN Karte, welches für die Generierung der Trigger und Reset Signale verantwortlich ist. Diese werden dann über eine optische Verteilerkarte an bis zu zwölf Abnehmer weitergeleitet.

Die optischen Daten der FE-Boxen werden von der Tell1 Karte entgegengenommen. Eine Karte kann dabei bis zu 18 Boxen bedienen. Die Daten werden zusammengepackt und weiter an die Farm PCs geleitet. Von diesen stehen insgesamt vier Stück zur Verfügung. Dort lief ein Programm, welches alle ankommenden Daten als Textdatei abspeicherte.

Gesteuert werden konnten alle Komponenten über die zwei Slow control PCs, wobei einer mit Windows und einer mit dem Linux Betriebssystem ausgestattet war. Auf beiden lief die PVSS Software. Damit wurden sowohl das TFC System und die Tell1 Karte innerhalb des CRack gesteuert und überwacht wie auch die FE-Boxen am den Detektormodulen. Der mit Hilfe des CRack realisierte Aufbau ist in

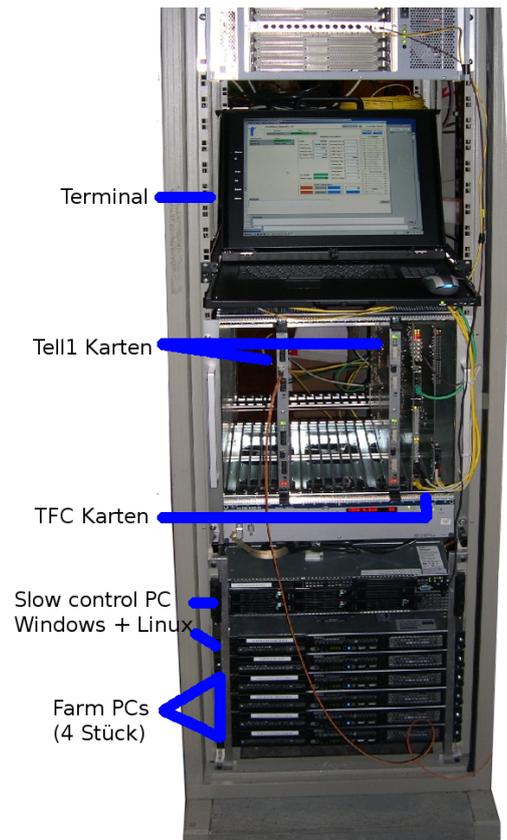


Abbildung 5.12. – Das CRack

Abbildung 5.13 auf der nächsten Seite gezeigt.

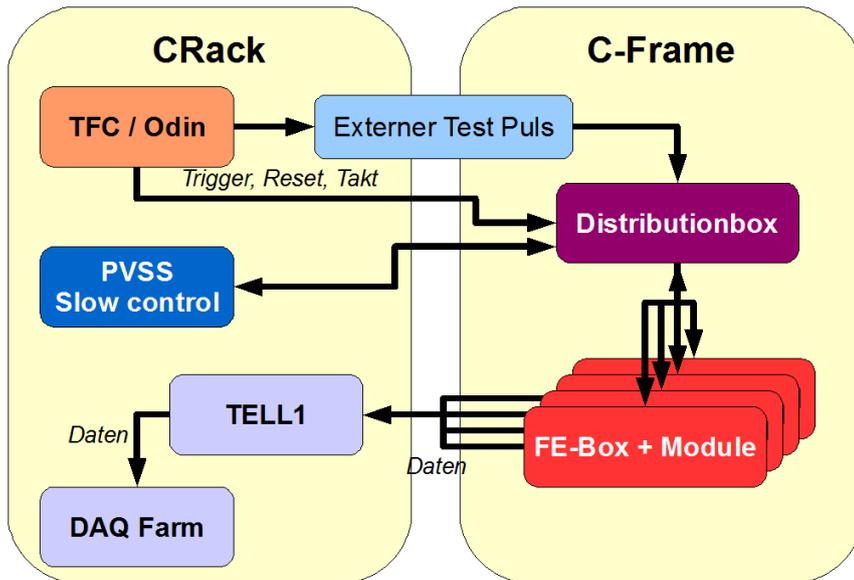


Abbildung 5.13. – Der schematische Aufbau für die Messungen in der LHCb Kaverne

5.3.2. Übertragungsqualität

Zunächst wurde die Qualität der optischen Datenübertragung getestet. Dazu wurden neun FE-Boxen verwendet, von denen acht an ein Driftkammermodul angeschlossen wurden. Der genaue Aufbau ist in folgenden Tabelle angegeben:

FE-Box	Driftkammermodul	OTIS-IDs
FEB0001A	ja	504-507
FEB0002A	ja	508-50b
FEB0003A	ja	50c-50f
FEB0004A	ja	510-513
FEB0005A	ja	514-517
FEB0006A	ja	518-51b
FEB0009A	ja	51c-51f
FEB0008A	ja	520-523
FEB0007A	nein	524-527

Die GOL-Chips wurden in den Selbsttestmodus versetzt und verschiedene optische Dämpfer in die optische Übertragungstrecke eingebaut. In der Tell1 Karte wurden dann die Taktzyklen gezählt, in denen eine erfolgreiche Übertragung stattgefunden hat, sowie die fehlerhaften Zyklen. Traten mehr als 2^{24} Fehler auf, so wurde der Test für diesen Link automatisch von der Tell1 Firmware gestoppt, da ansonsten der zugehörige Zähler überlaufen würde. Die folgenden Tabellen zeigen die erhaltenen Ergebnisse:

5. Systemtests

FE-Box	-15 dB			-15 dB, Faser gereinigt		
	Fehler	Zyklen	WER	Fehler	Zyklen	WER
FEB0001A	$> 2^{24}$	$1,89 \cdot 10^8$	$> 8,89 \cdot 10^{-2}$	$> 2^{24}$	$1,89 \cdot 10^8$	$> 8,89 \cdot 10^{-2}$
FEB0002A	0	$1,14 \cdot 10^{11}$	$< 8,71 \cdot 10^{-12}$	0	$4,95 \cdot 10^{10}$	$< 2,02 \cdot 10^{-11}$
FEB0003A	$> 2^{24}$	$1,89 \cdot 10^8$	$> 8,89 \cdot 10^{-2}$	$> 2^{24}$	$1,89 \cdot 10^8$	$> 8,89 \cdot 10^{-2}$
FEB0004A	$> 2^{24}$	$1,89 \cdot 10^8$	$> 8,89 \cdot 10^{-2}$	2	$4,95 \cdot 10^{10}$	$4,04 \cdot 10^{-11}$
FEB0005A	$> 2^{24}$	$1,89 \cdot 10^8$	$> 8,89 \cdot 10^{-2}$	187	$4,95 \cdot 10^{10}$	$3,77 \cdot 10^{-9}$
FEB0006A	0	$1,14 \cdot 10^{11}$	$< 8,71 \cdot 10^{-12}$	1	$4,95 \cdot 10^{10}$	$2,02 \cdot 10^{-11}$
FEB0009A	0	$1,14 \cdot 10^{11}$	$< 8,71 \cdot 10^{-12}$	0	$4,95 \cdot 10^{10}$	$< 2,02 \cdot 10^{-11}$
FEB0008A	0	$1,14 \cdot 10^{11}$	$< 8,71 \cdot 10^{-12}$	0	$4,95 \cdot 10^{10}$	$< 2,02 \cdot 10^{-11}$
FEB0007A	$> 2^{24}$	$1,89 \cdot 10^8$	$> 8,89 \cdot 10^{-2}$	$> 2^{24}$	$1,89 \cdot 10^8$	$> 8,89 \cdot 10^{-2}$

FE-Box	-12 dB			-9 dB		
	Fehler	Zyklen	WER	Fehler	Zyklen	WER
FEB0001A	0	$4,32 \cdot 10^{12}$	$< 2,31 \cdot 10^{-13}$	0	$7,53 \cdot 10^{11}$	$< 1,33 \cdot 10^{-12}$
FEB0002A	$> 2^{24}$	$2,14 \cdot 10^8$	$> 7,82 \cdot 10^{-2}$	0	$7,53 \cdot 10^{11}$	$< 1,33 \cdot 10^{-12}$
FEB0003A	0	$4,32 \cdot 10^{12}$	$< 2,31 \cdot 10^{-13}$	0	$7,53 \cdot 10^{11}$	$< 1,33 \cdot 10^{-12}$
FEB0004A	0	$4,32 \cdot 10^{12}$	$< 2,31 \cdot 10^{-13}$	0	$7,53 \cdot 10^{11}$	$< 1,33 \cdot 10^{-12}$
FEB0005A	0	$4,32 \cdot 10^{12}$	$< 2,31 \cdot 10^{-13}$	0	$7,53 \cdot 10^{11}$	$< 1,33 \cdot 10^{-12}$
FEB0006A	0	$4,32 \cdot 10^{12}$	$< 2,31 \cdot 10^{-13}$	0	$7,53 \cdot 10^{11}$	$< 1,33 \cdot 10^{-12}$
FEB0009A	0	$4,32 \cdot 10^{12}$	$< 2,31 \cdot 10^{-13}$	0	$7,53 \cdot 10^{11}$	$< 1,33 \cdot 10^{-12}$
FEB0008A	0	$4,32 \cdot 10^{12}$	$< 2,31 \cdot 10^{-13}$	0	$7,53 \cdot 10^{11}$	$< 1,33 \cdot 10^{-12}$
FEB0007A	0	$4,32 \cdot 10^{12}$	$< 2,31 \cdot 10^{-13}$	0	$7,53 \cdot 10^{11}$	$< 1,33 \cdot 10^{-12}$

Aus der Anzahl der Fehler kann die bit error rate (BER) berechnet werden. Da in diesem Test jedoch 16 Bit Worte übertragen werden, bestimmt man zunächst die word error rate (WER). Daraus kann dann die BER abgeschätzt werden [43] mittels:

$$BER \cong \frac{WER}{20} = \frac{\#(\text{fehlerhafte 16 Bit Worte})}{20 \times \#(\text{gesendete 16 Bit Worte})}$$

Die ermittelten Ergebnisse mit einem BER Wert von $< 6,64 \cdot 10^{-14}$ bei -9 dB Abschwächung liegen weit unter dem vorgegebenen Limit bei LHCb. Dieses liegt bei weniger als zehn Fehler in 10^{12} Bit bei einer zusätzlichen optischen Abschwächung von -6 dB. Selbst bei einer Abschwächung von -15 dB konnte über die Mehrzahl der optischen Links nach einer Reinigung der Fasern die Daten erfolgreich übertragen werden. Mit den hier entwickelten Programmen wird die Datenübertragung auch während des Experiments immer wieder überprüft.

5.3.3. Rauschmessung

Die Messung des Rauschniveaus erfolgt analog zum in Kapitel 5.2 auf Seite 78 beschriebenen Verfahren. Es wurden jeweils 10.000 Trigger pro Einstellung der Schwellenspannung

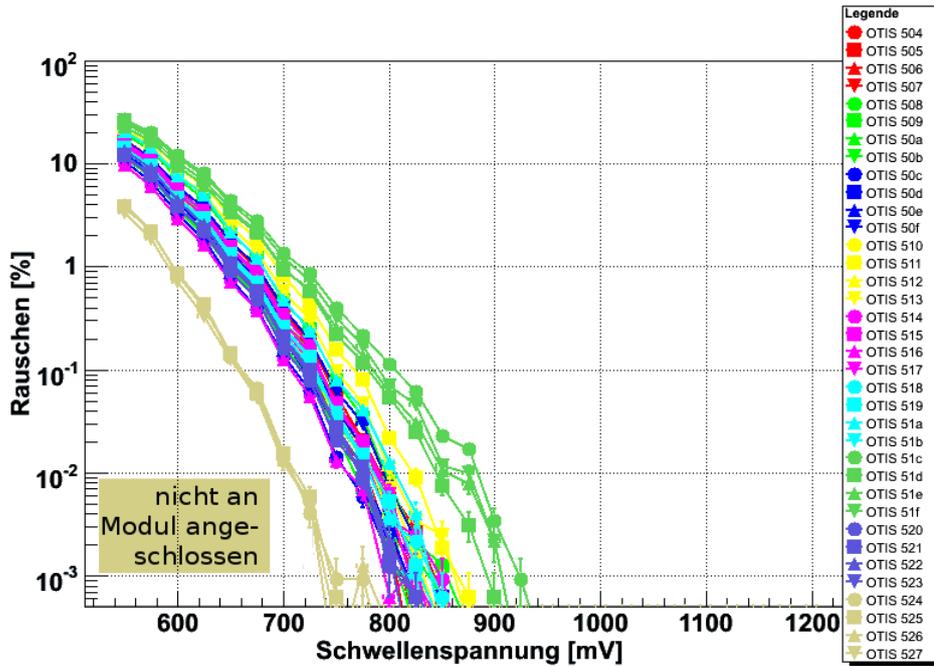


Abbildung 5.14. – Rauschmessung in der LHCb Kaverne. Deutlich ist der Einfluss der Driftkammern zu erkennen. Durch die 2,5 m langen Drähte steigt das Rauschniveau um den Faktor 10 gegenüber den OTIS-Chips, welche nicht angeschlossen sind (IDs 524-527).

gesendet. Diese wurde in 25 mV Schritten von 550 mV bis 1200 mV variiert. Alle Messungen einer gültigen Driftzeit wurden pro OTIS summiert und anschließend durch die Zahl der möglichen Treffer dividiert. Der Aufbau war dabei der gleiche wie im vorherigen Kapitel 5.3.2, d.h. es wurden insgesamt neun FE-Boxen verwendet. Eine war dabei nicht mit einem Modul verbunden.

Abbildung 5.14 zeigt das Ergebnis dieser Messung. Deutlich ist der Einfluss der Driftkammern zu erkennen. Durch die 2,5 m langen Drähte steigt das Rauschniveau um den Faktor 10 gegenüber den vier OTIS-Chips, welche nicht angeschlossen sind. Insgesamt bewegt sich das Rauschniveau unter 1% bei der vorgesehenen Schwellenspannung von ca. 750 mV und ist damit akzeptabel.

5.3.4. Testpuls Sensitivität

Während der Produktion wurden die ASDBLR Chips unter anderem danach ausgewählt, ob sie alle Kanäle möglichst uniform behandeln. Die maximale Abweichung der Sensitivität in allen Kanälen durfte dabei nicht 60 mV bei einer Eingangsladung von 5 fC überschreiten [44]. Diese lässt sich auch im fertigen Experiment messen. Dazu wird die Schwellenspannung variiert. Als Eingangssignal wird an alle FE-Boxen ein Testpuls gesendet. Für jeden Wert der Schwellenspannung wurden dann 10.000 Trigger aufgenommen. Für jeden Kanal wird ermittelt, wie viele gültige Driftzeiten gemessen wurden.

Als Ergebnis erwartet man eine Stufenfunktion. Sobald die Schwellenspannung über

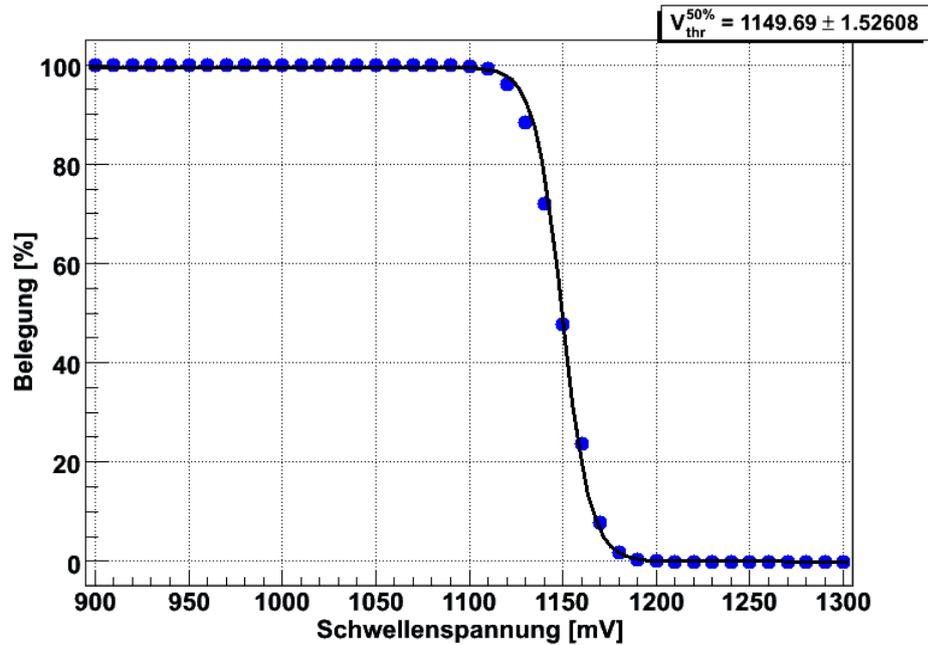


Abbildung 5.15. – Ergebnis des Schwellenscans für einen Kanal. Eine wichtige Größe ist dabei der Punkt, an dem nur noch 50 % gültige Driftzeiten gemessen werden. Dieser ist ein Maß für die Sensitivität des Kanals

der Stärke des Signals liegt, sollten keine gültigen Driftzeiten mehr gemessen werden. Das Signal selbst wird aber durch elektrisches Rauschen beeinflusst. Dadurch wird die Kante aufgeweicht. Dieses Verhalten kann empirisch durch die Fermi-Dirac Verteilung beschrieben werden:

$$\text{Belegung [\%]} = \frac{1}{e^{\frac{x - V_{thr}^{50\%}}{c}} + 1} \quad (5.1)$$

$V_{thr}^{50\%}$ entspricht dabei der Schwellenspannung, bei der nur noch in 50 % der Fälle eine gültige Driftzeit ermittelt wird. Dieser gibt somit die Sensitivität an. Abbildung 5.15 zeigt das Ergebnis einer derartigen Messung für einen Kanal.

Für einen ASDBLR-Chip kann man nun die maximale Differenz der einzelnen $V_{thr}^{50\%}$ Werte bestimmen. Abbildung 5.16 auf der nächsten Seite zeigt die Ergebnisse für die Testpulse auf ungeraden Kanälen. Der niedrige Testpuls entspricht dabei in etwa der Ladung, die auch Grundlage bei der Selektion war. Obwohl diese Spezifikation für die Messung unter Laborbedingungen gilt, wird sie von den meisten Chips auch im Experiment noch eingehalten.

Abbildung 5.17 auf der nächsten Seite zeigt schließlich die absoluten Werte für $V_{thr}^{50\%}$ bei den unterschiedlichen Testpulsen. Als Mittelwert ergeben dabei folgende Werte:

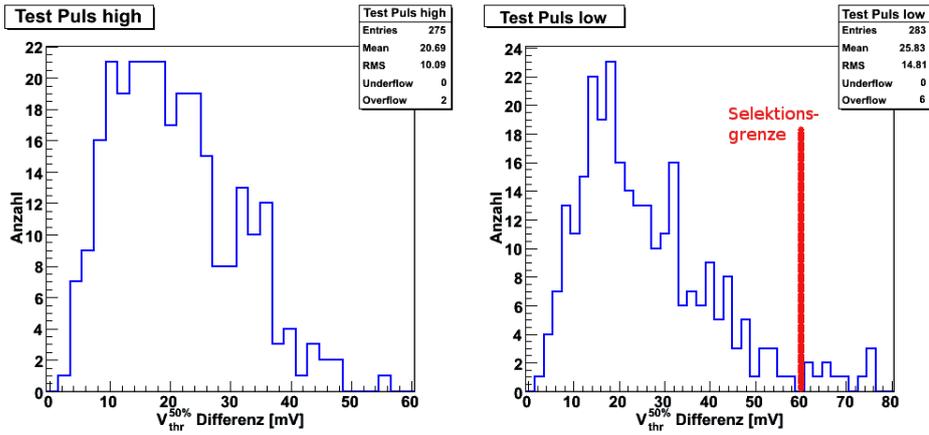


Abbildung 5.16. – Maximale Differenz der einzelnen $V_{thr}^{50\%}$ Werte. Obwohl diese Spezifikation für die Messung unter Laborbedingungen gilt, wird sie von den meisten Chips auch im Experiment noch eingehalten.

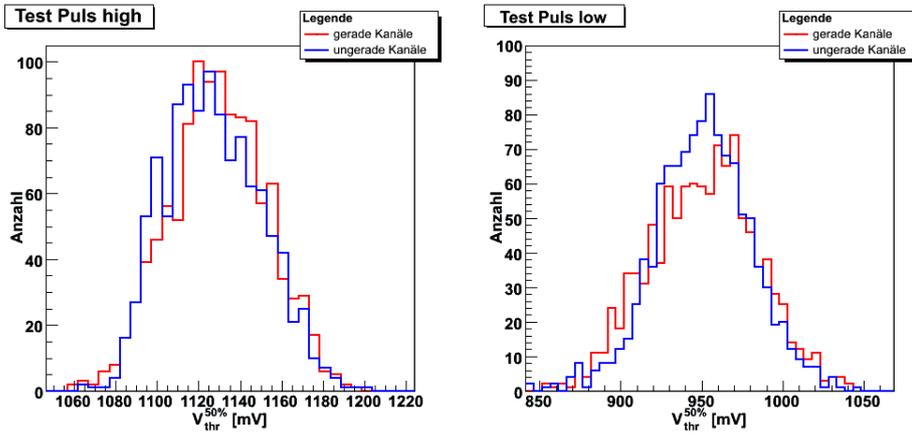


Abbildung 5.17. – Verteilung der absoluten Werte für $V_{thr}^{50\%}$ bei den jeweiligen Testpulsen.

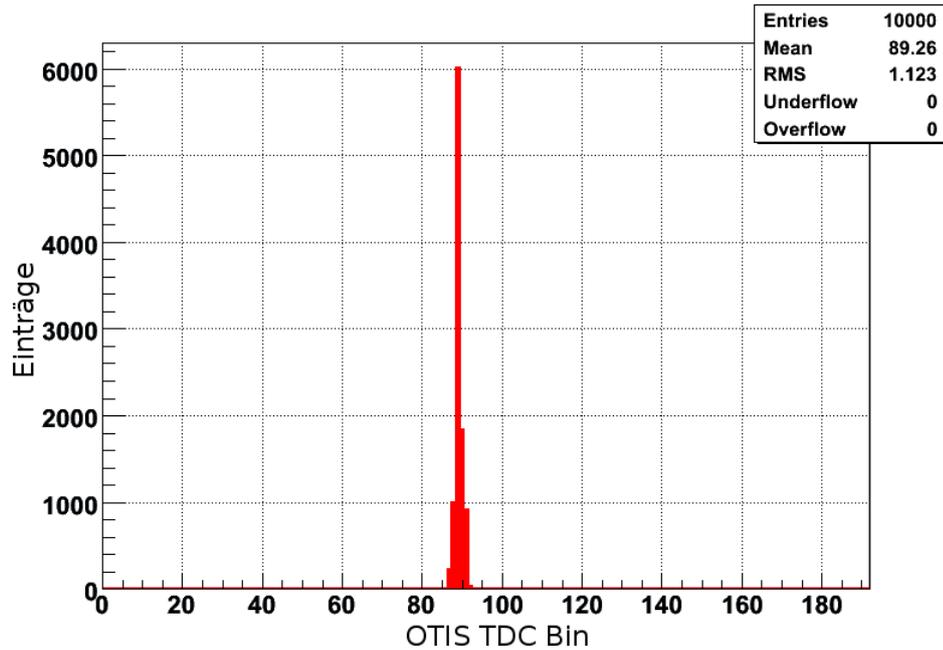


Abbildung 5.18. – Ergebnis einer Einzelmessung für einen OTIS Kanal. Bestimmt werden Mittelwert und RMS.

	Test Puls low	Test Puls high
gerade Kanäle	$951,7 \pm 33,0$	$1129,4 \pm 23,3$
ungerade Kanäle	$951,7 \pm 27,6$	$1128,5 \pm 21,7$
entspricht Ladung	6,6 fC	11,9 fC

Die Sensitivität der Testpulse für gerade und ungerade Kanäle stimmt dabei sehr gut überein. Eine einheitlichere Verteilung im Experiment kann durch individuelle Setzen der Schwellenspannung für jeden Chip erreicht werden.

5.3.5. Zeitstabilität der Testpulse

Um die Zeitstabilität des Testpulses zu überprüfen wurde eine Datennahme über einen längeren Zeitraum durchgeführt. Ziel war es dabei, ein Driften des Taktsignals oder ähnlicher Effekte festzustellen. Dazu wurde ein Test Puls als externes Signal in die Distributionbox eingespeist. Dieses Signal innerhalb der Distributionbox nicht mit dem LHCb Takt synchronisiert und besitzt damit eine unabhängiges Zeitverhalten zu den sonstigen TFC Kommandos. Mit diesem Test wurde auch überprüft, inwiefern die Testfunktionen selbstständig vom Online System durchgeführt werden können, ohne dass ein Eingriff von außen notwendig ist.

Als Quelle für den Testpuls wurde das „Orbit“ Signal der ODIN Karte benutzt. Dieses Signal wird stets zu einem festen Zeitpunkt generiert. Etwa alle 10 Minuten wurden eine Messung mit 10.000 Trigger durchgeführt. Da der Testpuls high auf den ungeraden Kanälen die größte Sensitivität besitzt, wurde dieser für die Messung benutzt. Für jede

Einzelmessung wurde nun der Mittelwert und die Standardabweichung für alle Kanäle bestimmt. Abbildung 5.18 auf der vorherigen Seite zeigt die gemessene Verteilung exemplarisch für einen Kanal.

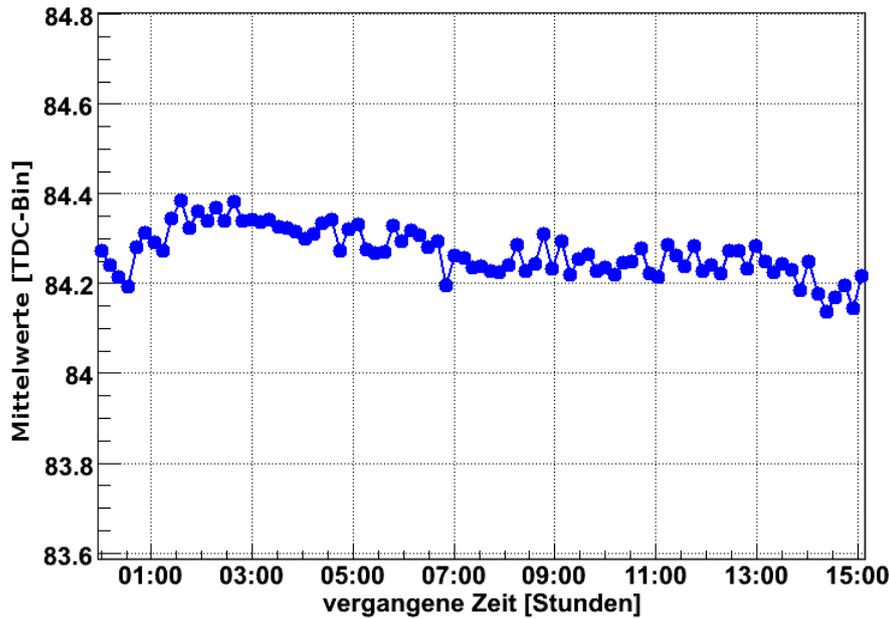


Abbildung 5.19. – Zeitlicher Verlauf der Mittelwerte aus den Einzelmessungen für einen OTIS Kanal.

Für jeden (ungeraden) OTIS Kanal werden nun die ermittelten Werte über die Zeit aufgetragen. Abbildung 5.19 zeigt die gemessenen Mittelwerte der Einzelverteilungen für einen Kanal als Funktion der Zeit.

Aus diesen Zeitverläufen werden nun drei Größen bestimmt. Zunächst werden die Maxima und Minima der Mittelwerte bestimmt und voneinander subtrahiert. Dieses Verfahren ist sehr sensitiv für auftretende Fluktuationen. Somit können Abweichungen aufgespürt werden, die nur zu einem bestimmten Zeitpunkt aufgetreten sind. Das Ergebnis ist in Abbildung 5.20 auf der nächsten Seite gezeigt. Fast alle Werte der Differenzen liegen unter 0,4 TDC-Bins.

Eine weitere Messung für die Stabilität liefert der Verlauf der Breiten der Einzelverteilungen. Diese wird durch die Standardabweichung bestimmt. Wie in [36] gezeigt wurde, kann zu einer Verbreiterung in den Einzelverteilungen kommen, falls im QPLL Chip die Synchronisation auf den LHCb Takt kurzzeitig verloren geht. Dies macht sich in einem größeren RMS Wert bemerkbar. Für ein klares Testpuls Signal sollte der RMS Wert ungefähr 1 betragen. Abbildung 5.21 auf Seite 91 zeigt das Ergebnis dieser Messung. Ein Chip zeigt dabei in allen Einzelmessungen eine leicht breitere Verteilung der Werte, ansonsten entsprachen alle Chips der Erwartung. Auch hier kann man die Maxima-Minima Verteilung betrachten. Aus Abbildung 5.22 auf Seite 91 kann man erkennen, dass sich die Einzelverteilungen kaum geändert haben über die Zeit.

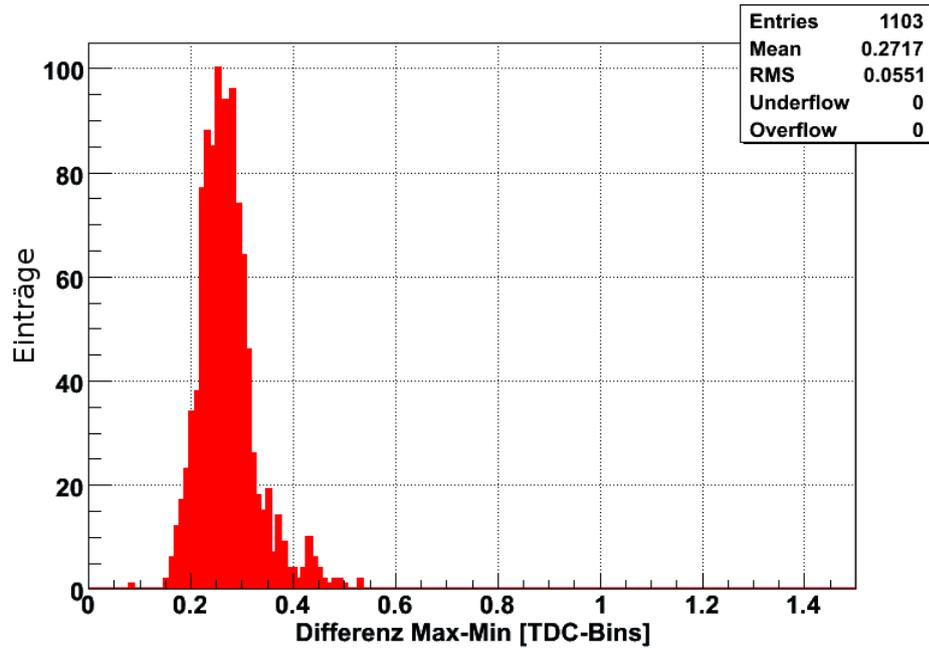


Abbildung 5.20. – Differenz der Maxima und Minima der Mittelwerte für einen OTIS Kanal. Fast alle Messwerte liegen unter 0,4 TDC-Bins. Dies zeigt, dass der Test Puls stabil blieb über die Messdauer.

Abschließend wird untersucht, ob die Verteilung der Mittelwerte einen systematischen Drift über die Zeit besitzen. Dazu wird an diese Verteilungen eine Gerade angelegt und deren Steigung ermittelt. Abbildung 5.23 auf Seite 92 zeigt die Verteilung der Steigungswerte über alle gemessenen Kanäle. Im Mittel beträgt die gemessene Steigung $-0,009 \pm 0,003 \frac{\text{TDC-Bins}}{h}$. Dieser sehr geringe Abfall der Mittelwerte beruht sehr wahrscheinlich auf Temperaturschwankungen über die 15 Stunden, da die Front-end Elektronik in diesem Test noch nicht aktiv gekühlt wurde.

Alle drei Untersuchungen zeigen die sehr gute Stabilität des Testpulses über die Messzeit. Das gesamte Auslesesystem funktionierte dabei über die 15 Stunden einwandfrei, so dass kein Eingriff in den automatischen Ablauf nötig war.

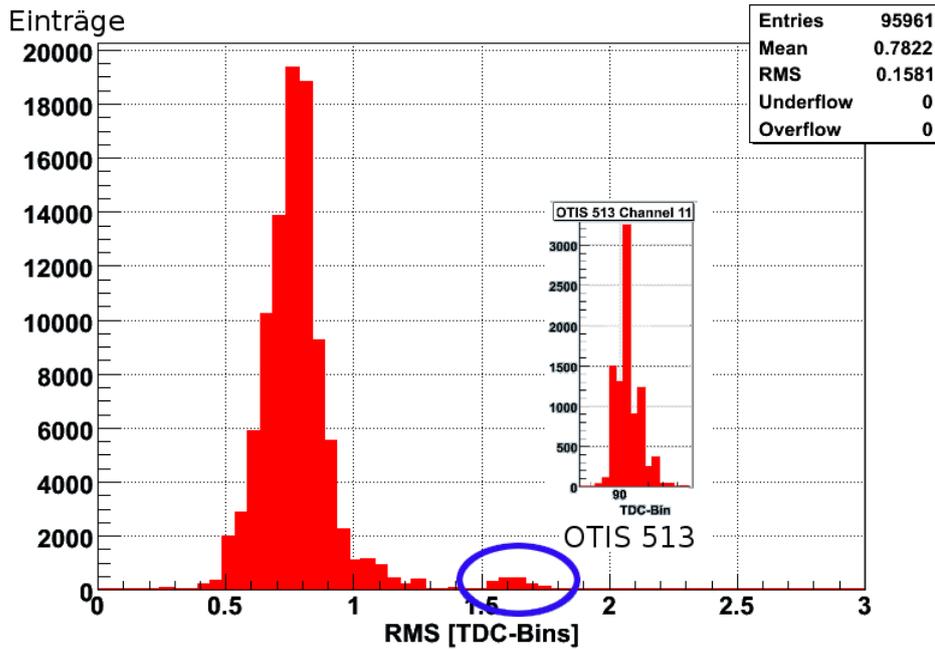


Abbildung 5.21. – Verteilung der Standardabweichungen. Fast alle Messungen liegen unter 1 TDC Bin. Dies zeigt, dass die Einzelverteilungen sehr gut definierte Peaks besitzen. Eine Ausnahme bildet der OTIS 513 (kleine Abbildung), welcher eine etwas breitere Verteilung besitzt.

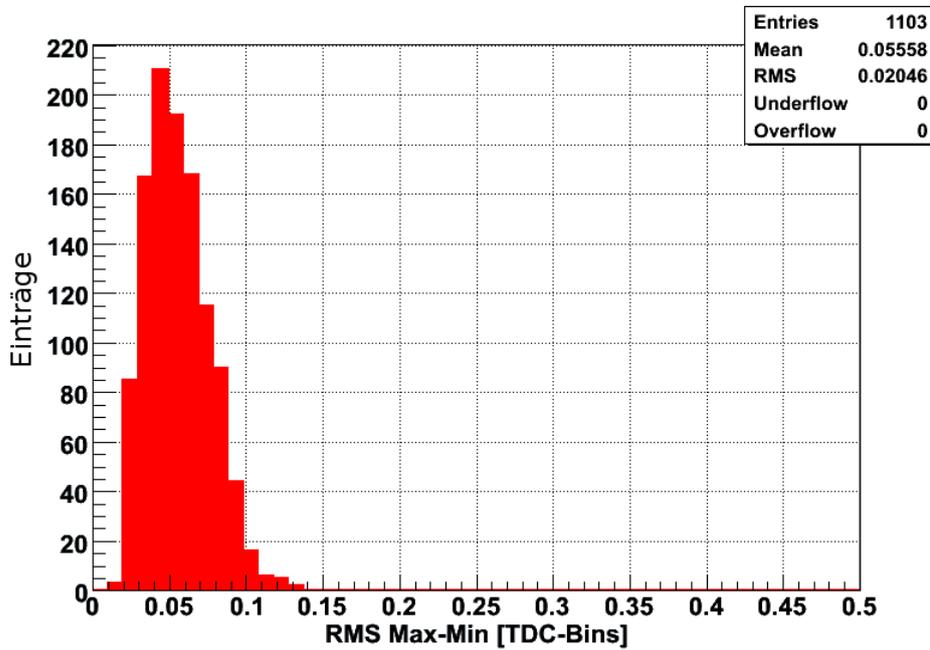


Abbildung 5.22. – Der maximale Unterschied der Standardabweichungen. Die Verteilung zeigt, dass die Einzelmessung äußerst stabil blieben über die Zeit.

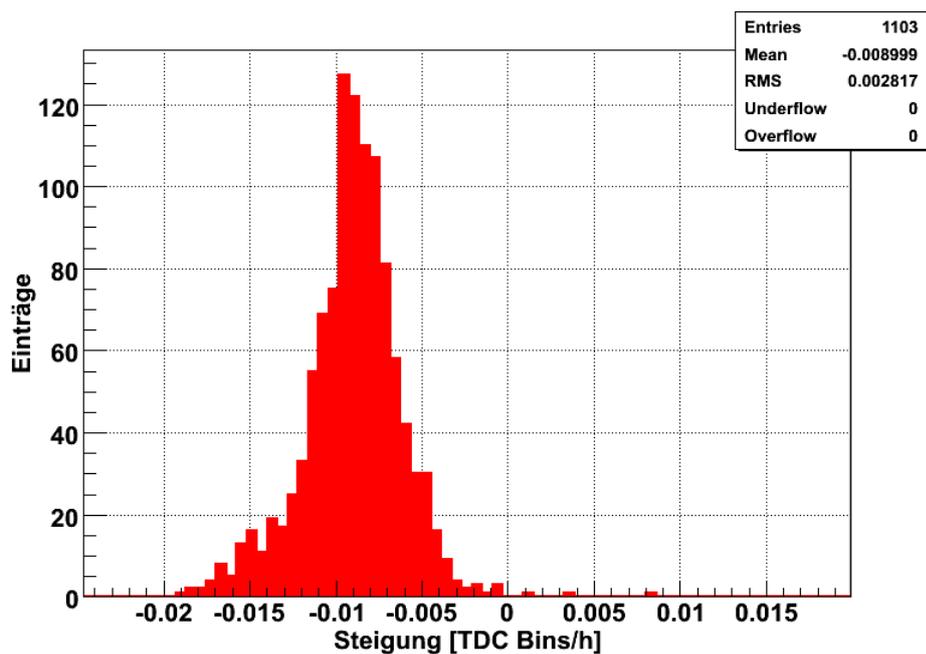


Abbildung 5.23. – Verteilung der ermittelten Steigungen im Stabilitätstest. Der Mittelwert von $-0,009 \pm 0,003 \frac{TDC-Bins}{h}$ zeigt, dass sich die Mittelwerte der Einzelverteilungen über die 15 Stunden hinweg leicht verändert haben. Dieser Effekt beruht sehr wahrscheinlich auf Temperaturschwankungen.

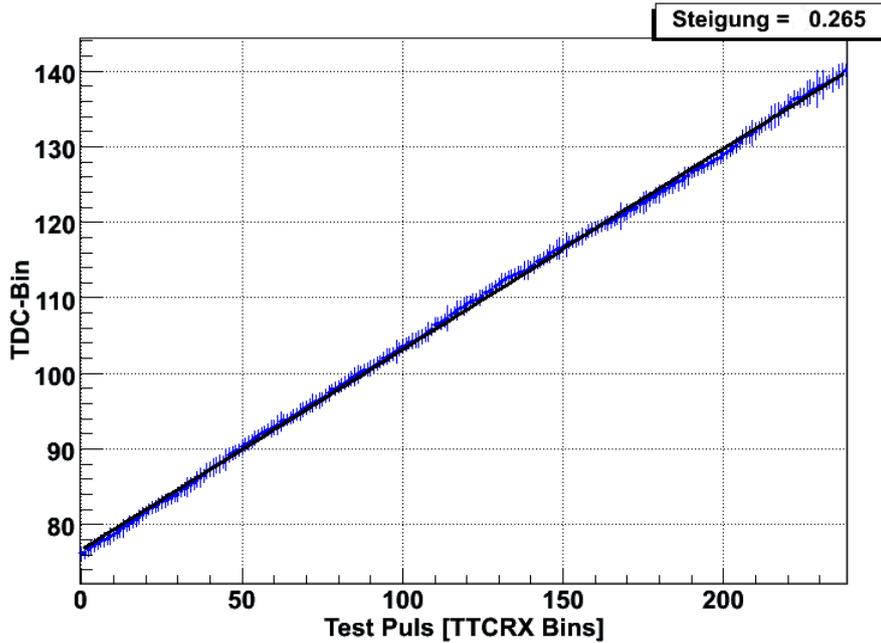


Abbildung 5.24. – Das Ergebnis der Linearitätsmessung für einen Kanal. An die Daten wird eine Gerade (schwarz) gefittet und deren Steigung bestimmt.

5.3.6. Messung der Linearität

Die Messung der Linearität des OTIS Chips soll zum Abschluss dessen volle Funktionalität beweisen. Dazu wird als Testpuls das phasenverschobene Taktsignal verwendet. Der TTCRx Chip, welcher die Signal des TFC-Systems in der Distributionbox dekodiert, teilt das Taktsignal in 240 Intervalle ein, was einer Schrittweite von 104,17 ps entspricht. Für jede Phasenverschiebung werden 10.000 Trigger aufgezeichnet. Analog zum vorherigen Kapitel wird der Mittelwert der einzelnen Verteilungen ermittelt. Für jeden OTIS Kanal ergibt sich damit eine Gerade, deren Steigung gefittet wird. Abbildung 5.24 zeigt das Ergebnis für einen OTIS Kanal.

Abbildung 5.25 auf der nächsten Seite zeigt die Differenz zwischen dem Fit und den Messwerten für einen Kanal. Der gezeigte Verlauf der Datenpunkte ist typisch für alle Kanäle. Er ergibt sich aus der Interferenz zweier Faktoren. Da die Schrittweite des TTCRx Chip kleiner als die Auflösung des OTIS Chips ist, kommt es an den Grenzen der TDC Bins zu einer Stufenbildung. Weiterhin wurden die Daten nicht auf die unterschiedlichen Größen der TDC Bins korrigiert. Das Zusammenspiel beider Effekte verursacht die beobachtete Form. Der Unterschied zwischen Fit und Daten ist aber immer geringer als ein TDC Bin und damit innerhalb der Spezifikation für die OTIS Chips.

Die Verteilung der erhaltenen Steigungen ist in Abbildung 5.26 auf der nächsten Seite gezeigt. Der erwartete Wert für die Steigung beträgt dabei $\frac{64 \text{ TDC-Bins}}{240 \text{ TTCrx-Bins}} = 0,2667$. Der ermittelte Wert von $0,2668 \pm 0,001$ stimmt damit sehr gut überein.

5. Systemtests

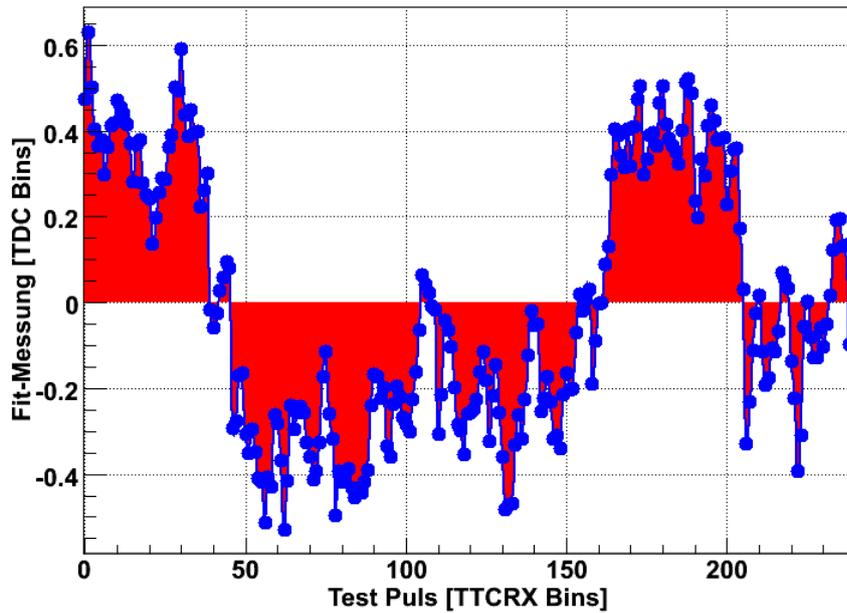


Abbildung 5.25. – Die Differenz von Fit und Messung. Der typische Verlauf entsteht aus dem Zusammenspiel zwischen kleineren TTCrx Bin Größe und der unterschiedlichen Länge der OTIS TDC Bins.

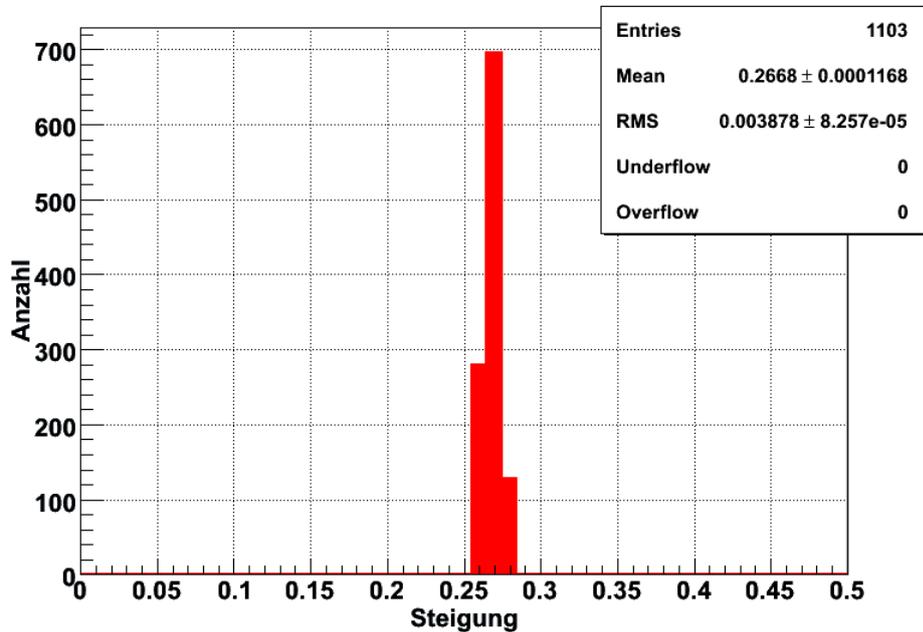


Abbildung 5.26. – Die Verteilung der Steigungswerte aus dem Fit an die Daten. Der Mittelwert entspricht dem erwarteten Wert von $\frac{64}{240} = 0,2667$.

6. Zusammenfassung und Ausblick

Im Rahmen dieser Arbeit wurden insgesamt drei Testsysteme entwickelt. Ziel bei der Entwicklung war zum einen die Verwendung möglichst vieler gemeinsamer Bestandteile in allen Tests. Zum anderen sollte die Test Umgebung den Bedingungen des Experimentes soweit wie möglich entsprechen.

Diese Ziele wurden zunächst für den Test der OTIS-TDC Chips auf den Wafer umgesetzt. Innerhalb von nur drei Wochen konnten damit etwa 8.000 Chips getestet werden. Dabei wurden alle Eigenschaften von der I²C Kommunikation bis zur Zeitmessung des Chips überprüft. Dabei wurden für jeden Chip ein Datenvolumen von 144 MB erzeugt und auf einem FPGA Chip analysiert. Die Testzeit betrug dabei unter 30 s für einen funktionierenden Chip. Bei der Produktion der Chips wurde ein Yield von 92 % für die OTIS Chips der Version 1.3 und 89 % für die Version 1.2 erreicht.

Dieses Testsystem wurde weiterentwickelt und angepasst für die Serienfertigung der GOL-Aux Karten und der OTIS Karten. Diese Systeme wurden erfolgreich am Physikalischen Institut der Universität Heidelberg (GOL-Aux Karten) und am National Institute for Subatomic Physics in Amsterdam (OTIS Karten) betrieben. Sämtliche im Experiment eingesetzten Karten mussten diesen Test erfolgreich absolvieren. Die dabei gewonnenen Erfahrungen halfen bei der Identifizierung von möglicher Fehlerquellen und bei der Verbesserung der einzelnen Komponenten. Die Tests trugen damit maßgeblich zum Verständnis für einen optimalen Betrieb der Outer Tracker Front-end Elektronik bei.

Am einem Teststrahl mit 6 GeV Elektronen wurden vier Module zusammen mit der Elektronik erfolgreich betreiben werden. Im Bereich der vorgesehenen Schwellenspannungen von 700-800 mV und der Hochspannungen von 1520-1650 V wurden die LHCb Spezifikationen erreicht mit einer Effizienz von mehr als 95 % und einer Auflösung besser als 200 μm bei einem akzeptablen Rausch und Cross-talk Niveau.

Während des Aufbaus des Detektors in der LHCb Kaverne konnte Auslese mit allen vorgesehenen Komponenten betrieben werden. Dabei wurden zahlreiche Algorithmen und Testprozeduren entwickelt werden, welche den Zustand der elektronischen Komponenten während des Betriebs überwachen werden. Die Detektor spezifischen Softwarekomponenten konnten ausführlich getestet und weiterentwickelt werden. Dies ebnete den Weg für den erfolgreichen Betrieb während der Cosmic-Runs des Detektors sowie des „first beam“ Tag am 10. September und folgende.

Teil II.

Studie zur Abschätzung des
Untergrundes im Zerfall $B_S^0 \rightarrow J/\Psi \Phi$

7. Einführung

Die Suche nach „neuer“ Physik kann auf zwei Arten erfolgen. Zum einen durch die direkte Suche nach neuen Teilchen. Diese werden dabei direkt in hochenergetischen Kollision erzeugt und können Anhand ihrer Zerfallsprodukte rekonstruiert werden. Ein komplementärer Ansatz ist die indirekte Suche. Dabei werden die Resultate von Präzisionsmessungen von im Standard Modell unterdrückten Reaktionen, die typischerweise durch Schleifenprozesse beschrieben werden, mit der theoretischen Vorhersage verglichen. Abweichungen können auf zusätzliche Beiträge neuer Physik in den Schleifenprozessen hinweisen. Treten diese nicht auf, so kann man Ausschlussgrenzen auf die „neue“ Physik extrahieren. Ein guter Kandidat für eine solche Suche bei LHCb ist die im Zerfall $B_s^0 \rightarrow J/\psi (\mu^+ \mu^-) \Phi (K^+ K^-)$ beobachtete CP-Asymmetrie.

Die CP-Verletzende Phase Φ_s tritt aufgrund der Interferenz zwischen dem B_s^0 Zerfall und der B_s^0 - \bar{B}_s^0 Oszillation auf. Innerhalb des Standard Modells wird diese Phase zu $\Phi_s = -2\beta_s = -0,0368 \pm 0,0017$ vorhergesagt [16], wobei β_s als der kleinste Winkel im bs-Unitaritätsdreieck definiert ist. Die Phase Φ_s ist eine CP Observablen mit sehr kleinen theoretischen Unsicherheiten. Dies macht ihr Messung zu einem der sensitivsten Messungen des LHCb Experiments. Neue Physik könnte den Wert der Vorhersage signifikant verändern, falls neue Teilchen zu den B_s^0 - \bar{B}_s^0 Box Diagrammen beitragen.

7.1. Der Zerfall $B_s^0 \rightarrow J/\psi \Phi$

Die bei LHCb im Primärvertex erzeugten b und \bar{b} -Quarks hadronisieren in etwa 10% Prozent der Fälle zu einem B_s^0 Meson. Dieses besitzt eine Masse von $5366,3 \text{ MeV}/c^2$. Aufgrund seiner mittleren Lebenszeit von $1,47 \text{ ps}$ und dem starken Boost in Vorwärtsrichtung legt es im LHCb Detektor eine durchschnittliche Distanz von etwa 1 cm zurück. Das Verzweigungsverhältnis für den Zerfall in $J/\psi(1s)$ und $\Phi(1020)$ beträgt etwa 10^{-3} . Diese beiden Resonanzen zerfallen instantan in weitere Teilchen. Mit einem Verzweigungsverhältnis von $(5,93 \pm 0,06) \cdot 10^{-2}$ geht das J/ψ in zwei Myonen über. Das Verzweigungsverhältnis für $\Phi \rightarrow K^+ K^-$ liegt bei $(49,2 \pm 0,6) \cdot 10^{-2}$. Damit beträgt das effektive Verzweigungsverhältnis für $B_s^0 \rightarrow J/\psi (\mu^+ \mu^-) \Phi (K^+ K^-)$ etwa

$$\begin{aligned} \text{BR}_{vis} &= \text{BR}(B_s^0 \rightarrow J/\psi \Phi) \cdot \text{BR}(J/\psi \Phi \rightarrow \mu^+ \mu^-) \cdot \text{BR}(\Phi \rightarrow K^+ K^-) \\ &= (9,3 \pm 3,3) \cdot 10^{-4} \cdot (5,93 \pm 0,06) \cdot 10^{-2} \cdot (49,2 \pm 0,6) \cdot 10^{-2} \\ &= (2,71 \pm 0,97) \cdot 10^{-5} \end{aligned}$$

Die Lebenszeit der entstandenen Myonen und Kaonen ist dabei groß genug, um dem LHCb Detektor zu verlassen.

7.1.1. Der verwendete Datensatz

Die in dieser Studie verwendeten Datensätze basieren auf Monte Carlo Simulationen der LHCb Data Challenge 2006. Die Ereignisse wurden dabei mittels PYTHIA [45] erzeugt. Die Zerfälle der B Hadronen wurden vom EvtGen [46] Programm berechnet. Für den Zerfall $B_s^0 \rightarrow J/\psi \Phi$ wurde dabei das PVV_CPLH Modell [47] verwendet. Zur kompletten Simulation wurde das GEANT4 Programm benutzt.

Aufgrund der hohen Wechselwirkungsrate bei LHC können vorherige Ereignisse die Messung im aktuellen Ereignis beeinflussen. Zum einen sind dies noch nicht abgeklungene Signale auf den vorherigen bunch crossing (Spillover Effekt). Zum anderen kann es mehreren Wechselwirkungen in einem bunch crossing kommen (Pileup). Die Größe dieser Effekte ist dabei Abhängig von der Luminosität. Bei den verwendeten Datensätzen wurde dabei eine nominelle Luminosität $\mathcal{L} = 2 \cdot 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$ in der Simulation angenommen.

Der verwendete Datensatz¹ für den Zerfall $B_s^0 \rightarrow J/\psi \Phi$ enthält etwa $1,3 \cdot 10^6$ Ereignisse. Um sicherzustellen, dass die Zerfälle mit dem Detektor prinzipiell gemessen werden können, wurde ebenfalls schon bei der Generierung ein Akzeptanzschnitt auf 400 mrad durchgeführt. Weiterhin wurden nur Zerfälle in diesen Datensatz aufgenommen, bei denen das J/ψ in zwei Myonen zerfällt.

Die bei LHCb zu erwartende Anzahl der $B_s^0 \rightarrow J/\psi (\mu^+ \mu^-) \Phi (K^+ K^-)$ Zerfälle pro Jahr ergibt sich zu

$$\mathcal{S} = \mathcal{L}_{int} \cdot \sigma_{b\bar{b}} \cdot 2 \cdot f_b \cdot BR_{vis} \cdot \epsilon_{B_s^0}^\theta = (2,6 \pm 1,0) \cdot 10^6 \quad (7.1)$$

\mathcal{L}_{int} bezeichnet die integrierte Luminosität pro Jahr. $\sigma_{b\bar{b}}$ ist der Wirkungsquerschnitt für die $b\bar{b}$ Produktion. Sein Wert beträgt $0,698 \pm 0,001 \text{ mb}$. Der Faktor 2 trägt der Tatsache Rechnung, dass die b-Quarks paarweise produziert werden. $f_b = 10,3 \pm 1,0 \cdot 10^{-2}$ ist die Wahrscheinlichkeit, dass die b-Quarks in ein B_s -Meson hadronisieren. BR_{vis} steht für das sichtbare Verzweigungsverhältnis. Dieses ergibt sich aus dem Produkt der Einzelwahrscheinlichkeiten der beteiligten Zerfälle und beträgt $BR_{vis} = (2,71 \pm 0,97) \cdot 10^{-5}$ wie zuvor gezeigt wurde. $\epsilon_{B_s^0}^\theta$ gibt schließlich den Anteil der B_s^0 an, welche im Bereich der Detektorakzeptanz zerfallen. Dieser wird mit $34,3 \pm 0,4 \cdot 10^{-2}$ abgeschätzt. Sämtliche Zahlenwerte sind dabei aus [48] entnommen.

Die in dieser Arbeit verwendeten $1,3 \cdot 10^6$ Ereignisse entsprechen damit einer integrierten Luminosität 1 fb^{-1} . Dies entspricht einer Laufzeit des LHCb Experiments von $1/2$ Jahr ($0,5 \cdot 10^7 \text{ s}$) bei nomineller Luminosität.

7.2. Ereignisselektion

Als Selektionskriterien für das Signal $B_s^0 \rightarrow J/\psi \Phi$ wurden die Standard LHCb Schnitte [49] für diesen Zerfall verwendet. Diese Schnitte wurden mit dem Ziel entwickelt, dass möglichst viele Signalereignisse diese in den verschiedenen Triggerstufen und Offlinesektionen passieren. Die Selektionskriterien wurde so gewählt, dass die Selektionsakzeptanz unabhängig von der Zerfallszeit ist. Ein Schnitt auf die Lebenszeit wurde nicht

¹ Produktion DC06-phys-v2-lumi2, Datensatz „13144002-Bs_Jpsiphi,mm=CPV,DecProdCut“

Teilchen	Schnitt
Kaon	$P > 2000 \text{ MeV}/c$ $\Delta \log \mathcal{L}_{K-\pi} > 0.0$
Myon	$P_t > 500 \text{ MeV}/c$ $\Delta \log \mathcal{L}_{\mu-\pi} > -5.0$
Φ	$P_t > 1000 \text{ MeV}/c$ $\Delta M_{nom} < \pm 12 \text{ MeV}/c^2$ Vertex $\chi^2 < 10$
J/Ψ	$P_t > 1000 \text{ MeV}/c$ $\Delta M_{nom} < \pm 42 \text{ MeV}/c^2$ Vertex $\chi^2/\text{nDoF} < 6$
B_s^0	$\Delta M_{nom} < \pm 150 \text{ MeV}/c^2$ Vertex $\chi^2/\text{nDoF} < 5$ IPS(B_s^0) < 5

Tabelle 7.1. – Selektionskriterien für $B_s^0 \rightarrow J/\Psi \Phi$

angewandt. Dies wäre zwar einer der effektivsten Kriterien zur Separation von Signal und Untergrund, da der Untergrund vorwiegend bei kurzen Lebenszeiten liegt. Dieser Schnitt würde aber zu einem nur schwer abschätzbaren systematischen Effekt bei der Extraktion der gesuchten Parameter führen. Die einzelnen Schnitte sind in der Tabelle 7.1 zusammengefasst und sollen im folgenden besprochen werden.

Eine erste Selektion wird dabei auf den Spurtyp durchgeführt. Die rekonstruierte Spur muss dabei Treffer in den Detektoren vor und nach dem Magneten erzeugt haben, d.h. im Vertex Locator und den TT-Stationen sowie im Inner Tracker bzw. Outer Tracker. Je nach betroffenen Detektor muss die Spur dabei eine Mindestzahl von Treffern hinterlassen haben.

Für diese Spuren wird daher als nächstes die Wahrscheinlichkeiten für verschiedene Teilchenhypothesen betrachtet. Dazu aus den Informationen aus dem RICH-Detektor, dem Kalorimetern und den Myon-Stationen sowie dem Impuls der Spur eine relative Likelihood-Wert für eine Teilchenhypothese bestimmt. Da Pionen die größte Anzahl von Spuren im LHCb Detektor hinterlassen, wird die Hypothese für ein Teilchen x relativ zur Pion Hypothese betrachtet.

$$\Delta \log \mathcal{L}_{x-\pi} = \log \mathcal{L}_x - \log \mathcal{L}_\pi = \log \left(\frac{\mathcal{L}_x}{\mathcal{L}_\pi} \right)$$

Sind beide Hypothesen gleich wahrscheinlich, so ergibt sich für diese Größe der Wert 0. Dabei geht die größere a-priori Wahrscheinlichkeit für Pionen gegenüber anderen Teilchen nicht in dieses Verhältnis ein. Im betrachteten Zerfall betragen die Schnitte auf die rekonstruierten Spuren für Kaonen $\Delta \log \mathcal{L}_{K-\pi} > 0.0$ und für Myonen $\Delta \log \mathcal{L}_{\mu-\pi} > -5.0$.

Um die Anzahl der als Kaon fehlidentifizierten Pionen weiter zu senken, wird von den Kaon Kandidaten ein Impuls von größer 2000 MeV/c verlangt. Für die Myon Kandidaten wird dagegen ein transversal Impuls $P_t > 500 \text{ MeV}/c$.

7. Einführung

Aus den verbleibenden Myon bzw. Kaon Kandidaten werden nun J/ψ bzw. Φ Kandidaten gebildet. Es wird die invariante Masse sowie der gemeinsame Vertex in einem Fit bestimmt. Durch die bessere Rekonstruktion der Myon Spuren im Vergleich zu denen der Kaonen kann ein engerer χ^2 -Schnitt auf den Vertexfit der J/ψ Kandidaten im Vergleich zu den Φ Kandidaten angewendet werden. Der gewählte Wert für J/ψ Kandidaten beträgt Vertex $\chi^2/n\text{DoF} < 6$, für die Φ Kandidaten Vertex $\chi^2 < 10$.

Die rekonstruierten Teilchen Resonanzen besitzen beide mit Zerfallsbreiten von $\Gamma \approx 90$ keV ($J/\psi(1s)$) und $\Gamma \approx 4$ MeV ($\Phi(1020)$) einen schmalen Massenpeak. Somit kann ein enges Massenfenster für die Kandidaten gewählt werden, welches alleine durch die Detektoraufösung bestimmt wird. Für J/ψ Kandidaten beträgt dieses Fenster ± 42 MeV/ c^2 zur nominellen Masse, für Φ Kandidaten ± 12 MeV/ c^2 .

Die Zerfallsprodukte aus einem B_s^0 Zerfall besitzen aufgrund der großen B_s Masse im Mittel einen höheren transversalen Impuls im Vergleich zu Teilchen aus anderen Zerfällen. Deshalb wird auf beide Kandidaten ein $P_t > 1000$ MeV/ c Schnitt durchgeführt.

Aus den nach diesen Schnitten verbleibenden Kandidaten werden die B_s^0 Kandidaten gebildet. Auf diese werden ein Vertex $\chi^2/n\text{DoF} < 5$ Schnitt durchgeführt. Ebenfalls wird ein Massenfenster von ± 150 MeV/ c^2 um die nominelle Masse geöffnet. Durch einen Schnitt auf die Impaktparametersignifikanz wird schließlich sicher gestellt, dass die Trajektorie des B_s^0 Kandidaten auf einen Primärvertex zeigt.

Nach Anwendung aller Schnitte blieben aus dem Datensatz noch 275.834 B_s Kandidaten übrig. Deren Massen Verteilung ist in Abbildung 7.1 auf der nächsten Seite dargestellt. Die Massen Verteilungen der Töchter sowie der Vertex χ^2 Wert und die Lebenszeit der B_s Kandidaten ist 7.2 auf Seite 102 gezeigt.

7.2.1. Betrachtung des Untergrundes

Aufgrund der sehr guten Rekonstruktion der J/ψ erhält man für die B_s nach der Selektion eine sehr hohe Reinheit. Der Untergrund wird vor allem von falschen Kombination von J/ψ und Φ Kandidaten dominiert, welche nicht auf einem gemeinsamen B_s stammen. Dieser besteht aus zwei Komponenten.

Die erste Komponente wird von sogenannten prompten J/ψ direkt aus dem Primärvertex gebildet. Da das J/ψ in diesem Fall aus dem Primärvertex stammt, können sie nicht aus einem B Zerfall stammen. Die zusammen mit einem Φ fälschlicherweise gebildeten B_s Kandidat besitzen dabei eine sehr kleine Lebenszeit.

Die zweite Komponente besteht aus langlebigen Untergrund. In diesem Fall stammt das J/ψ tatsächlich aus dem Zerfall eines B Hadron. Dieses wird dann mit einem Φ Kandidaten, welches nicht aus dem B Zerfall stammt, fälschlicherweise zu einem B_s Kandidaten kombiniert.

Um den Untergrund abzuschätzen, wurde ein inklusiver J/ψ Datensatz² verwendet. In diesem Datensatz wurden Ereignisse simuliert, die einen $J/\psi \rightarrow (\mu^+ \mu^-)$ Zerfall enthalten. Dabei kann das J/ψ direkt in der Proton-Proton Wechselwirkung auftreten oder über eine Zerfallskette wie z.B. $pp \rightarrow b \Rightarrow J/\psi X$. Damit sind beide oben genannten Komponenten

² Produktion DC06-phys-v2-lumi2, Datensatz „24142001-incl_Jpsi,mm=DecProdCut“

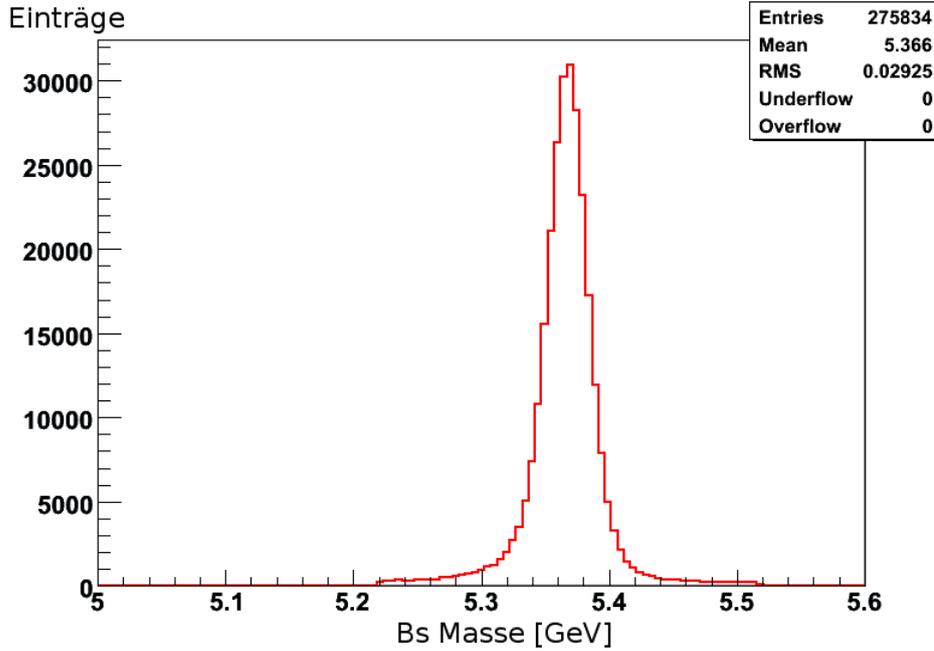


Abbildung 7.1. – Die Massen Verteilungen der B_s Kandidaten nach allen Schnitten im Signal Datensatz.

in diesem Datensatz vertreten. Er enthält insgesamt etwa $1,85 \cdot 10^6$ Ereignisse. Für diesen Datensatz wurden bei der Generierung die selben Schnitte wie im Signal Datensatz angewendet. Die erwartete Anzahl an inklusiven J/ψ Ereignissen pro Jahr lässt sich analog aus Gleichung 7.1 auf Seite 98 zu

$$\mathcal{S} = \mathcal{L}_{int} \cdot \sigma_{pp \Rightarrow J/\psi X} \cdot BR_{vis} \cdot \epsilon_{J/\psi}^\theta = (3,38 \pm 0,08) \cdot 10^{10}$$

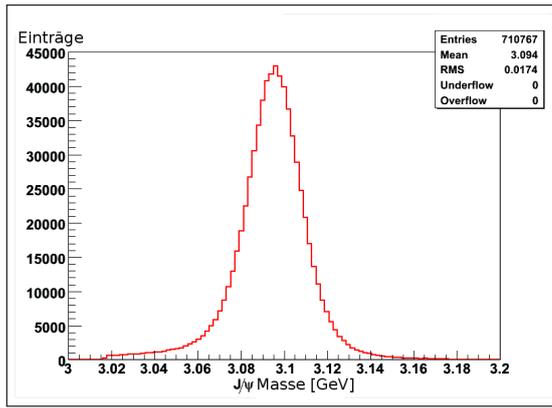
bestimmen. Die Größen haben dabei folgende Werte:

$$\begin{aligned} \sigma_{pp \Rightarrow J/\psi X} &= (0,286 \pm 0,002) \text{ mb} \\ BR_{vis}(J/\psi) &= (5,93 \pm 0,06) \cdot 10^{-2} \\ \epsilon_{J/\psi}^\theta &= (19,8 \pm 0,1) \cdot 10^{-2} \end{aligned}$$

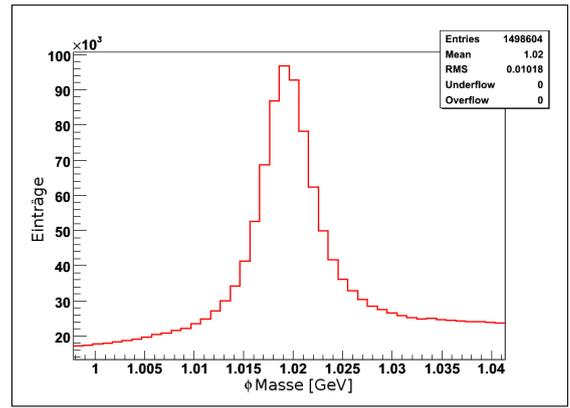
Damit entspricht der verwendete Datensatz von $1,85 \cdot 10^6$ Ereignissen einer Laufzeit des LHCb Experimentes von nur 550 s im Vergleich zu den $0,5 \cdot 10^7$ s für das $B_s^0 \rightarrow J/\psi \Phi$ Signal.

Um die beiden Komponenten des Untergrundes getrennt betrachten zu können, wurde nach der Anwendung der vorgestellten Selektionskriterien der Datensatz entsprechend des Ursprungs des J/ψ aufgeteilt. In den Ereignisse, in denen bei der Generierung ein b-Quark erzeugt wurde, wurden als „langlebiger Untergrund“ eingestuft. Diese werden im folgenden auch als $b\bar{b}$ Ereignisse bezeichnet. Die restlichen Ereignisse wurden dementsprechend dem prompten Untergrund zugeordnet und werden im folgenden als „ $c\bar{c}$ Ereignis“ markiert.

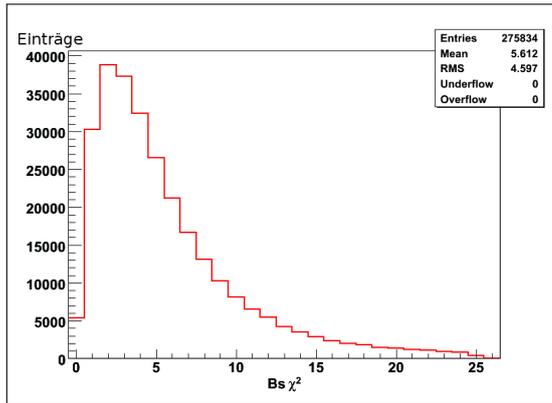
7. Einführung



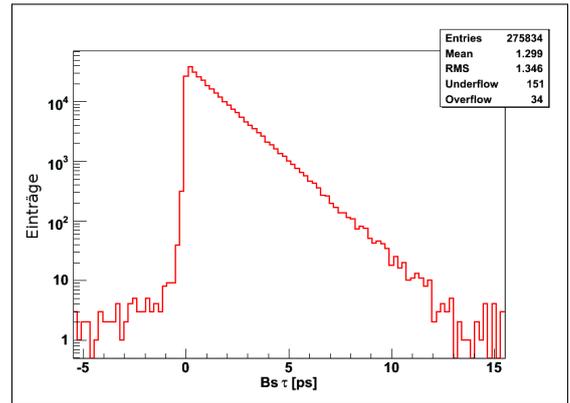
(a) Masse der J/ψ Kandidaten



(b) Masse der Φ Kandidaten

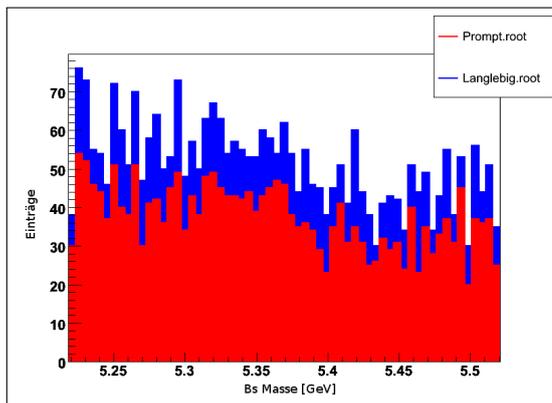


(c) Vertex χ^2 Verteilung der B_s Kandidaten

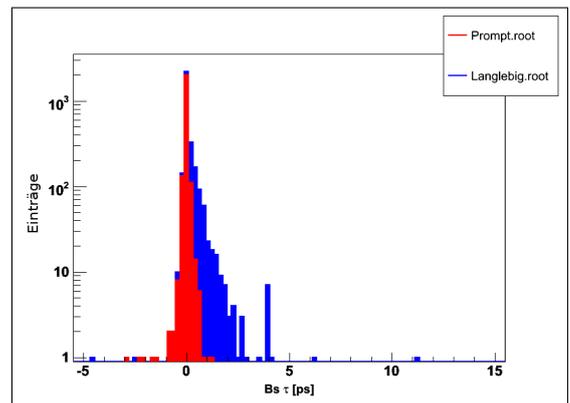


(d) Lebenszeit der B_s Kandidaten

Abbildung 7.2. – Die Massen Verteilungen der Töchterteichen nach allen Schnitten im Signal Datensatz. Abbildung (c) und (d) zeigen den Vertex χ^2 Wert und die Lebenszeit der B_s Kandidaten.



(a) Masse der B_s Kandidaten



(b) Lebenszeit der B_s Kandidaten

Abbildung 7.3. – Die Massen und die Lebenszeit Verteilung der B_s Kandidaten aus dem Untergrund Datensatz. Der prompte Anteil ist jeweils in Rot, die langlebige Komponente in Blau gezeichnet.

Nach Anwendung aller Schnitte blieben für den langlebigen Untergrund („ $c\bar{c}$ Ereignis“) noch 831 B_s Kandidaten übrig, für den prompten Untergrund waren dies 2.294 Kandidaten. Die Massen und Lebenszeit Verteilung dieser Kandidaten ist in Abbildung 7.3 auf der vorherigen Seite gezeigt. Insbesondere für Lebenszeiten größer als 1,5 ps bleibt nur noch eine kleine Statistik. Dies macht für lange Lebenszeiten eine Extrapolation auf die integrierte Luminosität des Signal Datensatzes schwierig. Insbesondere soll der Einfluss des Untergrundes auf die Bestimmung der Phase Φ_s untersucht werden, was aber aufgrund der niedrigen Ereignisstatistik nicht möglich ist.

Die Generierung weiterer Monte Carlo Ereignisse stellt dabei keine realistische Option dar. Um einen Datensatz zu erstellen, der der integrierten Luminosität von einem 1 fb^{-1} entspräche, müsste dieser etwa 10^{10} Ereignisse enthalten. Die Erstellung eines solch großen Datensatzes ist nicht möglich!

Eine genauere Betrachtung des Untergrund Datensatzes zeigt, dass eine Vielzahl von J/ψ und Φ Kandidaten die im vorherigen Kapitel vorgestellten Selektionskriterien für J/ψ und Φ erfüllen, wie folgende Tabelle zeigt:

	Langlebiger Untergrund	Prompter Untergrund
J/ψ Kandidaten	56.489	470.509
Φ Kandidaten	85.132	265.890

Von den J/ψ und Φ Kandidaten *eines* Ereignisses findet man jedoch nur sehr wenige Paare, die die Bedingungen der B_s erfüllen. Könnte man die J/ψ und Φ Kandidaten im Monte Carlo über die Ereignisse hinweg kombinieren, so würde man sehr viel mehr J/ψ Φ Paare kreieren, die als B_s akzeptiert würden. Unter der Voraussetzung, dass die Kinematik dieser Paare der Kinematik innerhalb eines Ereignisses übereinstimmt, könnte ein Untergrundsample der erforderlichen Größe erstellt werden. Eine Kombination der Kandidaten in den jeweiligen Kategorien würde dabei potentiell zu $N_{J/\psi} \times N_{\Phi}$ B_s Kandidaten führen.

7.2.2. Die LHCb Analyse Umgebung

Für die physikalische Datenanalyse werden die Daten des LHCb Experimentes in einer Software Umgebung namens Gaudi bereitgestellt [50]. Dieses stellt für die einzelnen Aufgaben Programmpakete zur Verfügung. Für die Offline Analyse ist dies das Paket DaVinci [51]. Alle Angaben im Rahmen dieser Arbeit beziehen sich auf die Version v20r0.

Für jedes Ereignis wird eine Sequenz von Algorithmen aufgerufen, deren Reihenfolge in Optionsdateien vorgegeben wird. Innerhalb dieser Sequenz sind nur die Daten aus dem gerade bearbeiteten Ereignis verfügbar. Es ist im DaVinci Paket *nicht* vorgesehen, Daten über Ereignisse hinweg auszutauschen.

Die Kombination von J/ψ und Φ Kandidaten aus verschiedenen Ereignissen ist damit innerhalb der LHCb Analyse Umgebung nicht möglich. Daher ist es notwendig, die Kombination außerhalb dieser Umgebung durchzuführen. Damit die Daten der Kandidaten auch außerhalb des DaVinci Programms zur Verfügung stehen, werden diese in einem nTuple in ROOT Dateien abgespeichert.

Teilchen	Schnitt
Kaon	$\Delta \log \mathcal{L}_{K-\pi} > -20$
Myon	$\Delta \log \mathcal{L}_{\mu-\pi} > -45.0$
Φ	$\Delta M_{nom} < \pm 60 \text{ MeV}/c^2$ Vertex $\chi^2 < 80$
J/ψ	$\Delta M_{nom} < \pm 80 \text{ MeV}/c^2$ Vertex $\chi^2 < 80$
B_s^0	$4,6 \text{ GeV}/c^2 < \Delta M_{nom} < 6,2 \text{ GeV}/c^2$ Vertex $\chi^2/\text{nDoF} < 100$

Tabelle 7.2. – *Verwendete Selektionskriterien für die Validierung der ROOT basierten Analyse Umgebung*

7.3. Technische Implementierung der $J/\psi \Phi$ Kombination aus verschiedenen Ereignissen

Um die Kombination von J/ψ und Φ Kandidaten aus verschiedenen Ereignissen durchführen zu können, war es notwendig, eine eigene Analyse Umgebung, basierend auf ROOT, zu entwickeln. Ein Hauptaugenmerk bei der Entwicklung war es, die Algorithmen aus dem DaVinci Paket soweit wie möglich zu übernehmen. Deshalb wurden Algorithmen, wie z.B. der Vertexfit, übernommen und an das neue Datenformat angepasst. Funktionalitäten, welche nicht direkt aus dem DaVinci Paket exportiert werden konnten, wurden möglichst nahe an ihre Vorbilder angelehnt.

Die entwickelten Funktion spiegeln damit den Ablauf einer einzelnen Sequenz für ein Ereignis in DaVinci sehr nahe wieder. Die Eingangsdaten für diese Analyse Umgebung bilden die J/ψ und Φ Kandidaten, welche innerhalb des DaVinci Paketes die Selektionskriterien aus Tabelle 7.1 auf Seite 99 passiert haben. Der Vorteil in der Verwendung dieser Kandidaten besteht darin, dass diese alle Stufen der Analyse innerhalb des DaVinci Paketes durchlaufen haben. D.h., dass Fehlidentifizierungen der Kaonen und Myonen und die kinematische Verteilung der J/ψ und Φ Kandidaten automatisch richtig beschrieben werden.

Zur Validierung der Implementation wurde eine Analyse des inklusiven J/ψ Datensatzes in beiden Analyse Umgebungen durchgeführt. Um eine große Vergleichsbasis zu erlangen, wurden nur sehr lose Schnitte verwendet, wie sie in Tabelle 7.2 angegeben sind.

Mit dieser Selektion wurden J/ψ und Φ Kandidaten innerhalb des DaVinci Paketes zu einem $B_s^{(DaVinci)}$ Kandidaten kombiniert.³ Insgesamt wurden 93.845 $B_s^{(DaVinci)}$ Kandidaten erzeugt. Die J/ψ und Φ Kandidaten, welche ihre jeweiligen Schnitte passiert haben, wurden zur dabei abgespeichert.

Mit diesen J/ψ und Φ Kandidaten wurde die Prozedur in der entwickelten Analyse Umgebung wiederholt. Um vergleichbare Ergebnisse zu erhalten, wurden dabei nur

³ Um im folgenden die B_s Kandidaten aus den unterschiedlichen Analyse Umgebung zu kennzeichnen, werden diese mit verschiedenen Indices versehen.

7.3. Technische Implementierung der $J/\psi \Phi$ Kombination aus verschiedenen Ereignissen

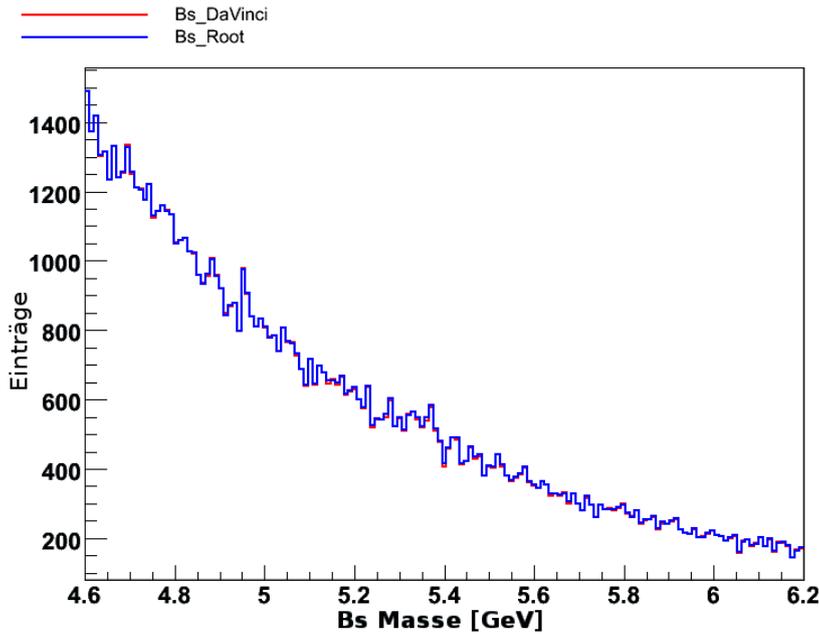


Abbildung 7.4. – Die Massen Verteilung der B_s^0 Kandidaten beider Analyse Umgebungen. In Rot gezeigt sind die Kandidaten, die mittels des DaVinci Paketes erzeugt wurden. In Blau sind die Kandidaten aus der eigenständigen Analyse Umgebung. Die beiden Kurven sind nahezu Deckungsgleich.

J/ψ und Φ Kandidaten aus einem gemeinsamen Ereignis zu einem $B_s^{(Root)}$ Kandidaten kombiniert. Die Anzahl der erzeugten $B_s^{(Root)}$ Kandidaten betrug hier 93.562.

Ein Vergleich der Massen Verteilungen der $B_s^{(DaVinci)}$ und der $B_s^{(Root)}$ Kandidaten ist in Abbildung 7.4 gezeigt. Beide Kurven sind nahezu Deckungsgleich. Vergleicht man die einzelnen Kandidaten aus den beiden Analyse Umgebungen, welche aus der gleichen Kombination von J/ψ und Φ Kandidaten stammen, so beträgt der Unterschied in allen Variablen deutlich weniger als 1%. Insgesamt 92.982 B_s Kandidaten finden sich in beiden Analyse Umgebungen. Eine Untersuchung der restlichen B_s Kandidaten ergab, dass diese in der jeweils anderen Analyse Umgebung einen der Schnitte gerade nicht passierte. Die Unterschiede konnten auf den Verlust bei der Genauigkeit der Zahlen zurückgeführt werden, der bei der Abspeicherung der Werte für ein Teilchen in DaVinci auftritt.⁴

Somit können die Ergebnisse, welche mit der entwickelten Analyse Umgebung erzielt werden, als gleichwertig zum DaVinci Paket betrachtet werden.

⁴ DaVinci kann double Variablen nur als float Variable abspeichern.

8. Kombination von J/ψ Φ aus verschiedenen Ereignissen

Bevor die J/ψ und Φ Kandidaten aus verschiedenen Ereignissen kombiniert werden können, müssen zunächst einige Vorbereitungen getroffen werden. Dazu gehört u.a. die Angleichung des Primärvertex.

Diese besitzen in der Regel unterschiedliche Koordinaten für unterschiedliche Ereignisse, da die kollidierenden Protonen auch in der Simulation eine endliche Ausdehnung entlang der z -Achse haben. Daher müssen sie vor der Kombination auf einen gemeinsamen Punkt verschoben werden. Dafür wurde der Koordinatenursprung ausgewählt. Die neuen Koordinaten des Sekundärvertices SV' ergeben sich damit aus $SV' = SV - PV$. Abbildung 8.1 auf der nächsten Seite veranschaulicht diesen Prozess.

Der Primärvertex eines Teilchens wird dabei innerhalb des DaVinci Paketes bestimmt. Dabei wird im Falle von mehreren Primärvertices in einem Ereignis genau wie auch in der Selektion derjenige übernommen, der die kleinste Signifikanz bei der Differenz zwischen der Position des Primärvertex und des Produktionsvertex des Teilchens besitzt. Die Primärvertices werden dabei aus den Spuren in einem Ereignis rekonstruiert. Das Rekonstruktionsergebnis kann dabei natürlich vom wahren Wert abweichen. Deshalb werden bei der Koordinatentransformation die wahren Monte-Carlo Koordinaten verwendet. Als Fehler wird dann der Fehler der rekonstruierten Position verwendet. Dem B_s^0 Kandidaten, welcher aus der Mischung entsteht, wird dann im Vertexfit der Primärvertex des J/ψ Kandidaten zugewiesen.

Weiterhin wurden die wenigen Ereignisse aus dem inklusiven J/ψ Datensatz ausgeschlossen, in denen das J/ψ aus dem Zerfall $B_s^0 \rightarrow J/\psi \Phi$ stammt, da sie zum untersuchten Signal und nicht zum Untergrund gehören.

8.1. Untergrund aus $b\bar{b}$ Ereignissen

Zunächst soll der Untergrund aus Ereignissen betrachtet werden, in den das J/ψ aus dem Zerfall eines b -Quarks stammt. Nach Anwendung aller in Tabelle 7.1 auf Seite 99 aufgeführten Schnitte für die J/ψ und Φ , bleiben noch 56.489 J/ψ und 85.132 Φ Kandidaten übrig. Diese bilden 11.849 B_s^{DaVinci} Kandidaten innerhalb des DaVinci Paketes. Deren Masse liegt dabei aufgrund der losen Schnitte während der Fitprozedur zwischen $4,5 \text{ GeV}/c^2$ und $6,3 \text{ GeV}/c^2$. Der Vertex χ^2 Wert ist dabei kleiner als 200. Diese Kandidaten bilden die Referenz, die mit der Kombination aus J/ψ und Φ Kandidaten aus unterschiedlichen Ereignissen nachgebildet werden soll.

Da die Möglichkeit besteht, dass es zu Korrelationen zwischen einem J/ψ Kandidaten

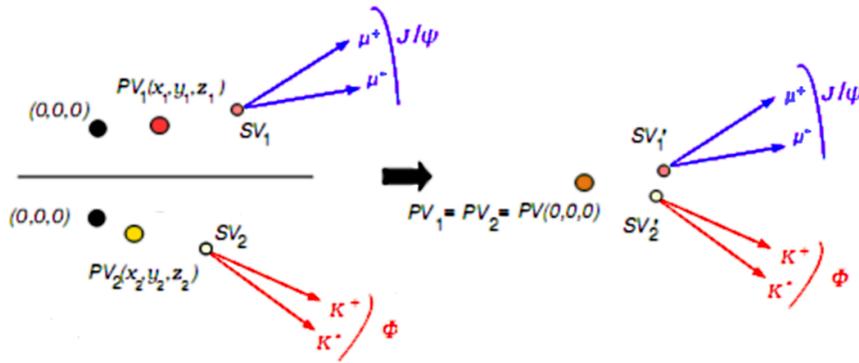


Abbildung 8.1. – Die beiden Primärvertices (PV) der unterschiedlichen Ereignisse besitzen in der Regel unterschiedliche Koordinaten. Für die Kombination ist es daher nötig, eine Koordinatentransformation durchzuführen. Dabei werden die PV auf den Ursprung gelegt. Die neuen Sekundärvertices SV' ergeben sich damit aus $SV'_{1/2} = SV_{1/2} - PV_{1/2}$.

aus einem b-Quark und einem Φ Kandidaten aus dem zweiten b-Quark im Ereignis kommen kann, wurde zunächst die Zusammensetzung der B_s^{DaVinci} Kandidaten untersucht. Dazu wurden die rekonstruierten Spuren in drei Kategorien eingeteilt. In die erste Kategorie (B = b-Quark) fallen Spuren, die ursprünglich aus einem b-Quark Zerfall stammen. Dies wurde anhand der Monte-Carlo Information zu dieser Spur abgefragt. Die zweite Kategorie (K = Kontinuum) bilden die Spuren, die aus einem anderen Zerfall stammen. Sie können dabei direkt im Primärvertex produziert worden sein oder das Produkt eines Zerfalls sein, in dessen gesamten Verlaufs kein b-Quark beteiligt war. Die letzte Kategorie (U = Unbekannt) vereint schließlich diejenigen rekonstruierten Spuren, denen keine Monte-Carlo Spur zugeordnet werden konnte. Diese Spuren haben dabei weniger als 70 % gemeinsame „Messpunkte“ im Detektor mit jeder Monte Carlo Spur.

Die B_s^0 Kandidaten verteilen sich wie folgt auf die einzelnen Kategorien:

Kategorie				Anzahl	Prozent
Myon 1	Myon 2	Kaon 1	Kaon 2		
B	B	K	K	4.736	39,97
B	B	K	U	3.851	32,50
B	B	U	U	1.150	9,71
B	B	B	K	782	6,60
B	B	B	U	386	3,26
B	B	B	B	306	2,58
Sonstige				638	5,38

Den große Mehrheit der B_s^{DaVinci} Kandidaten wird also aus einem J/ψ Kandidaten gebildet, welches aus dem b-Quark Zerfall stammt. Die verwendeten Φ Kandidaten dagegen stammen zu etwa 90 % nicht aus dem b-Quark Zerfall. Dies bestätigt die Hypothese über die Zusammensetzung des langlebigen Untergrund im vorherigen Kapitel.

8. Kombination von J/ψ Φ aus verschiedenen Ereignissen

Für eine erste Überprüfung der Kombination aus verschiedenen Ereignissen wurden zunächst 8.000 J/ψ und 12.000 Φ Kandidaten zufällig ausgewählt. Diese wurden miteinander kombiniert, wobei 42.106.636 B_s^{ROOT} Kandidaten gebildet wurden. Damit erzeugten etwa 43,9% der versuchten Kombinationen einen B_s^{ROOT} Kandidaten.

Abbildung 8.2 auf der nächsten Seite vergleicht in verschiedener Variablen die Referenz mit der gemischten Verteilungen. In (fast) allen Variablen bildete die gemischte Kombination den Verlauf der Referenzkurven sehr gut ab. Wie gut diese Übereinstimmung ist, kann z.B. mit dem Kolmogorov Test überprüft werden [52]. Dieser vergleicht zwei Verteilung. Stimmen sie perfekt überein, so gibt dieser Test eine „1“ zurück. Je schlechter die Übereinstimmung, desto kleiner werden die Werte. Zwei Verteilungen werden üblicherweise als übereinstimmend für Werte größer als 0,05 angesehen. Die folgende Tabelle enthält die erhaltenen Werte für verschiedene Variablen.

	Masse	Lebenszeit	Vertex χ^2	P_t	Impaktparameter Signifikanz
Kolmogorov Test	0,33	0,16	0,55	10^{-12}	0,38

Abgesehen von der P_t Verteilung sind die Werte zufriedenstellend. Betrachtet man die P_t Verteilung der Referenz näher, so fällt auf, dass diese mehrere Schultern enthält. Auch in der Verteilung der B_s^{ROOT} Kandidaten ist mindestens eine Schulter nahe des Peaks zu erkennen.

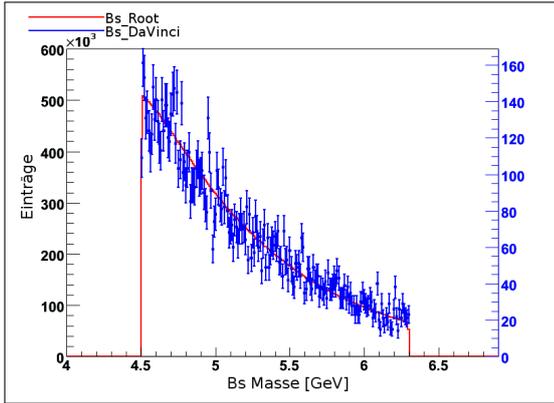
Abbildung 8.3 auf Seite 110 zeigt die P_t Verteilung in den verschiedenen Kategorien, welche zuvor eingeführt wurden. Der unterschiedliche Verlauf der Kurven, welcher dabei sichtbar wird, führt in der Addition zur Ausbildung der beobachteten Schultern. Diese wird auch bei der Kombination der J/ψ und Φ Kandidaten aus verschiedenen Ereignissen zunächst nachgebildet. Mit Vergrößerung der Anzahl der Kombinationen werden diese Unterschiede jedoch verwischt, so dass sich ein stetiger Verlauf der Kurven ergibt (Abbildung 8.4 auf Seite 111). Die schlechte Übereinstimmung der P_t Verteilung der B_s^{ROOT} Kandidaten mit der der B_s^{DaVinci} Kandidaten beruht damit auf der geringen Statistik B_s^{DaVinci} Kandidaten in den einzelnen Kategorien.

Auch die Anwendung der Selektionskriterine für B_s^0 Kandidaten aus Tabelle 7.1 auf Seite 99 zeigt, dass das originale Sample durch die Kombination der J/ψ und Φ Kandidaten aus verschiedenen Ereignissen gut beschrieben wird, wie folgende Tabelle zeigt:

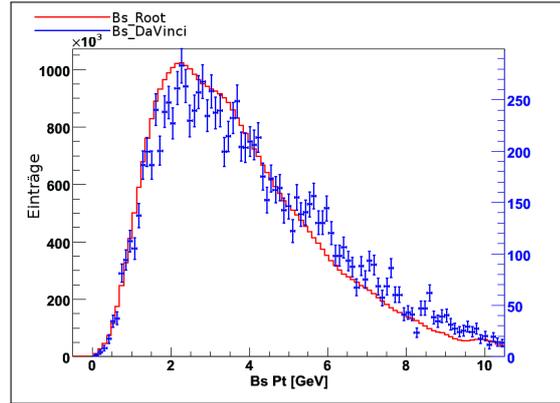
Schnitt	B_s^{DaVinci} Kandidaten		B_s^{ROOT} Kandidaten	
	Teilchen	Anteil	Teilchen	Anteil
Start	11.849		42.106.636	
$\Delta M_{nom} < \pm 150 \text{ MeV}/c^2$	1.775	$0,148 \pm 0,003$	6.242.492	$0,148 \pm 0,001$
Vertex $\chi^2/n\text{DoF} < 5$	831	$0,070 \pm 0,002$	2.804.805	$0,067 \pm 0,001$
$\text{IPS}(B_s^0) < 5$	684	$0,058 \pm 0,002$	2.370.947	$0,056 \pm 0,001$

8.2. Untergrund aus $c\bar{c}$ Ereignissen

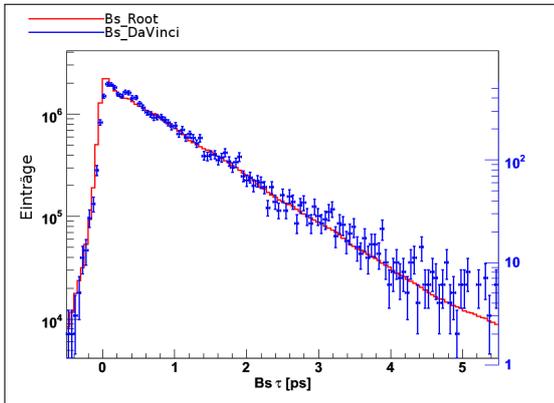
Im folgenden sollen nun die prompten Untergrund Ereignisse betrachtet werden. Eine erste Untersuchung dieses Untergrundes findet sich in [53]. Diese wurde im Rahmen dieser Arbeit weitergeführt.



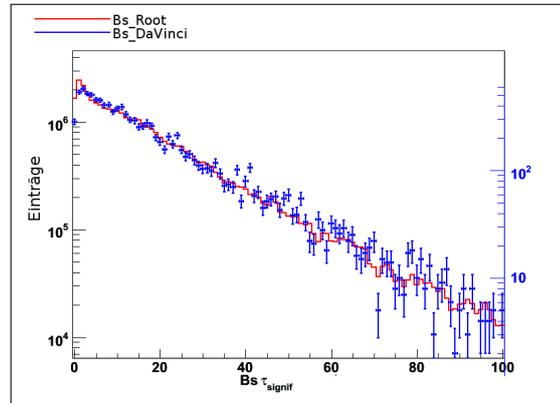
(a) Masse



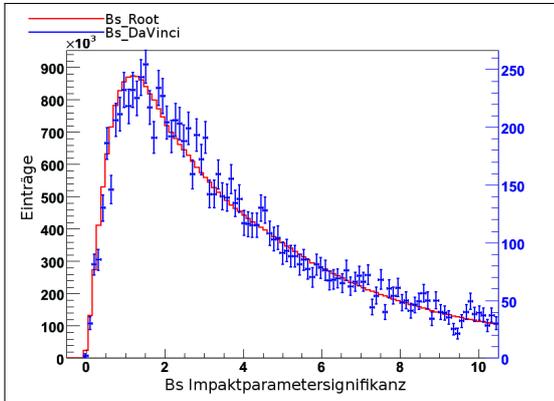
(b) Transversalimpuls



(c) Lebenszeit



(d) Lebenszeitsignifikanz



(e) Impaktparameter Signifikanz

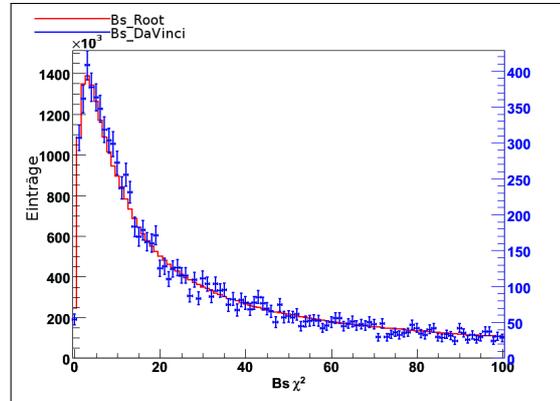
(f) Vertex χ^2

Abbildung 8.2. – Vergleich der Verteilungen der $b\bar{b}$ Mischung in verschiedener Variablen. In Blau ist die Referenz gezeichnet, wie sie das DaVinci Paket erstellt. In Rot ist das Ergebnis der Kombination der Kandidaten aus unterschiedlichen Ereignissen (Skaliert auf die Anzahl der Referenzeinträge). In allen Variablen stimmt der Verlauf beider Kurven jeweils gut überein.

8. Kombination von $J/\psi \Phi$ aus verschiedenen Ereignissen

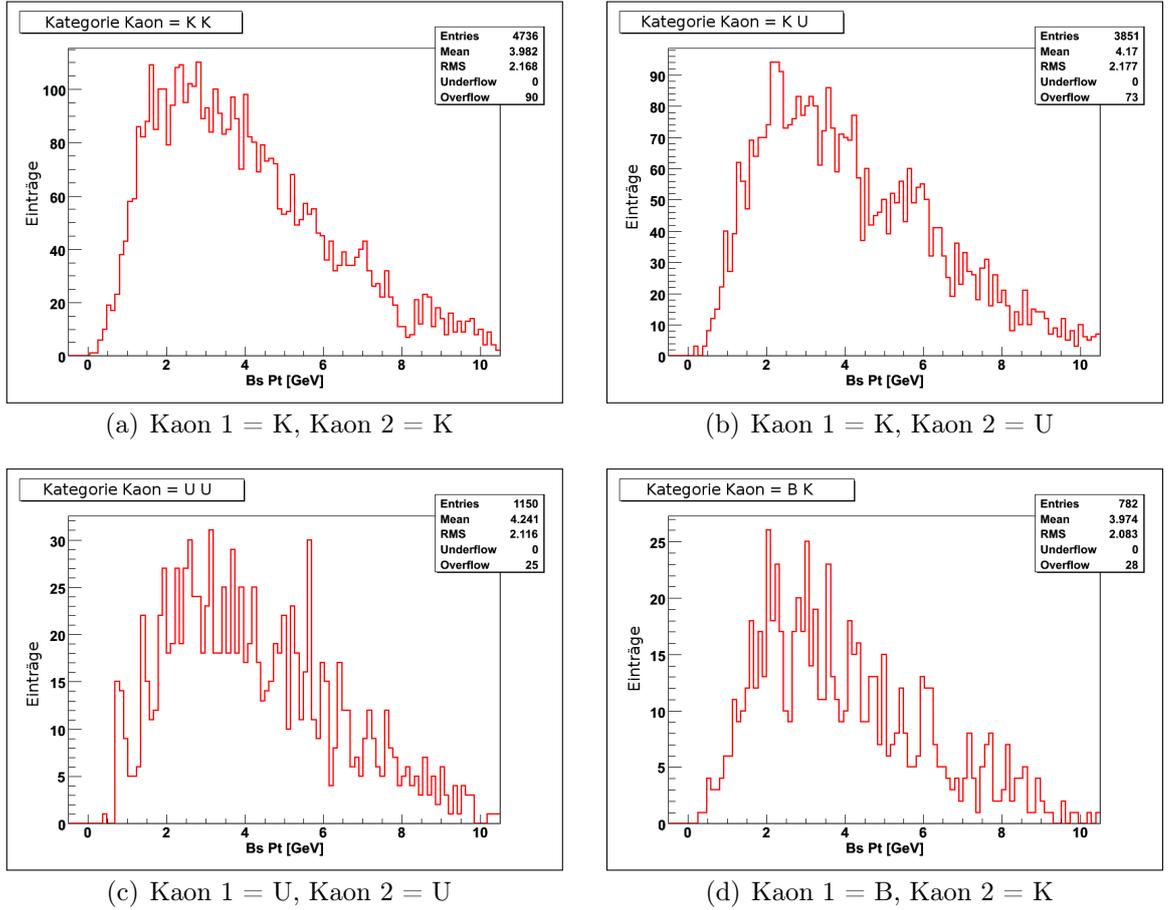


Abbildung 8.3. – Die P_t Verteilungen der B_s^{ROOT} Kandidaten in $b\bar{b}$ Ereignissen in den vier häufigsten Kategorien (a-d). Der unterschiedliche Verlauf der Kurven führt in der Addition zur Bildung der Schultern.

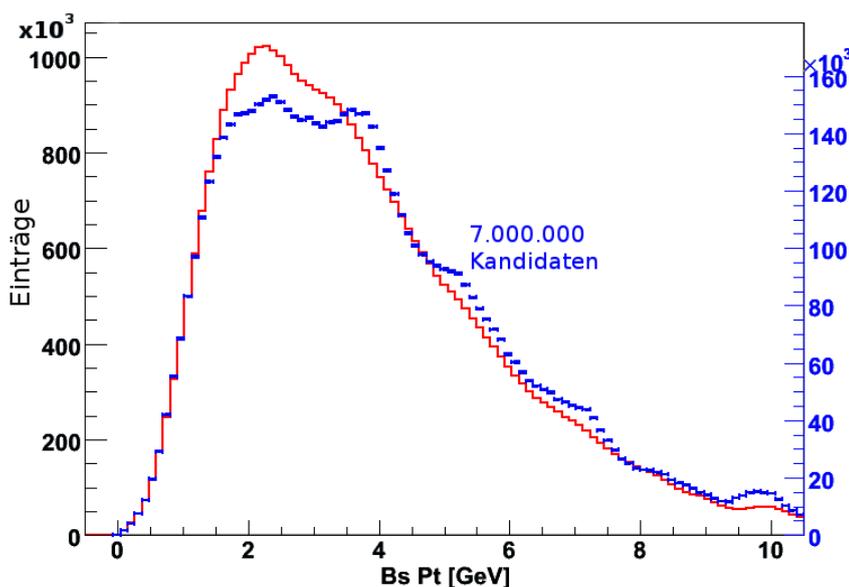


Abbildung 8.4. – Der Verlauf der P_t Verteilung in $b\bar{b}$ Ereignissen in einer Mischung mit $7 \cdot 10^6$ Kandidaten (blau, skaliert) im Vergleich zu der Mischung mit $4,2 \cdot 10^7$ Kandidaten (rot). Man erkennt im ersten Fall noch zahlreiche Schultern, während im zweiten Fall nur noch eine übrig bleibt. Diese stammt von den zwei dominierende Kategorien.

Wie in Kapitel 7.2.1 auf Seite 100 gezeigt wurde, erfüllen Vielzahl von J/ψ und Φ Kandidaten die in Tabelle 7.1 auf Seite 99 vorgestellten Selektionskriterien für J/ψ und Φ . So bleiben nach den Schnitten noch 470.509 J/ψ und 265.890 Φ Kandidaten in $c\bar{c}$ Ereignissen des inklusiven J/ψ Datensatzes übrig. Diese bilden innerhalb des DaVinci Paketes 26.221 B_s^{DaVinci} Kandidaten. Deren Masse liegt dabei aufgrund der losen Schnitte während der Fitprozedur zwischen $4,5 \text{ GeV}/c^2$ und $6,3 \text{ GeV}/c^2$. Der Vertex χ^2 Wert ist dabei kleiner als 200. Die Verteilungen der B_s^{DaVinci} Kandidaten bilden wieder die Referenz, mit der die B_s^{ROOT} Kandidaten verglichen werden.

Zur Überprüfung der Kombination aus verschiedenen Ereignissen wurden 30.000 J/ψ und 2.000 Φ Kandidaten zufällig ausgewählt. Diese wurden miteinander kombiniert, wobei 33.413.183 B_s^{ROOT} Kandidaten gebildet wurden. Damit erzeugten etwa 55,7% der versuchten Kombinationen einen B_s^{ROOT} Kandidaten. Die Bevorzugung der J/ψ Kandidaten trägt der Tatsache Rechnung, dass diese die Kinematik des gebildeten B_s^{ROOT} Kandidaten fast vollständig bestimmen.

Die Verteilungen der so erhaltenen B_s^{ROOT} Kandidaten geben jedoch die Verteilungen der B_s^{DaVinci} nicht vollständig wieder. Insbesondere die Variablen, die mit der Lebenszeit zusammenhängen, werden in den Ausläufern der Verteilung nicht gut beschrieben. Deutlich wird dies bei der Lebenszeit Signifikanz sichtbar. (Abbildung 8.5 auf der nächsten Seite). Dies ist eine unerwartete Beobachtung, da es eigentlich keine Korrelation zwischen den J/ψ und Φ Kandidaten geben sollte.

Um die Ursache für diese Abweichung zu finden, wurden die Ereignisse, in denen ein

8. Kombination von $J/\psi \Phi$ aus verschiedenen Ereignissen

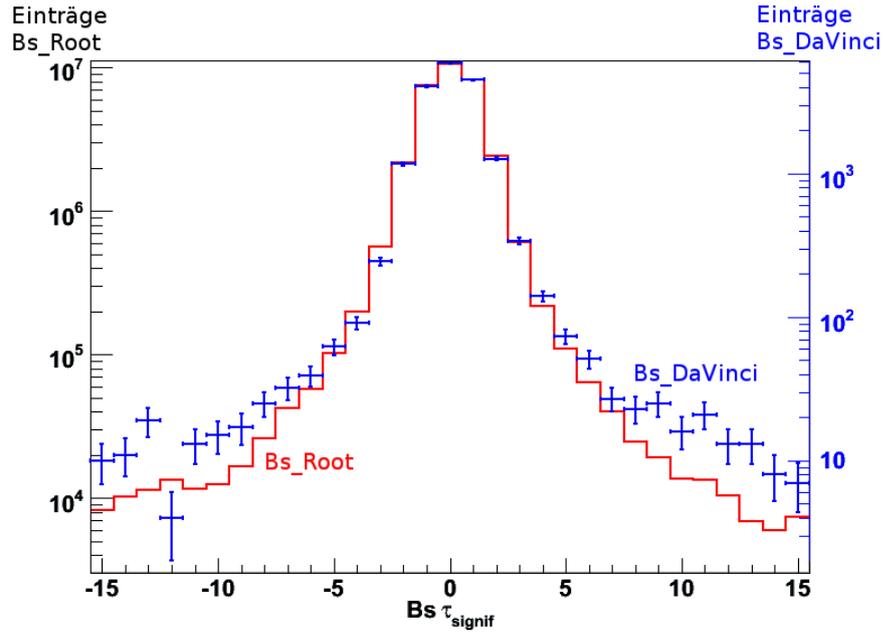


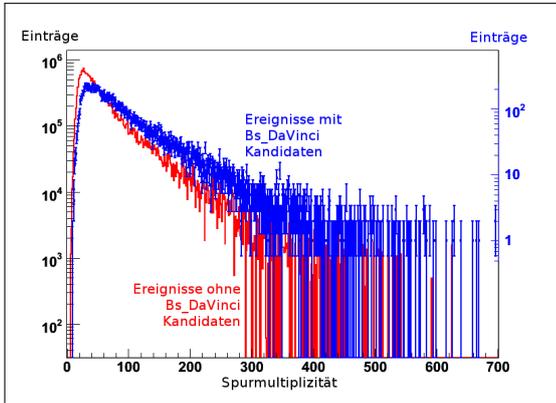
Abbildung 8.5. – Lebenszeit Signifikanz bei der Kombination in $c\bar{c}$ Ereignissen. Bei höheren Werten stimmen die Verteilungen nicht mehr überein, weshalb eine einfaches Kombination wie bei $b\bar{b}$ Ereignissen nicht funktioniert.

B_s^{DaVinci} Kandidat gebildet wurde, von denjenigen getrennt, bei denen dies nicht der Fall war. Es zeigen sich deutliche Unterschiede in der Verteilung der Spurmultiplicitäten (Abbildung 8.6(a) auf der nächsten Seite). Die Ereignisse, in denen kein B_s^{DaVinci} Kandidat gebildet wurde, besitzen meist deutlich weniger Spuren. Eine Erklärung für dieses Verhalten ist, dass aufgrund einer Vielzahl von Spuren in einem Ereignis die Rekonstruktion im Mittel schlechtere Ergebnisse liefert. Die B_s^0 Kandidaten in solchen Ereignissen dominieren aufgrund ihrer größeren kombinatorischen Möglichkeiten dann die Verteilungen.

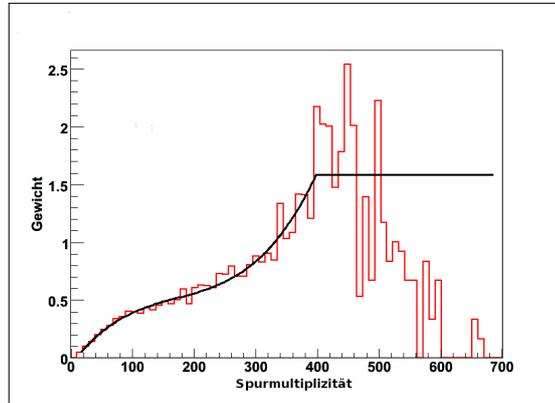
Um diesen Effekt zu minimieren, sollen die J/ψ Kandidaten im folgenden bei der Kombination ein Gewicht gemäß ihrer Spurmultiplicität erhalten. Diese Größe bietet sich auch dadurch zur Gewichtung an, da sie keinen direkten Einfluss auf die Eigenschaften hat, die später extrahiert werden sollen. Um nun die Gewichte zu erhalten, wurde wie folgt vorgegangen. Zunächst wurde das Verhältnis aus der Anzahl der Ereignisse mit B_s^{DaVinci} Kandidat (N_{cand}) und der Anzahl der Ereignisse ohne solche Kandidaten (N_{leer}) für jede Spurmultiplicität gebildet. Anschließend wurde auf die Gesamtzahl normiert: Für einen J/ψ Kandidaten aus einem Ereignis mit Spurmultiplicität s erhält man damit folgendes Gewicht $G(s)$:

$$G(s) = \frac{N_{cand}(s)}{N_{leer}(s)} \cdot \frac{\sum N_{leer}}{\sum N_{cand}}$$

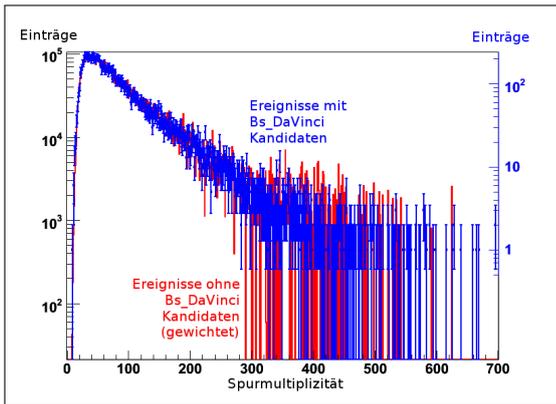
Abbildung 8.6(b) auf der nächsten Seite zeigt die erhaltene Gewichte als Funktion der Spurmultiplicität. Da für große Spurmultiplicitäten nur wenige Ereignisse mit B_s^{DaVinci} Kandidaten vorliegen, unterliegt das so berechnete Gewicht großen Schwankungen in diesem Bereich. Um nun eine glatte Gewichtsfunktion zu erhalten, wurde an die Ver-



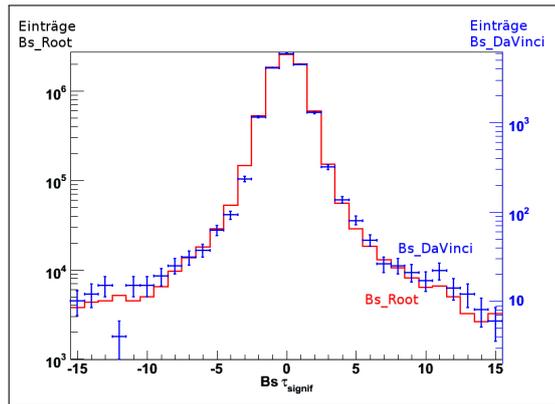
(a) Spurmultiplizitäten



(b) Erhaltene Gewichte + Fit



(c) Spurmultiplizitäten (gewichtet)



(d) Lebenszeit Signifikanz (gewichtet)

Abbildung 8.6. – Plot (a) zeigt den unterschiedlichen Verlauf der Spurmultiplizitäten Verteilung in Ereignissen mit B_s^0 Kandidaten zu denen ohne. Aus dem Verhältnis der beiden Kurven kann man Gewichte bestimmen (b). Angewendet auf (c) und (d) zeigen die Kurven nun wesentlich bessere Übereinstimmung mit den Referenz Werten.

8. Kombination von J/ψ Φ aus verschiedenen Ereignissen

teilung der $G(s)$ ein Polynom dritten Grades bis zu einer Spurmultiplicität von 400 gefittet. Die erhaltene Gewichtsfunktion lautet:

$$\text{Gewicht} = 6,48 \cdot 10^{-8} s^3 - 3,35 \cdot 10^{-5} s^2 + 7,21 \cdot 10^{-3} s - 0,0589$$

Für Spurmultiplicitäten größer als 400 wird der Wert dieser Funktion bei 400 verwendet.

Mittels dieser Funktion wurde die Verteilung der B_s^{ROOT} Kandidaten neu gewichtet. Die Ergebnisse sind in den Abbildungen 8.6(c) für die Spurmultiplicität und in 8.6(d) auf der vorherigen Seite für die Lebenszeit Signifikanz gezeigt. Die Verteilungen zeigen nun eine sehr gute Übereinstimmung mit der Verteilung der B_s^{DaVinci} Kandidaten.

8.3. Skalierung des Untergrund auf die Laufzeit des Signal Datensatzes

Mit der Kombination von J/ψ und Φ Kandidaten aus unterschiedlichen Ereignissen ist es nun möglich, den Untergrund Datensatz auf die Laufzeit des Signal Datensatzes zu skalieren. Nach Anwendung der Schnitte aus Tabelle 7.1 auf Seite 99 auf die J/ψ und Φ Kandidaten wurden in DaVinci für den langlebigen Untergrund in 6.278 Ereignissen eine erfolgreiche Kombination durchgeführt, für den prompten Untergrund waren dies 18.520 Ereignisse. Der dafür verwendete inklusive J/ψ Datensatz entspricht dabei einer Laufzeit von 550 s, wie zuvor gezeigt wurde.

Für eine Laufzeit von $5 \cdot 10^6$ s, die dem Signal Datensatz entspricht, erwartet man damit $5,71 \cdot 10^7$ Ereignisse (langlebig) und $1,68 \cdot 10^8$ Ereignisse (prompt) in den jeweiligen Untergründen. Zu Beachten ist dabei, dass dabei nur die Anzahl der Ereignisse skaliert wurde, nicht jedoch die ursprünglichen Verteilungen.

Zur Abschätzung des Fehlers für diese Skalierung müssen zwei Fehlerquellen berücksichtigt werden. Zum einen ist dies die Unsicherheit in der Laufzeit, die der Datensatz entspricht. In Kapitel 7.2.1 auf Seite 100 wurde gezeigt, dass die Unsicherheit für den verwendeten inklusiven J/ψ Datensatz bei 2,4 % liegt. Zum anderen ist der statistische Fehler auf die Anzahl der B_s^{DaVinci} Kandidaten zu berücksichtigen, Dieser liegt bei 1,26 % für den langlebigen Untergrund und bei 0,74 % für den prompten Untergrund

Um die benötigte Anzahl an B_s^{ROOT} Kandidaten zu generieren, wurde wie folgt vorgegangen. Getrennt nach Untergründen wurden jeweils mit zufällig ausgewählten J/ψ und Φ Kandidaten, welche die Selektionskriterien in Tabelle 7.1 passiert haben, eine Kombination dieser beiden Kandidaten versucht. Diese Prozedur wurde solange wiederholt, bis die oben berechnete Anzahl an B_s^{ROOT} Kandidaten erzeugt waren. Auf diese B_s^{ROOT} Kandidaten wurden nun die Schnitte für die B_s aus Tabelle 7.1 angewendet. Um den Fehler abzuschätzen zu können, der durch die Auswahl der Kandidaten entsteht, wurde diese Prozedur 100x wiederholt.

Dieses Vorgehen war nötig, da die Kombination aller verfügbaren Kandidaten eine zu große Datenmenge erzeugen würde. Insbesondere bei der Kombination der 470.509 J/ψ Kandidaten mit den 265.890 Φ Kandidaten in $c\bar{c}$ würden etwa $1,25 \cdot 10^{12}$ B_s^{ROOT} Kandidaten generiert werden. Diese Menge würde etwa 17 TB Speicherplatz erfordern, welcher nicht zur Verfügung stand.

8.3. Skalierung des Untergrund auf die Laufzeit des Signal Datensatzes

	langlebiger Untergrund ($b\bar{b}$)	prompter Untergrund ($c\bar{c}$)
verfügbare J/ψ Kandidaten	56.498	470.509
verfügbare Φ Kandidaten	85.132	265.890
potentielle B_s^{ROOT} Kandidaten	$2,10 \cdot 10^{10}$	$1,25 \cdot 10^{12}$
benötigte B_s^{ROOT} Kandidaten für 1 fb^{-1}	$5,71 \cdot 10^7$	$1,68 \cdot 10^8$
B_s^{ROOT} Kandidaten nach Selektion	$3,816 \pm 0,040 \cdot 10^6$	$1,930 \pm 0,017 \cdot 10^7$

Tabelle 8.1. – Skalierung des Untergrundes auf 1 fb^{-1}

Abbildung 8.7 auf der nächsten Seite zeigt das Ergebnis der 100 Durchgänge für $b\bar{b}$ Ereignisse, Abbildung 8.8 die entsprechende Verteilung für $c\bar{c}$ Ereignisse. Für den langlebigen Untergrund passieren $3,816 \pm 0,040 \cdot 10^6 B_s^{ROOT}$ Kandidaten die Selektionskriterien für die B_s^0 . Für den prompten Untergrund sind dies $1,930 \pm 0,017 \cdot 10^7 B_s^{ROOT}$ Kandidaten.

Die Tabelle 8.1 fasst die bisher verwendeten Größen zusammen, die bei der Skalierung auf eine Luminosität 1 fb^{-1} verwendet wurden.

Zusammen mit den Signal Datensatz lässt sich nun das Verhältnis von Signal und Untergrund bestimmen. Die einzelnen Werte sind in der folgenden Tabelle zusammengefasst:

	Signal	langlebiger Untergrund	prompter Untergrund
selektierte Ereignisse bei 1 fb^{-1}	$2,76 \cdot 10^5$	$3,82 \cdot 10^6$	$1,930 \cdot 10^7$
Unsicherheit auf Anzahl erwarteter Ereignisse	38,5 %	2,40 %	2,40 %
statistischer Fehler auf selektierte Ereignisse	0,2 %	1,26 %	0,74 %
Fehler durch die Kombination versch. Ereignisse		1,05 %	0,88 %

Damit ergeben sich die Signal zu Untergrund-Verhältnisse zu

$$\left(\frac{S}{B}\right)_{b\bar{b}} = \frac{2,76 \cdot 10^5}{3,82 \cdot 10^6} = 0,072 \pm 0,001(stat) \pm 0,027(sys)$$

$$\left(\frac{S}{B}\right)_{c\bar{c}} = \frac{2,76 \cdot 10^5}{1,93 \cdot 10^7} = 0,0143 \pm 0,0001(stat) \pm 0,0055(sys)$$

In dieses Verhältnis geht die Triggereffizienz für die einzelnen Selektionen nicht ein. Die Abbildung 8.9 auf Seite 117 zeigen die Verteilungen für die Masse und die Lebenszeit für Signal und Untergrund.

8. Kombination von $J/\psi \Phi$ aus verschiedenen Ereignissen

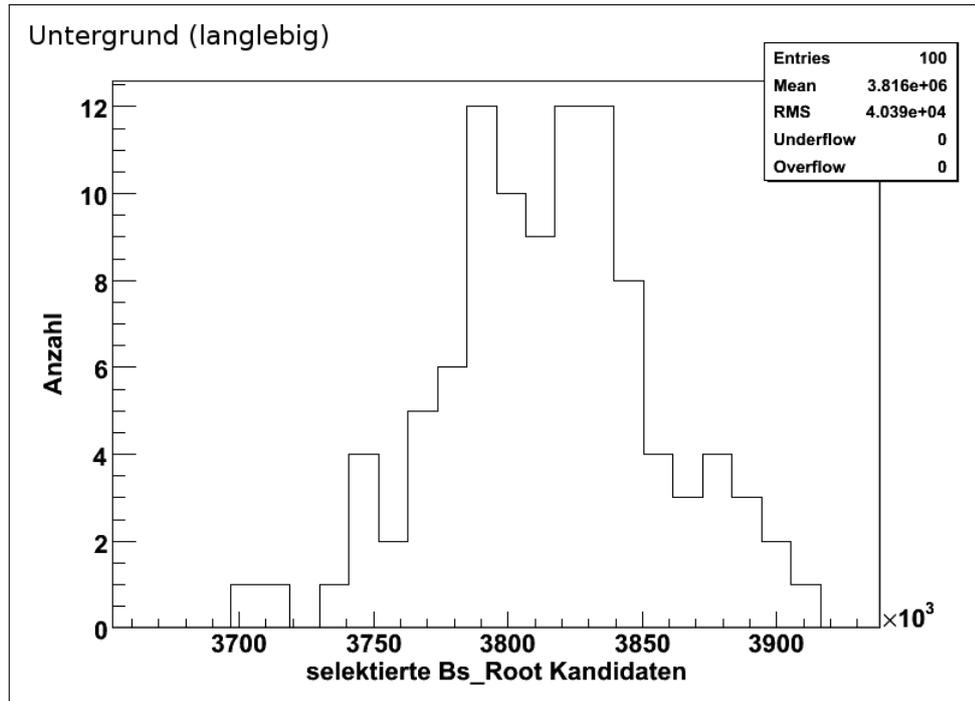


Abbildung 8.7. – Anzahl selektierter B_s^{ROOT} Kandidaten in $b\bar{b}$ Ereignissen

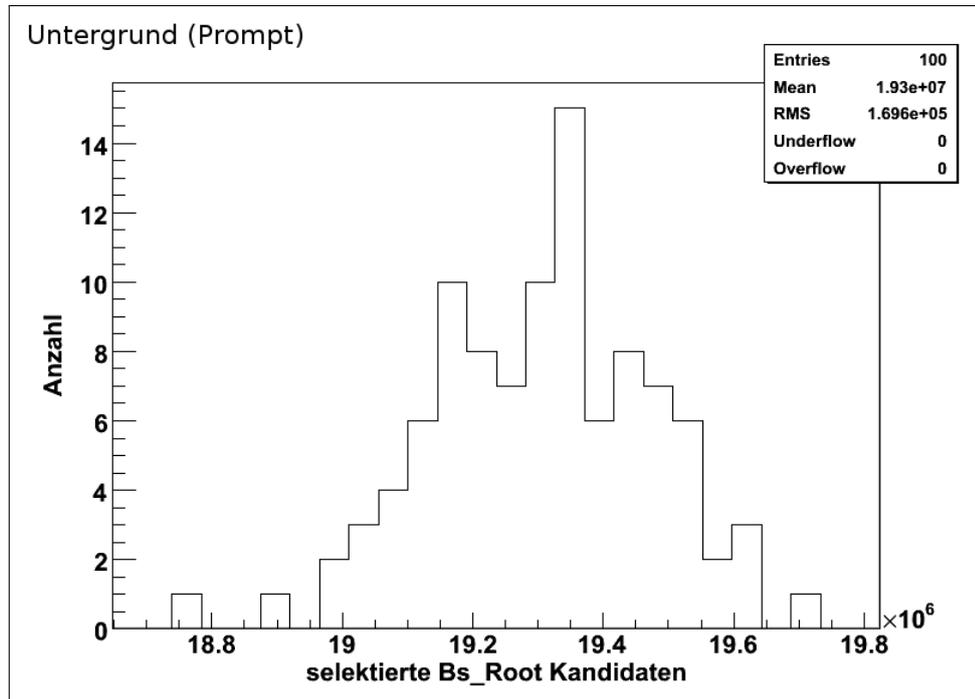


Abbildung 8.8. – Anzahl selektierter B_s^{ROOT} Kandidaten in $c\bar{c}$ Ereignissen

8.3. Skalierung des Untergrund auf die Laufzeit des Signal Datensatzes

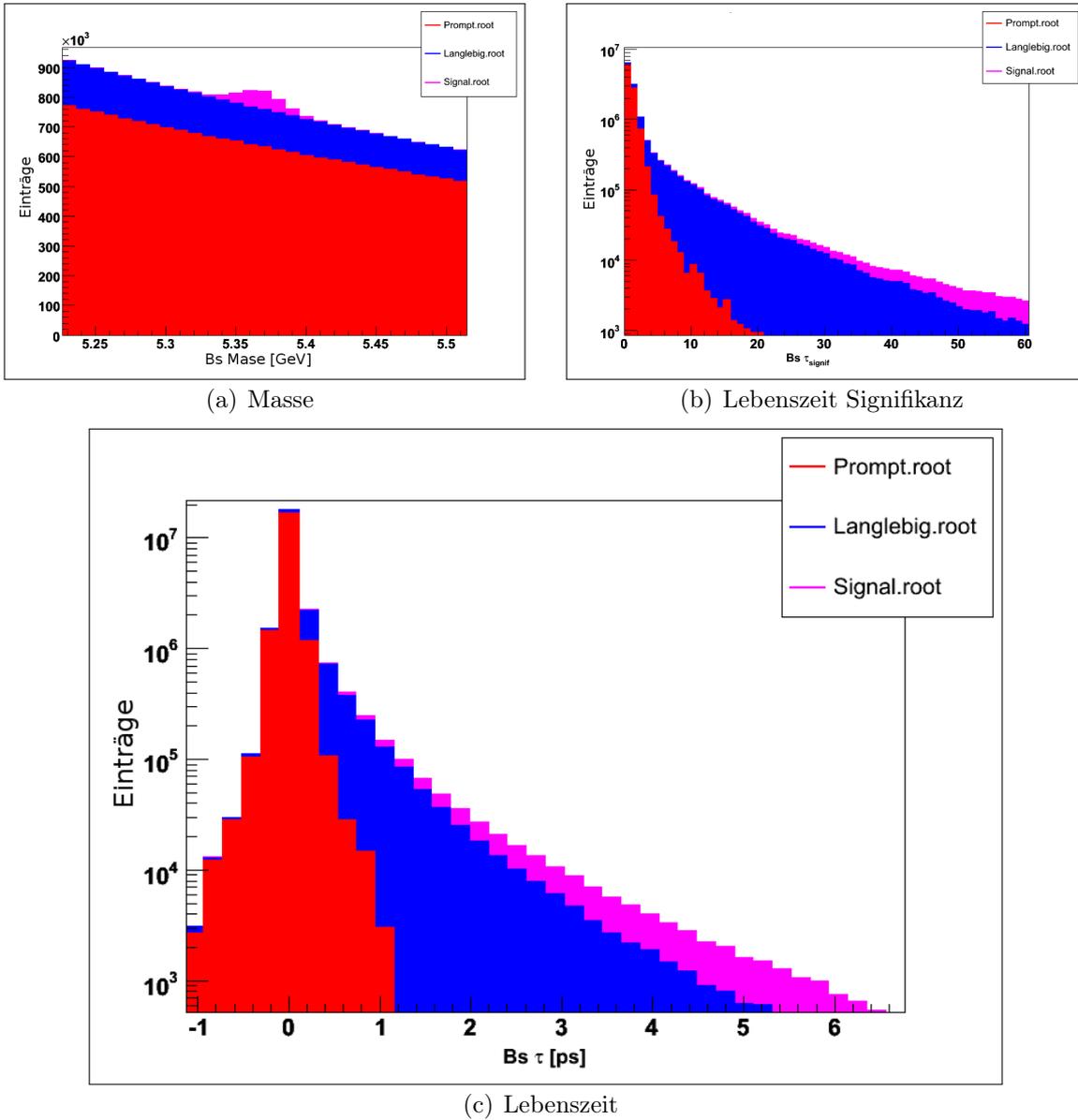


Abbildung 8.9. – Die zusammengesetzten Verteilungen für Signal und Untergrund bei einer Luminosität von 1 fb^{-1} . Das Signal ist in Magenta gezeigt. Der $c\bar{c}$ Untergrund ist in Rot, der $b\bar{b}$ Untergrund in Blau gezeichnet.

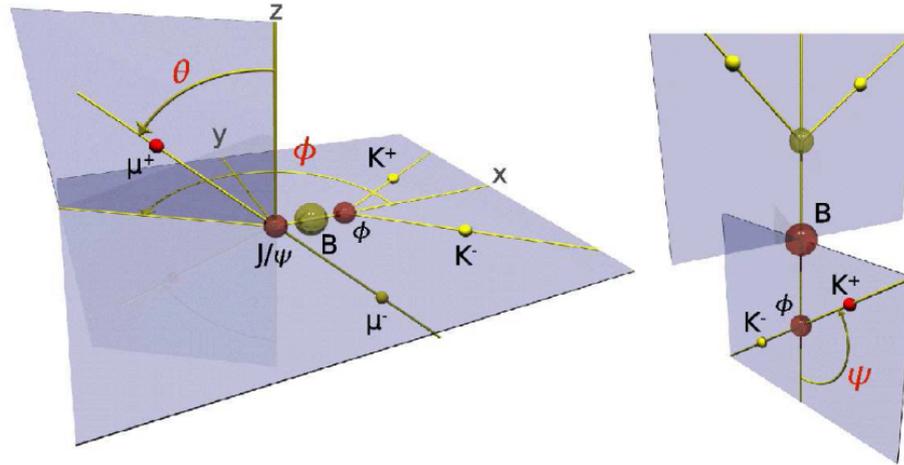


Abbildung 8.10. – Winkeldefinition: θ ist der Winkel zwischen dem μ^+ und der z -Achse im J/ψ Ruhesystem. Der Winkel ϕ ist der Azimutwinkel des μ^+ im gleichen Bezugssystem. Der Winkel ψ ist der Polarwinkel zwischen der x -Achse und dem K^+ im Φ Ruhesystem. (Entnommen aus [54])

8.4. Anwendung im Parameter Fit

Der Zerfall $B_s^0 \rightarrow J/\psi \Phi$ ist ein Pseudo-skalar nach Vektor-Vektor Zerfall. Aufgrund der Erhaltung des Gesamtspins kann der Endzustand drei mögliche Einstellungen für den Drehimpuls annehmen mit $l = 0, 1, 2$. Damit sind die CP Eigenzustände gegeben durch:

$$CP|J/\psi \Phi\rangle = (-1)^l CP|J/\psi \Phi\rangle$$

Daher ist der Endzustand eine Mischung aus CP-geraden ($l=0,2$) und CP-ungeraden ($l=1$) Zuständen. Um sich daraus ergebenden zugehörigen Amplituden in der zeitabhängige Analyse zu trennen, ist eine winkelabhängige Analyse der Zerfallsprodukte notwendig.

Dazu werden drei Winkel für die Zerfallsprodukte definiert (Abbildung 8.10). Im Koordinatensystem des J/ψ Ruhesystem¹ werden die Polar- und Azimutwinkel (θ, ϕ) in Richtung des μ^+ definiert. Im Ruhesystem des Φ -Mesons ist der Winkel ψ zwischen der Flugrichtung des K^+ und der negativen Flugrichtung des J/ψ definiert.

Damit lässt sich der differentielle Wirkungsquerschnitt schreiben als

$$\frac{d^4\Gamma(B_s^0 \rightarrow J/\psi \Phi)}{dt d \cos \theta d\phi d \cos \psi} \propto \sum_{k=1}^6 h_k(t) f_k(\theta, \phi, \psi)$$

, wobei h_k Funktionen der Amplituden der verschiedenen CP-Zustände sind, während die f_k von den Winkel abhängen. Eine genaue Herleitung findet sich in [54].

¹ Das Φ (und B_s) bewegen sich in diesem System in die x -Richtung. Die z -Achse steht senkrecht auf der Ebene, die durch den Zerfall $\Phi \rightarrow K^+K^-$ aufgespannt wird.

Die Amplituden und damit CP-Verletzende Phase Φ_s kann mit einer kombinierten Fit Methode [55] extrahiert werden. Dafür ist die Beschreibung des Untergrundes für die Extraktion sehr wichtig. Mit den in Kapitel 8.3 auf Seite 114 erhaltenen Verteilungen wurde nun der Untergrund gewürfelt und in den Fit Algorithmus eingebracht. Die erhaltenen Verteilungen von Signal und Untergrund für ct und die einzelnen Winkel sind in den Abbildungen 8.11 bis 8.14 auf Seite 121 gezeigt. Im Unterschied zu den bisherigen Untergrundabschätzungen ist die Verteilung für den Winkel ϕ ausgeprägter. Der Einfluss auf die Ergebnisse des Parameter Fit wird dabei weiter untersucht.

8. Kombination von $J/\psi \Phi$ aus verschiedenen Ereignissen

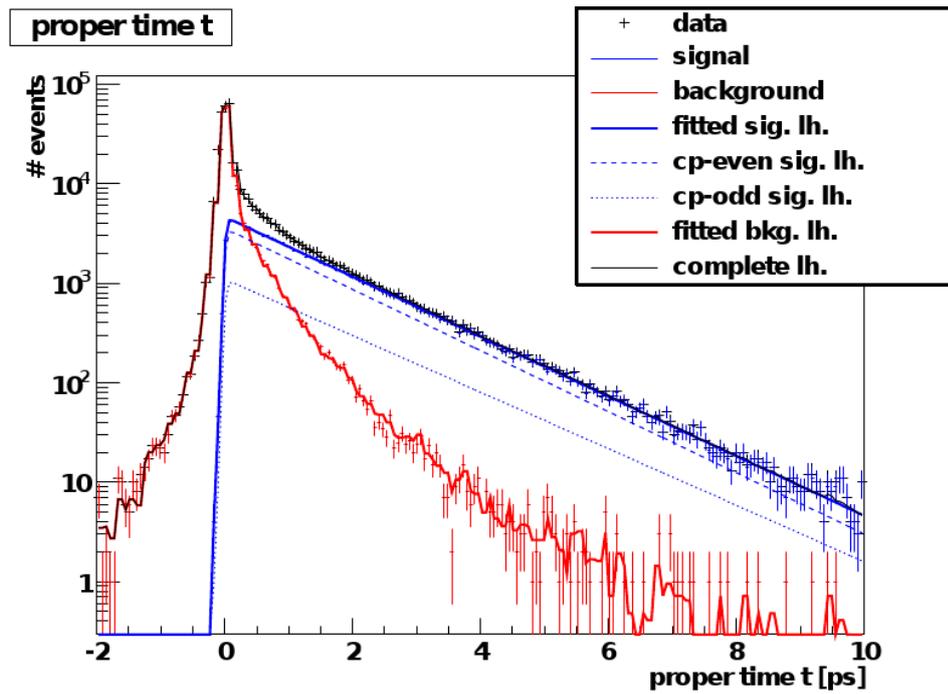


Abbildung 8.11. – ct Verteilung aus dem Fit. Der Anteil des Signals ist in blau gezeigt, der Untergrund rot.

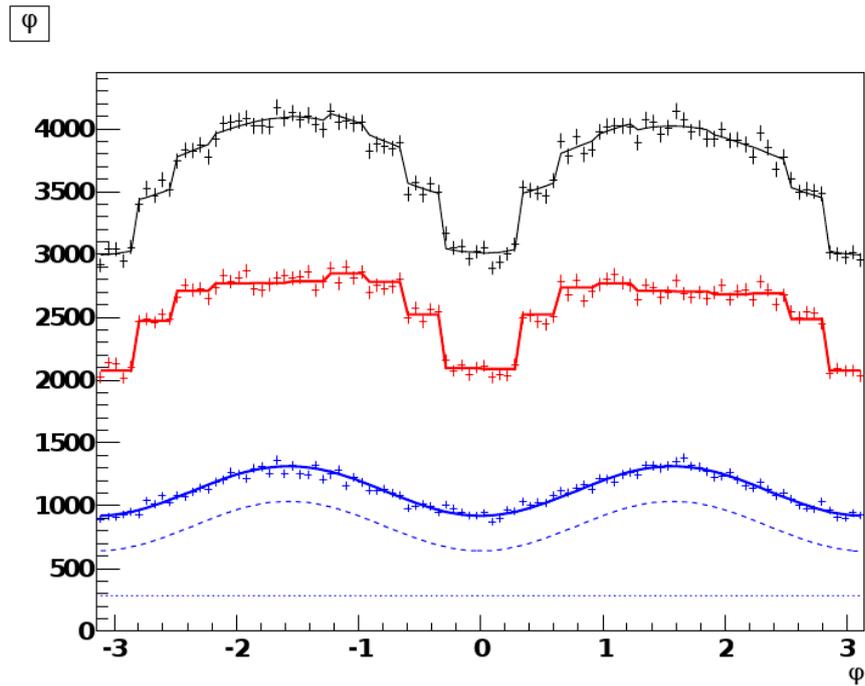


Abbildung 8.12. – ϕ Verteilung aus dem Fit. Legende wie in Abbildung 8.11.

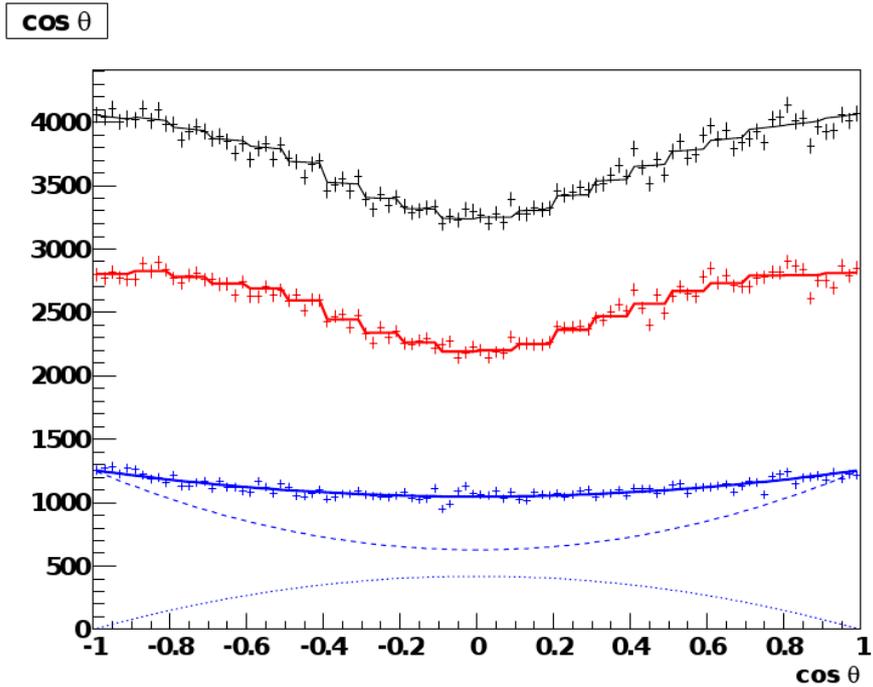


Abbildung 8.13. $-\cos \theta$ Verteilung aus dem Fit. Legende wie in Abbildung 8.11 auf der vorherigen Seite.

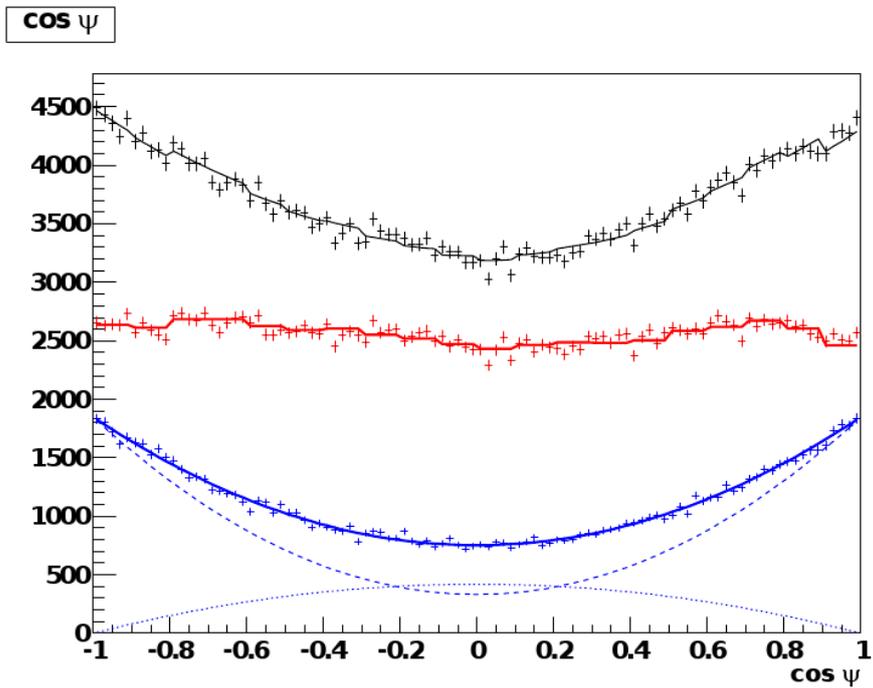


Abbildung 8.14. $-\cos \psi$ Verteilung aus dem Fit. Legende wie in Abbildung 8.11 auf der vorherigen Seite.

9. Zusammenfassung

Die Messung der CP-Verletzenden Phase Φ_s ist eines der Ziele des LHCb Experimentes. Zur Bestimmung dieser Phase eignet sich insbesondere der goldene Zerfallkanal $B_s^0 \rightarrow J/\psi (\mu^+ \mu^-) \Phi (K^+ K^-)$. Dabei ist aber eine genaue Kenntnis über den Untergrund notwendig. Dieser besteht überwiegend aus der falschen Kombination von J/ψ und Φ Kandidaten.

Bisherige Untersuchungen leiden darunter, dass die Monte-Carlo Simulation nur einer kurzen Laufzeit des LHCb Experimentes entspricht. Die Skalierung der dadurch gewonnenen Verteilungen auf längere Laufzeiten ist dabei schwierig. In dieser Arbeit wurde nun eine Methode vorgestellt, die durch Kombination von J/ψ und Φ Kandidaten aus unterschiedlichen Ereignissen einen deutlich größeren Datensatz generiert. Da dies nicht innerhalb der LHCb Analyse Umgebung möglich ist, wurde eine eigene auf ROOT basierende Analyse Umgebung entwickelt. Es konnte gezeigt werden, dass sowohl der langlebige als auch der Untergrund aus prompten J/ψ Kandidaten erfolgreich wiedergegeben werden konnte. Eine Anwendung in einem Parameter Fitter konnte durchgeführt werden.

Teil III.
Appendix

A. FPGA-Firmware

Die folgenden Tabellen beschreiben die Register der FPGA Firmware. Tabelle A.1 zeigt einen Überblick der Register im ersten Adressraum. Tabelle A.2 beschreibt die Bedeutung der einzelnen Statusbits, Tabelle A.3 die Verschiedenen Test Puls Einstellungen, Tabelle A.4 die möglichen Trigger Typen. Tabelle A.5 gibt abschliessend ein Aufstellung der verschiedene Befehle, welche an den FPGA übermittelt werden können.

Die Tabellen A.1 und A.2 in diesem Kapitel benutzen dabei folgenden Farbcode:

beschreibbar und lesbar
nur beschreibbar
nur lesbar
reserviert

A.1. Speicherbelegung

Adr.	Byte			
	3	2	1	0
0	OTIS ID 1		OTIS ID 0	
1	OTIS ID 3		OTIS ID 2	
2	Number of Trigger			
3	Status Bits to FPGA (siehe Tabelle A.2)			
4	Triggerrate (Trigger every X 25 ns)			
5	Number of consecutive Trigger		Reset length [25 ns]	
6	Histogram channel in Stream 3	Histogram channel in Stream 2	Histogram channel in Stream 1	Histogram channel in Stream 0
7	GOL counter check : valid counts		GOL counter check : lock lost count	
8	Expected Header Status Stream 3	Expected Header Status Stream 2	Expected Header Status Stream 1	Expected Header Status Stream 0
9				
10				
11				
12	debug register		events in fifo	
13	I ² C Status			
14	Number of valid hits in stream 0			
15	Number of 0xC0 in stream 0			
... weiter auf der nächsten Seite				

Adr.	Byte			
	3	2	1	0
16	Number of valid hits in stream 1			
17	Number of 0xC0 in stream 1			
18	Number of valid hits in stream 2			
19	Number of 0xC0 in stream 2			
20	Number of valid hits in stream 3			
21	Number of 0xC0 in stream 3			
22	OTIS ID in stream 1		OTIS ID in stream 0	
23	OTIS ID in stream 3		OTIS ID in stream 2	
24	Stream 0 Event ID Bin 1		Stream 0 Event ID Bin 0	
⋮	⋮		⋮	
31	Stream 0 Event ID Bin 15		Stream 0 Event ID Bin 14	
32	Stream 0 Hitmap Bin 1		Stream 0 Hitmap Bin 0	
⋮	⋮		⋮	
47	Stream 0 Hitmap Bin 31		Stream 0 Hitmap Bin 30	
48	Stream 0 Drifttime Bin 1		Stream 0 Drifttime Bin 0	
⋮	⋮		⋮	
143	Stream 0 Drifttime Bin 191		Stream 0 Drifttime Bin 190	
144	Stream 1 Event ID Bin 1		Stream 1 Event ID Bin 0	
⋮	⋮		⋮	
151	Stream 1 Event ID Bin 15		Stream 1 Event ID Bin 14	
152	Stream 1 Hitmap Bin 1		Stream 1 Hitmap Bin 0	
⋮	⋮		⋮	
167	Stream 1 Hitmap Bin 31		Stream 1 Hitmap Bin 30	
168	Stream 1 Drifttime Bin 1		Stream 1 Drifttime Bin 0	
⋮	⋮		⋮	
263	Stream 1 Drifttime Bin 191		Stream 1 Drifttime Bin 190	
264	Stream 2 Event ID Bin 1		Stream 2 Event ID Bin 0	
⋮	⋮		⋮	
271	Stream 2 Event ID Bin 15		Stream 2 Event ID Bin 14	
272	Stream 2 Hitmap Bin 1		Stream 2 Hitmap Bin 0	
⋮	⋮		⋮	
287	Stream 2 Hitmap Bin 31		Stream 2 Hitmap Bin 30	
288	Stream 2 Drifttime Bin 1		Stream 2 Drifttime Bin 0	
⋮	⋮		⋮	
383	Stream 2 Drifttime Bin 191		Stream 2 Drifttime Bin 190	
384	Stream 3 Event ID Bin 1		Stream 3 Event ID Bin 0	
⋮	⋮		⋮	
... weiter auf der nächsten Seite				

A. FPGA-Firmware

Adr.	Byte			
	3	2	1	0
391	Stream 3 Event ID Bin 15		Stream 3 Event ID Bin 14	
392	Stream 3 Hitmap Bin 1		Stream 3 Hitmap Bin 0	
⋮	⋮		⋮	
407	Stream 3 Hitmap Bin 31		Stream 3 Hitmap Bin 30	
408	Stream 3 Drifttime Bin 1		Stream 3 Drifttime Bin 0	
⋮	⋮		⋮	
503	Stream 3 Drifttime Bin 191		Stream 3 Drifttime Bin 190	
504	Number of invalid drifttimes in stream 0			
505	Number of invalid drifttimes in stream 1			
506	Number of invalid drifttimes in stream 2			
507	Number of invalid drifttimes in stream 2			
508	GOL counter check: error counter			
509	Last command			
510	GOL counter check: lock counter [31:0]			
511	GOL counter check: lock counter [63:32]			
512	Version identification ¹			
513	Firmware version ²			
514	Send Trigger			
515	Status Bits from FPGA (siehe Tabelle A.2)			
516	Header Check errors stream 0 bit 1		Header Check errors stream 0 bit 0	
517	Header Check errors stream 0 bit 3		Header Check errors stream 0 bit 2	
518	Header Check errors stream 0 bit 5		Header Check errors stream 0 bit 4	
519	Header Check errors stream 0 bit 7		Header Check errors stream 0 bit 6	
520	Header Check errors stream 1 bit 1		Header Check errors stream 1 bit 0	
521	Header Check errors stream 1 bit 3		Header Check errors stream 1 bit 2	
522	Header Check errors stream 1 bit 5		Header Check errors stream 1 bit 4	
523	Header Check errors stream 1 bit 7		Header Check errors stream 1 bit 6	
524	Header Check errors stream 2 bit 1		Header Check errors stream 2 bit 0	
525	Header Check errors stream 2 bit 3		Header Check errors stream 2 bit 2	
526	Header Check errors stream 2 bit 5		Header Check errors stream 2 bit 4	
527	Header Check errors stream 2 bit 7		Header Check errors stream 2 bit 6	
528	Header Check errors stream 3 bit 1		Header Check errors stream 3 bit 0	
529	Header Check errors stream 3 bit 3		Header Check errors stream 3 bit 2	
530	Header Check errors stream 3 bit 5		Header Check errors stream 3 bit 4	
531	Header Check errors stream 3 bit 7		Header Check errors stream 3 bit 6	
... weiter auf der nächsten Seite				

¹auf „x0C414180“ gesetzt

²auf „x01300506“ gesetzt. Dies steht für Release 1 vom 30.05.2006

Adr.	Byte			
	3	2	1	0
532				
⋮				
575				
576	I ² C register 0			
⋮	⋮			
703	I ² C register 127			
704				
⋮				
1022				
1023				

Tabelle A.1. – Speicherbelegung der FPGA-Firmware

A.2. FPGA Status Bits

Bit	Status Bits to FPGA	Status Bits from FPGA
0	Comma in stream	Event ID overflow stream 0
1	Trigger type [0]	Event ID processing stream 0
2	Trigger type [1]	Hitmap overflow stream 0
3	Histogram all channels	Hitmap processing stream 0
4	Use Comma for sync	Drifttime overflow stream 0
5	Use Data Valid for sync	Drifttime processing stream 0
6	Non zero mode	Event ID overflow stream 1
7	Dummy mode	Event ID processing stream 1
8	Pulser enabel <i>obsolete</i>	Hitmap overflow stream 1
9	Hitmask (0=low, 1=high) <i>obsolete</i>	Hitmap processing stream 1
10	Position ID <i>obsolete</i>	Drifttime overflow stream 1
11	LVDS enable	Drifttime processing stream 1
12	GOL off	Event ID overflow stream 2
13	Inhibit 2,5 V	Event ID processing stream 2
14	GOL counter check dummy mode	Hitmap overflow stream 2
15		Hitmap processing stream 2
16	Select TPoh [0]	Drifttime overflow stream 2
17	Select TPoh [1]	Drifttime processing stream 2
18	Select TPoh [2]	Event ID overflow stream 3
19	Select TPoh [3]	Event ID processing stream 3
20	Select TPeh [0]	Hitmap overflow stream 3
21	Select TPeh [1]	Hitmap processing stream 3
... weiter auf der nächsten Seite		

A. FPGA-Firmware

Bit	Status Bits to FPGA	Status Bits from FPGA
22	Select TPeh [2]	Drifttime overflow stream 3
23	Select TPeh [3]	Drifttime processing stream 3
24	Select TPol [0]	Trigger running
25	Select TPol [1]	not Shutdown
26	Select TPol [2]	QPLL ready
27	Select TPol [3]	GOL ready
28	Select TPel [0]	GOL counter check locked
29	Select TPel [1]	Header check overflow
30	Select TPel [2]	
31	Select TPel [3]	

Tabelle A.2. – *FPGA Status Bits*

Wert	Testpuls signal	Wert	Testpuls signal
0	40 MHz clock	8	PCI clock / 4
1	40 MHz clock + 45°	9	Gnd
2	40 MHz clock + 90°	10	Gnd
3	40 MHz clock + 135°	11	Gnd
4	40 MHz clock + 180°	12	Gnd
5	40 MHz clock + 225°	13	Gnd
6	40 MHz clock + 270°	14	Gnd
7	40 MHz clock + 315°	15	Gnd

Tabelle A.3. – *Testpuls Einstellungen für Tabelle A.2*

Wert	0	1	2	3
Trigger	endlos	bis genug Trigger	konsekutiv	reserviert

Tabelle A.4. – *Trigger typen für Tabelle A.2*

Gruppe	Befehl	Hexadezimal Wert	Beschreibung
OTIS Resets	PowerUp Reset	x"00000011"	Sendet den PowerUp Reset
	L0 Reset	x"00000012"	Sendet den Level 0 (L0) Reset
	BxCnt Reset	x"00000013"	Sendet den Bunch counter Reset
	EvCnt Reset	x"00000014"	Sendet den Event counter Reset
	DLL Reset	x"00000015"	Reset der delay locked loop (DLL) chain
	All Reset	x"00000016"	Sendet einen L0, einen BxCnt Reset und einen EvCnt Reset
FPGA	Start measurement	x"00000021"	Startet die Datennahme
	Stop measurement	x"00000022"	Stoppt die Datennahme
	Power on	x"00000023"	Schaltet Pin „Power enable“ auf 1
	Power off	x"00000024"	Schaltet Pin „Power enable“ auf 0
	GOL check on	x"00000030"	Startet den GOL counter check
	GOL check off	x"00000031"	Stoppt den GOL counter check
	User reset	x"DEADFACE"	Reset der FPGA Einheiten
	Clear FIFO	x"FACEDEAD"	Löscht die Daten im Empfangsfifo
I ² C	I ² C reset	x"00000017"	Reset der I ² C Einheit
	I ² C on	x"00000041"	Schaltet I ² C Einheit ein
	I ² C off	x"00000042"	Schaltet I ² C Einheit aus
	I ² C	x"A???????"	I ² C Befehle (siehe [37])

Tabelle A.5. – Befehlsübersicht für die FPGA-Firmware

B. Wafer Test Ergebnisse

Nr	Wafer-name	Fehlercodes															OK	Yield [%]	
		1	2	4	5	8	9	10	12	13	14	16	19	24	28	30			
1	MCFU9ST			7		1				4		14				3	9	53	67,95
2	M2FUD0T									5		14				1	2	69	88,46
3	MXFUD5T		1			1	6			2	1	13					2	65	83,33
4	MWFUD6T					3	2			2		14				1	2	67	85,90
5	MEFU9QT									4		13				1	4	69	88,46
6	MLFU9IT					2				4		14				1	1	69	88,46
7	MJFU9KT		1			2				3		13				1	1	70	89,74
8	MIFU9LT					3	2			1		13				1	1	70	89,74
9	MPFU9FT					1	5			1		14				1	2	67	85,90
10	MFFU9PT		1	1		2	2			2	2	14				2	2	63	80,77
11	MDFU9RT					3				3		13					2	70	89,74
12	MBFU9TT					2				2	1	13				1	1	71	91,03
13	M8FU9WT		1			2	3			1		13				1	2	68	87,18
14	M4FUFXT					1	1			3		13	1			1	1	70	89,74
15	MCFUG6T					4	3			4		13	1				1	65	83,33
16	M5FUDXT					2	2			3		13					1	70	89,74
17	M1FUD1T					1				3		13				1	1	72	92,31
18	MZFUD3T			1		2	2			2		13				2	2	69	88,46
19	M0FUD2T					2	1			4		13				1	1	69	88,46
20	M5FUFWT			1		1	2			1		13				1	1	71	91,03
21	M6FUFVT									5		13						73	93,59
22	MHFUG1T					3				5		13			1	1	3	65	83,33
23	MGFUFKT		1	1		1				4		13				1	3	67	85,90
24	M6FUBXT			1	1	1				3		12					2	71	91,03
25	M2FUB1T		1			1	3			4		13				2	3	64	82,05
26	M1FUB2T			1						6		13						68	87,18
27	MXFUF4T					1	3			2		13					3	69	88,46
28	MLFUBHT			1						2		14					1	73	93,59
29	MHFUBLT		1			2	2			1		13						72	92,31
30	MGFUC4T			1		1	3	1		4		13					1	67	85,90
31	MMFUBGT					1				4		13	1				3	69	88,46
32	MKFUBIT			1			1			6		13						70	89,74
33	MJFUBJT	1		1	2			2		4		13						68	87,18
34	MVJV2UT					3	2			2		14				1	2	67	85,90
35	MGFUBMT									2		13				1		75	96,15
36	MNFUBFT					1				2		13					3	72	92,31
37	MEFUBPT			1		1				1		13				2		73	93,59
38	MIFUBKT									2		13	1				3	72	92,31
39	MZFUEKT		2					1		2		14					1	71	91,03
40	MYFUELT	1			1		1			2		13			1		1	71	91,03
41	M4FUEFT									5		13						73	93,59
42	M0FUEJT				2	1	1			5		13					1	68	87,18
43	MPFUEVT									3	1	14						73	93,59
44	M7FUGBT									3		13						75	96,15
45	MDFUE6T					1				3		13						74	94,87
46	MAFUE9T			2		4	1			5		13				2	2	62	79,49
47	MIFUC2T					1				2		13					4	71	91,03

Tabelle B.1. – Verteilung der Fehler im Wafer Test(OTIS 1.2)

Nr	Fehlercodes																	OK	Yield [%]		
	1	2	4	5	8	9	11	12	13	14	16	17	19	20	24	25	28			30	31
1			2		2			3		10							5	4	1	61	78,21
2		1			1			5	1	11							1			68	87,18
3	1				3	2				10										72	92,31
4					2	1		2		10										73	93,59
5					1			4		11							1			71	91,03
6					2	1		1		10							1			73	93,59
7					1	4		1		11										71	91,03
8					5	2				10										71	91,03
9					1	2		2		10										73	93,59
10					2	2		2	1	10	3		1					1		68	87,18
11					3	3		3		10							1	1		67	85,90
12					2			2		10										74	94,87
13		1			3	2	1			10										71	91,03
14					3			2		10										72	92,31
15					2	3		2		10					1			1		70	89,74
16				1	5	3		1		10						1				67	85,90
17					3			3		10	1									71	91,03
18					1	2		3		10										72	92,31
19			1		1	3		2		10				1						70	89,74
20					3	3		2		10										70	89,74
21					2			2	1	11										72	92,31
22			1		4	2		2	1	10										67	85,90
23			1					3		10	1						1	1		71	91,03
24					2			3		10										72	92,31
25					1	1		5		10							1	1		69	88,46
26			2		1	1		2		10							1			71	91,03
27	1				3	3		5		10										66	84,62
28					1	2				11							1	1		72	92,31
29		1			2	1				10										74	94,87
30					2			1		10				1			1			73	93,59
31		1			2	3		1		10								2		69	88,46
32						1		1		10							1			75	96,15
33		1				1		2		10										74	94,87
34						1		1		10								1		75	96,15
35			8			1		3		10										66	84,62
36					1			2		10								1		74	94,87
37			1		4			1		10										72	92,31
38					2			3		10										73	93,59
39					2			2		9								1		74	94,87
40			1			2				10		1							1	73	93,59
41								2	2	10										74	94,87
42								2		10										76	97,44
43										10								1		77	98,72
44			3							10										75	96,15
45			1	1				4		11										71	91,03
46			2					2		10										74	94,87
47			1					3		10							1	1		72	92,31

Tabelle B.2. – Verteilung der Fehler im Wafer Test(OTIS 1.3)

C. Testergebnisse der GOL-Aux Karten

C.1. Changelog für das Gol Board Tester Programm

Version 1.00 (03.07.2006)

- * first release

Version 1.10 (01.11.2006)

- * changed error handling in I2C part
- * request tester name if not set
- * massive improvements in the logfiles
- * test, if I2C part is initialized (prevents crashes)
- * autosave after each test
- * minor change in test procedure (added waiting time)
- * shows current board instead of the last board at the end of the test
- * included LHCb logo
- * improved main window
- * accepted TP error is set to 4
- * failing the gol selftest while result in an error dialog
- * all failing tests will be written as a comment
- * improved calculation of the TP mean and error

Version 1.11 (03.11.2006)

- * fixed a bug preventing the logging of the histograms in case of an error
- * changed error handling in the mean calculation
- * threshold setting can now be edited

Version 1.12 (internal test version)

Version 1.13 (internal test version)

Version 1.14 (20.11.2006)

- * fixed an error in the TP handling
(caused failing of good boards)
- * try different TP phase in case of not passing this test
- * comment is now shown in multiple rows

Version 1.15 (22.11.2006)

- * shows dialog when quitting if non saved data
is in the database
- * last 9 autosave files are kept

C.2. Kompletter Code des automatischen Tests

```

1 void CGolBoardTesterView::automaticTest(void) {
2   if (!(test.isPCIopen())) {
3     test.openPCI();
4   }
5   if ( test.isPCIopen() ) {
6     try {
7       // Dialogfeld erzeugen
8       DialogAT m_progDialog;
9       m_progDialog.Create(IDD_AUTOMATICTEST, this);
10      m_progDialog.ShowWindow(SW_SHOW);
11      m_progDialog.start();
12      m_progDialog.AddStep("Initialize");
13
14      // Logfile starten
15      CString serialtemp;
16      serialtemp.Format("%d", m_curBoard->getSerialnumber());
17      test.startLogFile(serialtemp);
18
19      // Setup schreiben (I)
20      FPGASetup setup;
21      setup.setConsecTrigger(10);
22      setup.setGolLockLost(30);
23      setup.setGolValidCount(10);
24      setup.setOtisID0(0x554);
25      setup.setOtisID1(0x555);
26      setup.setOtisID2(0x556);
27      setup.setOtisID3(0x557);
28      setup.setResetLength(8); // Resetlänge = 200ns
29      setup.setStatus(0x99990833); // Testpuls even low = aus
30      // Testpuls odd low = aus
31      // Testpuls even high = aus
32      // Testpuls odd high = aus
33      // GOL_off = aus
34      // 2V5_off = aus
35      setup.setTriggernumber(100); // 100 Trigger
36      setup.setTriggerrate(40); // Alle 40*25ns ein Trigger
37      test.writeSetup(setup);
38      test.fpgaReset();
39      test.logText("Tested with " + m_Version);
40      m_progDialog.completeStep(true, "Initialization");
41      m_progDialog.AddStep("2,5 V on/off");
42

```

C. Testergebnisse der GOL-Aux Karten

```
43 // GOL an/aus und 2,5V an/aus
44 test.logText("-----");
45 test.logText("-- Start > Infrastructure");
46 test.logText("-----");
47 test.powerup();
48 m_curBoard->set2V5off(test.check2V5inhibit());
49 m_progDialog.completeStep(m_curBoard->get2V5off(),"2,5 V on/off");
50 if (!(m_curBoard->get2V5off()))
51     m_curBoard->m_comment += "2.5V inhibit failed, ";
52 m_progDialog.AddStep("Gol chip on/off");
53 m_curBoard->setGoloff(test.checkGolOff());
54 m_progDialog.completeStep(m_curBoard->getGoloff(),"Gol chip on/off");
55 if (!(m_curBoard->getGoloff()))
56     m_curBoard->m_comment += "GOL on/off failed, ";
57 m_progDialog.AddStep("I2C programming, Powerup Reset");
58
59 // Anwender auffordern, 555 einzustellen
60 MessageBox("Please set the ID to 555","ID setting",MB_OK | MB_ICONINFORMATION);
61 test.sendOtisReset();
62
63 // I2C programmieren (I), Powerup reset?
64 test.setI2Cdefault();
65 m_curBoard->setI2Cprog(test.testI2Cprog());
66 test.powerup();
67 test.sendOtisReset();
68 if (m_curBoard->getI2Cprog()) {
69     m_curBoard->setPowerupReset(!(test.testI2Cprog()));
70 }
71 m_progDialog.completeStep(m_curBoard->getPowerupReset(),"Powerup Reset");
72 if (!(m_curBoard->getPowerupReset()))
73     m_curBoard->m_comment += "Powerup Reset failed, ";
74 test.setI2Cdefault();
75 test.sendOtisReset();
76 m_progDialog.completeStep(m_curBoard->getI2Cprog(),"I2C programming");
77 if (!(m_curBoard->getI2Cprog()))
78     m_curBoard->m_comment += "I2C programming failed, ";
79 m_progDialog.AddStep("Send 100 Trigger");
80 test.logText("-----");
81 test.logText("-- End > Infrastructure");
82 test.logText("-----");
83 // AT - 100 Trigger
84 // * Daten empfangen
85 // * Evcnt = 100 bei allen Otissen
86 // * EvCnt-Verteilung flach?
87 test.startTest();
88 Sleep(1000);
89 test.stopTest();
90 m_curBoard->setID(test.checkAllTrigger(100));
91 m_progDialog.completeStep(m_curBoard->getID(),"Data Valid");
92 if (!(m_curBoard->getID()))
93     m_curBoard->m_comment += "Data Valid failed, ";
94 bool temp = test.testI2CEvCnt(100);
95 m_progDialog.completeStep(temp,"Trigger received");
96 if (!(temp))
97     m_curBoard->m_comment += "Trigger received failed, ";
98 m_progDialog.AddStep("Event ID");
99 m_curBoard->setEvcnt(test.checkAllEventID(100));
100 m_progDialog.completeStep(m_curBoard->getEvcnt(),"Event ID");
101 if (!(m_curBoard->getEvcnt()))
102     m_curBoard->m_comment += "Event ID failed, ";
103 m_progDialog.AddStep("Event ID reset");
104
105 // AT - Evcnt reset
106 // * Evcnt = 0 bei allen Otissen
107 test.sendOtisReset();
108 m_curBoard->setEvcntReset(test.testI2CEvCnt(0));
```

C.2. Kompletter Code des automatischen Tests

```
109 m_progDialog.completeStep(m_curBoard->getEvtCntReset(),"Event ID reset");
110 if (!(m_curBoard->getEvtCntReset()))
111     m_curBoard->m_comment += "Event ID reset failed, ";
112
113 // Gol Selftest
114 m_progDialog.AddStep("Gol selftest");
115 ULONGLONG old = 0;
116 ULONGLONG update = 0;
117 UINT golError = 0;
118 ULONGLONG total = 10000000;
119 CGolBoardTesterDoc* pDoc = GetDocument();
120 if (pDoc) {
121     total = pDoc->m_GolSelfTestLength;
122 }
123 temp = true;
124 GOIDialog dialog;
125 dialog.Create(IDD_GOLDIALOG, this);
126 dialog.ShowWindow(SW_SHOW);
127 test.fpgaReset();
128 test.startGolTest();
129 do {
130     Sleep(1000);
131     golError = test.getGolError();
132     update = test.getGolCount();
133     if ( update > old ) {
134         old = update;
135         dialog.update(update, total, golError);
136     }
137     else {
138         MessageBox("The test of the Gol chip ended unexpected. This could mean,
139             that no data was recieved or too many error occured","Gol check failed",
140             MB_OK | MB_ICONSTOP);
141         update = total+1;
142         temp = false;
143     }
144 } while ( update < total );
145 dialog.DestroyWindow();
146 test.stopGolTest();
147 m_curBoard->setGolCycles(test.getGolCount());
148 golError = test.getGolError();
149 m_curBoard->setGolError(golError);
150 if (golError != 0)
151     temp = false;
152 m_progDialog.completeStep(temp,"Gol selftest");
153 if (!(temp))
154     m_curBoard->m_comment += "Gol selftest failed, ";
155
156 // Anwender auffordern, aaa einzustellen
157 if (pDoc) {
158     if (pDoc->m_changeID) {
159         m_progDialog.AddStep("2nd ID setting");
160         test.switchI2CtoAAA(true);
161         MessageBox("Please set the ID to aaa","ID setting",
162             MB_OK | MB_ICONINFORMATION);
163         setup.setOtisID0(0xaa8);
164         setup.setOtisID1(0xaa9);
165         setup.setOtisID2(0xaa);
166         setup.setOtisID3(0xaab);
167         test.writeSetup(setup);
168         test.sendOtisReset();
169         test.fpgaReset();
170         test.startTest();
171         Sleep(100);
172         test.stopTest();
173         temp = test.checkAllTrigger(100);
174         m_progDialog.completeStep(temp,"2nd ID Setting");
```

C. Testergebnisse der GOL-Aux Karten

```

175         if (!(temp))
176             m_curBoard->m_comment += "2nd ID Setting failed, ";
177         if (m_curBoard->getID())
178             m_curBoard->setID(temp);
179     }
180 }
181
182 // AT - 2/3BX, 100k Trigger, Testpuls PCI/4
183 unsigned int numberOfTrigger = 100000;
184 m_progDialog.AddStep("L0 Reset");
185 setup.setTriggernumber(numberOfTrigger);
186 setup.setStatus(0x99890833); // Testpuls even high = PCI/4
187 setup.setHistChannel0(6);
188 setup.setHistChannel1(12);
189 setup.setHistChannel2(22);
190 setup.setHistChannel3(26);
191 test.writeSetup(setup);
192 test.fpgaReset();
193 test.startTest();
194 Sleep(1000);
195 test.stopTest();
196 temp = test.checkAllStreamDriftTime(1, numberOfTrigger, 192);
197 test.setI2CtoBX(2);
198 test.sendOtisReset();
199 test.fpgaReset();
200 test.startTest();
201 Sleep(1000);
202 test.stopTest();
203 if (temp) {
204     temp = test.checkAllStreamDriftTime(1, numberOfTrigger, 128);
205     temp = (temp && test.checkAllDrifttimeEqual0(129, 192));
206 }
207 m_curBoard->setL0Reset(temp);
208 m_progDialog.completeStep(temp, "L0 Reset");
209 m_progDialog.AddStep("Testpuls even high");
210 if (!(temp))
211     m_curBoard->m_comment += "L0 Reset failed, ";
212
213
214 // AT - 40MHz Testpuls
215 test.setI2CtoBX(3);
216 test.sendOtisReset();
217 setup.setTriggernumber(10000);
218 setup.setStatus(0x99190833); // Testpuls even high = clk_40 + 45°
219 setup.setHistChannel0(6);
220 setup.setHistChannel1(12);
221 setup.setHistChannel2(18);
222 setup.setHistChannel3(24);
223 test.writeSetup(setup);
224 if (pDoc) {
225     unsigned char thres = pDoc->m_Threshold;
226     test.setADC(thres);
227 }
228 temp = testTP(setup.getTriggernumber(), 1); //TP eh
229 if (!temp) {
230     setup.setStatus(0x99490833); // Testpuls even high = clk_40 + 180°
231     test.writeSetup(setup);
232     temp = testTP(setup.getTriggernumber(), 1); //TP eh
233 }
234 m_progDialog.completeStep(temp, "Testpuls even high");
235 if (!temp)
236     m_curBoard->m_comment += "Testpuls even high failed, ";
237 m_progDialog.AddStep("Testpuls even low");
238
239 setup.setStatus(0x19990833); // Testpuls even low = clk_40 + 45°
240 temp = testTP(setup.getTriggernumber(), 2); //TP el

```

C.2. Kompletter Code des automatischen Tests

```

241     if (!temp) {
242         setup.setStatus(0x49990833); // Testpuls even low = clk_40 + 180°
243         test.writeSetup(setup);
244         temp = testTP(setup.getTriggernumber(), 2); //TP el
245     }
246     m_progDialog.completeStep(temp, "Testpuls even low");
247     if (!(temp))
248         m_curBoard->m_comment += "Testpuls even low failed, ";
249     m_progDialog.AddStep("Testpuls odd high");
250
251     setup.setStatus(0x99910833); // Testpuls odd high = clk_40 + 45°
252     setup.setHistChannel0(7);
253     setup.setHistChannel1(13);
254     setup.setHistChannel2(19);
255     setup.setHistChannel3(25);
256     test.writeSetup(setup);
257     temp = testTP(setup.getTriggernumber(), 3); //TP oh
258     if (!temp) {
259         setup.setStatus(0x99940833); // Testpuls odd high = clk_40 + 180°
260         test.writeSetup(setup);
261         temp = testTP(setup.getTriggernumber(), 3); //TP el
262     }
263     m_progDialog.completeStep(temp, "Testpuls odd high");
264     if (!(temp))
265         m_curBoard->m_comment += "Testpuls odd high failed, ";
266     m_progDialog.AddStep("Testpuls odd low");
267
268     setup.setStatus(0x91990833); // Testpuls odd low = clk_40 + 45°
269     test.writeSetup(setup);
270     temp = testTP(setup.getTriggernumber(), 4); //TP ol
271     if (!temp) {
272         setup.setStatus(0x94990833); // Testpuls odd low = clk_40 + 180°
273         test.writeSetup(setup);
274         temp = testTP(setup.getTriggernumber(), 4); //TP ol
275     }
276     m_progDialog.completeStep(temp, "Testpuls odd low");
277     if (!(temp))
278         m_curBoard->m_comment += "Testpuls odd low failed, ";
279     m_progDialog.AddStep("Finished");
280     m_progDialog.DestroyWindow();
281
282     setup.setConsecTrigger(10);
283     setup.setGolLockLost(30);
284     setup.setGolValidCount(10);
285     setup.setOtisID0(0x554);
286     setup.setOtisID1(0x555);
287     setup.setOtisID2(0x556);
288     setup.setOtisID3(0x557);
289     setup.setResetLength(8); // Resetlänge = 200ns
290     setup.setStatus(0x99990833); // Testpuls even low = aus
291         // Testpuls odd low = aus
292         // Testpuls even high = aus
293         // Testpuls odd high = aus
294         // GOL_off = aus
295         // 2V5_off = aus
296     setup.setTriggernumber(100); // 100 Trigger
297     setup.setTriggerrate(40); // Alle 40*25ns ein Trigger
298     test.writeSetup(setup);
299     test.fpgaReset();
300 }
301 catch (I2cError& x) {
302     MessageBox(x.getMessage().c_str(), "I2C error", MB_OK | MB_ICONSTOP);
303 }
304 test.closeLogFile();
305 }
306 else {

```

C. Testergebnisse der GOL-Aux Karten

```
307     MessageBox("Could not contact FPGA Board.", "PCI ERROR", MB_OK | MB_ICONSTOP);  
308 }  
309 }
```

C.3. Oszilatoren Spender

Aufgrund fehlender Oszillatoren wurden für die Karten mit den Nummern 616-639 diese von bereits fehlerhaft getesteten Karten entnommen. Diese haben die folgenden Nummern:

N01 (Vorserie)	107	302	354
1 (Vorserie)	157	314	396
3 (Vorserie)	253	318	465
18 (Vorserie)	269	329	492
24	271	331	556
31	272	337	565

D. OTIS Karten Test

D.1. Changelog für das Otis Board Tester Programm

Version 0.99 (13.06.2006)

- * added Version string on front panel
- * activated the even ID bit test
- * included Export to ASCII and LaTeX (in File Menu)
- * serial number is now a string instead of a number
- * fixed a bug when saving the file
- * default document name is now "Otis Board Test yyyyymmdd"
- * the log file name is now Tester_serialnumber.log
- * startup sequence for the GOL chip changed (to be confirmed)

Version 1.00 (16.06.2006)

- * fixed 2 bugs in the Slowcontrol part which could prevent the execution of further commands

Version 1.10 (23.06.2006)

- * fixed a bug testing the L0-Reset. The test could return ok even if it failed.

Version 1.20 (04.07.2006)

- * New menu: Edit->Setting to change settings
- * The software version is written into the log file
- * fixed a bug in the gol on/off setting
- * fixed a bug causing the slow control to fail after a user reset
- * fixed a bug in the slow control if the ticketnumber is "00"
- * simplified the FPGA communication (wait times)
- * set the focus in the dialogs
- * code cleanup for better maintenance
- * speedup DNL test
- * used compiler option "release"

D. OTIS Karten Test

Version 1.30 (20.07.2006)

- * error list is now reset when retesting a board
- * small changes in the tester class
- * the document is now saved after each test in "autosave.obt"
- * massive redesign of the log files.
- * a patch in the slow controll part for more stability
- * a tester name is asked if not set at the start of a new test
- * fix a bug causing a crash on a failing slow control request
- * threshold for hitmap/DNL test can be set in setting menu

Version 1.40 (21.08.2006)

- * included debug dialog to set ASDDAC values
- * improved layout
- * minor changes in the log file

D.2. Kompletter Code des automatischen Tests

```
1 bool COtisBoardTesterView::automaticTest(void) {
2     if ( !(m_test.isPCIopen()) ) {
3         if ( !(m_test.openPCI()) ) {
4             MessageBox("Could not find FPGA card!","PCI error",MB_OK | MB_ICONSTOP);
5             return false;
6         }
7     }
8     COtisBoardTesterDoc* pDoc = GetDocument();
9     unsigned int otis = 1;
10    if ( m_curBoard->getTypeLeft() )
11        otis = 0;
12    // Init progress dialog
13    CProgress dialog;
14    dialog.Create(IDD_PROGRESS,this);
15    dialog.ShowWindow(SW_SHOW);
16    dialog.start();
17    dialog.completeStep(true,"Startup");
18    // Init FPGA
19    FPGASetup setup;
20    setup.setConsecTrigger(44);
21    setup.setGolLockLost(10);
22    setup.setGolValidCount(10);
23    setup.setHistChannel0(0);
24    setup.setHistChannel1(0);
25    setup.setHistChannel2(0);
26    setup.setHistChannel3(0);
27    setup.setOtisID0(0x554);
28    setup.setOtisID1(0x555);
29    setup.setOtisID2(0xaa8);
30    setup.setOtisID3(0xaa9);
31    setup.setResetLength(8);
32    setup.setStatus(0x99990833);
33    setup.setTriggernumber(100);
34    setup.setTriggerrate(40);
35    setup.setExpHeader(0,0xa0);
36    setup.setExpHeader(1,0xa0);
```

D.2. Kompletter Code des automatischen Tests

```

37  setup.setExpHeader(2,0xa0);
38  setup.setExpHeader(3,0xa0);
39  // Init Tester
40  m_test.startLogFile(m_curBoard->getSerialNumber());
41  m_test.logText("Tested with " + m_version + "\n");
42  m_test.switchI2CtoAAA(false);
43  m_test.fpgaReset();
44  m_test.powerup();
45  m_test.check2V5inhibit();
46  m_test.checkGolOff();
47  m_test.writeSetup(setup);
48  m_test.fpgaReset();
49  dialog.completeStep(true,"Initialization");
50  // Anwender auffordern, 555 einzustellen
51  MessageBox("Please set the ID to 555","ID setting",MB_OK | MB_ICONINFORMATION);
52  // L0Reset senden zur Übernahme der Adressen
53  m_test.sendOtisReset();
54
55  // I2C Schachbrett (-> L0Reset)
56  bool temp0 = m_test.checkI2CPattern(otis);
57  bool temp1 = true;
58  bool temp2 = true;
59  bool temp3 = true;
60  m_curBoard->setI2Cprog(temp0);
61  dialog.completeStep(temp0,"I2C pattern");
62  addtoErrorList("I2C: write pattern failed", !temp0 );
63
64  // default values
65  UINT accept = 150;
66  UINT factor = 9;
67  UINT start = 15;
68  UINT stop = 170;
69  UINT step = 10;
70  double upperLimit = 9;
71  bool changeID = true;
72  unsigned int hitmapTrigger = 10000;
73  unsigned int hitmapNoHit = 10000;
74  unsigned int hitmapHit = 10000;
75  unsigned int threshold = 71;
76
77  // different setting?
78  if (pDoc) {
79      hitmapTrigger = pDoc->m_HITMAP_Trigger;
80      hitmapNoHit = pDoc->m_HITMAP_noHit;
81      hitmapHit = pDoc->m_HITMAP_Hit;
82      changeID = pDoc->m_changeID;
83      upperLimit = pDoc->m_DNL_upperLimit;
84      accept = pDoc->m_ADCacceptLimit;
85      factor = pDoc->m_ADCfactor;
86      start = pDoc->m_ADCstart;
87      stop = pDoc->m_ADCend;
88      step = pDoc->m_ADCstepSize;
89      threshold = pDoc->m_threshold;
90  }
91
92  // setting LogFile
93  m_test.logText("\n-----");
94  m_test.logText("-- Start of ASDDAC test");
95  m_test.logText("-----");
96  m_test.logText("Setting:");
97  CString sTemp;
98  sTemp.Format(" ASDDAC start: %d",start);
99  m_test.logText(sTemp);
100  sTemp.Format(" ASDDAC stop: %d",stop);
101  m_test.logText(sTemp);
102  sTemp.Format(" ASDDAC step: %d",step);

```

D. OTIS Karten Test

```

103  m_test.logText(sTemp);
104  sTemp.Format(" ASDDAC factor: %d",factor);
105  m_test.logText(sTemp);
106  sTemp.Format(" ASDDAC accept: %d",accept);
107  m_test.logText(sTemp);
108
109  // ADC Measurement
110  for (UINT i = start; i <= stop; i+=step) {
111      m_test.setADC(otis,(char)i);
112      temp0 = temp0 && m_test.checkADC(0,i*factor,accept);
113      temp1 = temp1 && m_test.checkADC(1,i*factor,accept);
114      temp2 = temp2 && m_test.checkADC(2,i*factor,accept);
115      temp3 = temp3 && m_test.checkADC(3,i*factor,accept);
116  }
117  m_curBoard->setADC(0,temp0);
118  m_curBoard->setADC(1,temp1);
119  m_curBoard->setADC(2,temp2);
120  m_curBoard->setADC(3,temp3);
121  addtoErrorList("ADC register 0 failed",!temp0);
122  addtoErrorList("ADC register 1 failed",!temp1);
123  addtoErrorList("ADC register 2 failed",!temp2);
124  addtoErrorList("ADC register 3 failed",!temp3);
125  dialog.completeStep(temp0 && temp1 && temp2 && temp3,"ADC check");
126  m_test.logText("-----");
127  m_test.logText("-- End of ASDDAC test");
128  m_test.logText("-----\n\n");
129
130  // I2C default 0x555
131  m_test.powerup();
132  m_test.check2V5inhibit();
133  m_test.checkGolOff();
134  m_test.setI2Cdefault(otis);
135  m_test.fpgaReset();
136  m_test.sendOtisReset();
137
138  // 100 Trigger
139  // - ID odd
140  // - EvCnt
141  // - Headerbits
142  // - EvCntReset
143  unsigned int findID = 0x554+otis;
144  m_test.logText("\n-----");
145  m_test.logText("-- Test Id odd, EvCnt, Header bits, ");
146  m_test.logText("-- EvCntReset, Pwerup Reset");
147  m_test.logText("-----");
148  performTest(500,setup);
149  unsigned int stream = m_test.findStreamID(findID);
150  temp0 = m_test.checkTrigger(100,stream);
151  m_curBoard->setIDsuccess(true,temp0);
152  m_curBoard->setL0Reset(temp0);
153  addtoErrorList("Missing data on odd ID setting",!temp0);
154  temp0 = m_test.checkEventID(100,stream);
155  m_curBoard->setEvID(temp0);
156  addtoErrorList("Event count distribution not flat",!temp0);
157  dialog.completeStep(temp0,"Event count ditribution");
158  temp1 = true;
159  for (unsigned int bit = 0; bit < 8; bit++) {
160      temp0 = m_test.checkHeaderBit(stream,bit);
161      m_curBoard->setHeaderBit(bit,temp0);
162      if (!temp0) {
163          temp1 = false;
164          sTemp.Format("Header Bit %d failed",bit+12);
165          addtoErrorList(sTemp,true);
166      }
167  }
168  dialog.completeStep(temp1,"HeaderBit check");

```

D.2. Kompletter Code des automatischen Tests

```

169 temp0 = m_test.testI2CEvCnt(otis ,100);
170 m_test.sendOtisReset();
171 temp1 = false;
172 if ( temp0 ) {
173     m_test.logText("Performing EvCnt reset");
174     temp1 = m_test.testI2CEvCnt(otis ,0);
175 }
176 m_curBoard->setEvCntReset(temp1);
177 addtoErrorList("Event count reset failed",!temp1);
178 dialog.completeStep(temp1,"Event count reset");
179 // PowerupReset
180 m_test.powerup();
181 temp0 = m_test.testI2Cprog(otis);
182 temp1 = !(temp0);
183 m_curBoard->setPowerUpReset(temp1);
184 addtoErrorList("Powerup Reset failed",temp0);
185 dialog.completeStep(temp1,"Powerup Reset");
186 if (temp0)
187     m_test.logText("Powerup reset failed");
188 else
189     m_test.logText("Powerup reset passed");
190 // I2C default
191 m_test.setI2Cdefault(otis);
192
193 setup.setTriggernumber(hitmapTrigger);
194 if (changeID) {
195     MessageBox("Please set the ID to aaa","ID setting",MB_OK | MB_ICONINFORMATION);
196     m_test.switchI2CtoAAA(true);
197     findID = 0xaa8+otis;
198     m_test.logText("\n\n changed to AAA\n");
199 }
200 else
201     m_test.logText("\n\n not changed to AAA\n");
202
203 // 10.000 Trigger
204 // - ID even
205 // - Hitmap even/odd
206 m_test.logText("\n-----");
207 m_test.logText("-- Start of Hitmap Test ");
208 m_test.logText("-----");
209 m_test.setADC(otis ,(char) threshold);
210 setup.setStatus(0x99190833); // Testpuls even high = clk_40 + 45°
211 performTest(1000,setup);
212 stream = m_test.findStreamID(findID);
213 temp0 = m_test.checkTrigger(hitmapTrigger ,stream);
214 m_curBoard->setIDSUCCESS(false ,temp0);
215 addtoErrorList("Missing data on even ID setting",!temp0);
216 if (!(m_curBoard->getL0Reset())) {
217     m_curBoard->setL0Reset(temp0);
218     addtoErrorList("L0 Reset failed",!temp0);
219 }
220 temp0 = m_test.checkHitMap(false ,stream ,hitmapHit ,hitmapNoHit);
221 for (unsigned int i = 0; i < 31; i+=2)
222     m_curBoard->setHitmap(i ,temp0);
223 addtoErrorList("Hitmap even channel failed",!temp0);
224 dialog.completeStep(temp0,"Hitmap even");
225 setup.setStatus(0x99910833); // Testpuls odd high = clk_40 + 45°
226 performTest(1000,setup);
227 stream = m_test.findStreamID(findID);
228 temp0 = m_test.checkHitMap(true ,stream ,hitmapHit ,hitmapNoHit);
229 for (unsigned int i = 1; i < 32; i+=2)
230     m_curBoard->setHitmap(i ,temp0);
231 addtoErrorList("Hitmap odd channel failed",!temp0);
232 dialog.completeStep(temp0,"Hitmap odd");
233 m_test.logText("-----");
234 m_test.logText("-- End of Hitmap test");

```

D. OTIS Karten Test

```
235 m_test.logText("-----\n\n");
236
237 // 1.000.000 Trigger
238 // - Drifttime 0, 15, 16, 31
239 setup.setStatus(0x99890833); // Testpuls even high = PCI/4
240 setup.setTriggernumber(1000000);
241 m_test.logText("\n-----");
242 m_test.logText("-- Start of DNL Test ");
243 m_test.logText("-----");
244
245 // changed 4.7 -> Version 1.14
246 unsigned int channel = 0;
247 for (unsigned int j = 0; j < 4; j++) {
248     sTemp.Format("DNL for channel %d", channel);
249     m_test.logText(sTemp);
250     setup.setHistChannel0(channel);
251     setup.setHistChannel1(channel);
252     setup.setHistChannel2(channel);
253     setup.setHistChannel3(channel);
254     performTest(1300, setup);
255     stream = m_test.findStreamID(findID);
256     m_curBoard->setDNL(channel, m_test.calculateDNL(stream));
257     if ( (m_curBoard->getDNL(channel) == 0) || (m_curBoard->getDNL(channel) > upperLimit) )
258         dialog.completeStep(false, sTemp);
259     else
260         dialog.completeStep(true, sTemp);
261     switch(j) {
262     case 0:
263         {
264             channel = 16;
265             break;
266         }
267     case 1:
268         {
269             channel = 15;
270             setup.setStatus(0x99980833); // Testpuls odd high = PCI/4
271             break;
272         }
273     case 2:
274         {
275             channel = 31;
276             break;
277         }
278     default:
279         {
280         }
281     }
282 }
283 // end changed 4.7 -> Version 1.14
284 m_test.logText("\n-----");
285 m_test.logText("-- End of DNL Test ");
286 m_test.logText("-----");
287
288 setup.setStatus(0x99990833); // Testpuls aus
289 m_test.writeSetup(setup);
290 dialog.DestroyWindow();
291 m_test.closeLogFile();
292 return true;
293 }
```

E. Abkürzungsverzeichnis

ADC	Analog to Digital Converter
ALICE	A Large Ion Collider Experiment
ASDBLR	Amplifier, Shaper, Discriminator with ion-tail cancellation and Base Line Restoration
ASIC	Application-Specific Integrated Circuit
ATLAS	A Toroidal LHC AparatuS
BER	bit error rate
BX	bunch crossing
CERN	Conseil Européen pour la Recherche Nucléaire
CMOS	Complementary Metal Oxide Semiconductor
CMS	Compact Muon Solenoid
CPU	Central Processing Unit
CRack	Comissioning Rack
CRT4T	CRT4T
DAC	Digital to Analogue Converter
DAQ	Data Acquisition
DESY	Deutsches Elektronen Synchrotron
DLL	delay locked loop
DNL	Differential Non Linearity
ECAL	Electromagnetic Calorimeter
ECS	Experiment Control System
FE	Front-end

E. Abkürzungsverzeichnis

FE-Box	Front-end box
FIFO	First in, first out
FPGA	Field Programmable Gatter Array
GOL	Gigabit Optical Link
HCAL	Hadronic Calorimeter
HLT	Higher Level Trigger
I²C	Inter Integrated Circuit
IP	Internet Protocol
IT	Inner Tracker
KIP	Kirchhoff Institut für Physik
L0	Level 0
LHC	Large Hadron Collider
LHCb	Large Hadron Collider beauty
LHCf	Large Hadron Collider forward
LVDS	Low Voltage Differential Signaling
MPW	multi project wafer
NIKHEF	National institute for subatomic physics
ODIN	ODIN
ORxCard	Optical Receiver Card
OT	Outer Tracker
OTIS	Outer tracker Time Information System
PCI	Peripheral Component Interconnect
QPLL	Quartz Crystal phase-looked loop
RICH	Ring Imaging Cherenkov
SCSI	Small Computer System Interface
Tell1	Tell1

TFC	Timing and Fast Control
TOTEM	TOTal Elastic and diffractive cross section Measurement
TPeh	Testpuls even high
TPel	Testpuls even low
TPoh	Testpuls odd high
TPol	Testpuls odd low
TDC	Time to Digital Converter
TRT	Transition Radiation Tracker
TT	Tracker Turicensis
UDP	User Datagram Protocol
VeLo	Vertex Locator
WER	word error rate

Abbildungsverzeichnis

1.1. Entwicklung des Universums	2
2.1. Der LHC im Überblick	6
2.2. Polarwinkel des $b\bar{b}$ Paars	7
2.3. Schematische Darstellung des LHCb Detektors	8
2.4. Positionierung der VeLo Module	10
2.5. Anordnung der Inner Tracker Module	11
2.6. Cherenkov Winkel gegen Teilchenimpuls für die verschiedenen RICH Radiatoren	13
2.7. Das Unitaritätsdreieck bd.	15
2.8. Stand der Messungen des Unitaritätsdreiecks für 2009 [9]	16
2.9. Die Diagramme für (a) $B^- \rightarrow D^0 K^-$ und (b) $\bar{B}^- \rightarrow \bar{D}^0 K^-$	17
2.10. Die Feynmangraphen für $\bar{B}_s^0 \rightarrow D_s^+ K^-$ und $B_s^0 \rightarrow D_s^+ K^-$	17
2.11. Feynmangraphen für $B \rightarrow \mu^+ \mu^-$	18
2.12. Feynmangraphen für $B_q - \bar{B}_q$ -Mischung im Standard Modell ($q = d, s$)	19
2.13. Feynmangraphen für den Zerfall $B_s^0 \rightarrow J/\Psi \Phi$	19
2.14. Eine Monolage während der Produktion	20
2.15. Schematischer Aufbau des OT	21
2.16. C-Frame vor dem Einbau	22
2.18. Messprinzip eines Driftröhrchens	23
2.17. Aufbau eines Röhrchens.	23
2.19. Aufbau der Tell1 Karte	25
3.1. Schematische Darstellung der Outer Tracker Front-end Elektronik	30
3.2. Die OT FE-Box (offen)	31
3.3. Funktionsschema des ASDBLR ASIC	32
3.4. Die ASDBLR Karte	33
3.5. Vorderansicht der OTIS-Karte	34
3.6. Die GOL-Aux Karte	35
3.7. Block Diagramm des OTIS-TDC Chip	37
3.8. Das OTIS Datenformat	38
3.9. TDC Binbreiten des OTIS 1.2	40
3.10. Verteilung der Einträge pro TDC Bin für OTIS 1.2, Kanal 0	42
3.11. Verteilung der Einträge pro TDC Bin für OTIS 1.2, Kanal 0	42
3.12. Vergleich der TDC Bin 0 Breiten im Wafer Test	43
4.1. Die FPGA Firmware im Überblick	48

4.2.	Ein Retikel des MPW Runs 15	48
4.3.	Aufbau des Wafer Tests (schematisch)	49
4.4.	OTIS Pads nach Kontakt	50
4.5.	Flussdiagramm des Wafer Tests	52
4.6.	Histogram eines Chips beim DNL Test	54
4.7.	DNL Berechnung am Beispiel eines Chips	54
4.8.	Wafer map	56
4.9.	Zeitlicher Verlauf des Wafer Tests	57
4.10.	Yield pro Wafer	58
4.11.	Aufbau des GOL-Aux Karten Test	60
4.12.	Das Gol Board Tester Programm	61
4.13.	Probleme bei der Lötung der Otisstecker	63
4.14.	Messung eines hohen TDC-Bin 0 beim OTIS Karten Test	66
4.15.	TDC-Bin 0 Untersuchung: kein Test Puls, DAC Wert 60	68
4.16.	TDC-Bin 0 Untersuchung: kein Test Puls, DAC Wert 70	68
4.17.	TDC-Bin 0 Untersuchung: mit Test Puls, DAC Wert 60	69
4.18.	TDC-Bin 0 Untersuchung: mit Test Puls, DAC Wert 90	69
4.19.	TDC-Bin 0 Untersuchung: mit Test Puls, DAC Wert 110	70
5.1.	Schematischer Aufbau des HH Testsetups	72
5.2.	Strahlprofil	73
5.3.	Genauigkeit der Zeitreferenz (HH)	73
5.4.	Teststrahl Ausleseschema	74
5.5.	HH Triggerschaltung	75
5.6.	Rauschmessung (Teststrahl)	76
5.7.	Crosstalkmessung (Teststrahl)	77
5.8.	Die Zelleffizienz, bestimmt über die Lageneffizienz	79
5.9.	Die Zelleffizienz, bestimmt über die Plateau Effizienz	79
5.10.	Schematischer Ansicht des Testbaus in Dortmund	80
5.11.	Ergebnis des I ² C Rausch Tests	81
5.12.	Das CRack	82
5.13.	Der schematische Aufbau für die Messungen in der LHCb Kaverne	83
5.14.	Rauschmessung in der LHCb Kaverne	85
5.15.	Ergebnis des Schwellenscans für einen Kanal	86
5.16.	Maximale Differenz der einzelnen $V_{thr}^{50\%}$ Werte	87
5.17.	Absoluten Werte für $V_{thr}^{50\%}$	87
5.18.	Ergebnis einer Einzelmessung beim Stabilitätstest	88
5.19.	Zeitlicher Verlauf des Test Pulses	89
5.20.	Differenz der Maxima und Minima	90
5.21.	Verteilung der Standardabweichungen	91
5.22.	Zeitliche Abweichung der Standardabweichung	91
5.23.	Verteilung der ermittelten Steigungen im Stabilitätstest	92
5.24.	Messung der Linearität	93
5.25.	Fit-Messung Linearitätsmessung	94

5.26. Ermittelte Steigungen im Linearitätsfit	94
7.1. Die Massen Verteilungen der B_s Kandidaten nach allen Schnitten im Signal Datensatz.	101
7.2. Verteilungen im Signal Datensatz	102
7.3. Verteilungen im Untergrund Datensatz	102
7.4. Vergleich der Massenverteilung beider Analyse Umgebungen	105
8.1. Koordinatentransformation des Primärvetex	107
8.2. Vergleich der Kombinationen in $b\bar{b}$ Ereignissen	109
8.3. Vergleich der Kombinationen in $b\bar{b}$ Ereignissen	110
8.4. Verlauf der P_t Verteilung in der Mischung	111
8.5. Lebenszeit Signifikanz in $c\bar{c}$ Ereignissen	112
8.6. Gewichtung in $c\bar{c}$ Ereignissen	113
8.7. Anzahl selektierter B_s^{ROOT} Kandidaten in $b\bar{b}$ Ereignissen	116
8.8. Anzahl selektierter B_s^{ROOT} Kandidaten in $c\bar{c}$ Ereignissen	116
8.9. Verteilungen für 1 fb^{-1}	117
8.10. Winkeldefinition	118
8.11. Fit ct	120
8.12. Fit ϕ	120
8.13. Fit $\cos\theta$	121
8.14. Fit $\cos\psi$	121

Tabellenverzeichnis

2.1. Anzahl Zerfälle für γ Messung	18
3.1. GOL-Aux Karten Produktion	34
4.1. Fehlercodes beim Wafer Test	56
4.2. Ergebnis des Wafer Tests	58
4.3. Fehlerverteilung beim Wafer Test	59
4.4. Ergebnisse des GOL-Aux Karten Test	63
4.5. Fehlerarten beim GOL-Aux Karten Test	64
7.1. Selektionkriterien für $B_s^0 \rightarrow J/\psi \Phi$	99
7.2. Verwendete Selektionkriterien für die Validierung der ROOT basierten Analyse Umgebung	104
8.1. Skalierung des Untergrundes auf 1 fb^{-1}	115
A.1. Speicherbelegung der FPGA-Firmware	127
A.2. FPGA Status Bits	128
A.3. Testpuls Einstellungen für Tabelle A.2	128
A.4. Trigger typen für Tabelle A.2	128
A.5. Befehlsübersicht für die FPGA-Firmware	129
B.1. Verteilung der Fehler im Wafer Test (OTIS 1.2)	130
B.2. Verteilung der Fehler im Wafer Test (OTIS 1.3)	131

Literaturverzeichnis

- [1] NASA / WMAP Science Team. Timeline of the universe. <http://map.gsfc.nasa.gov/media/060915/index.html>, October 2008.
- [2] H.J. Hilke and T. Nakada. *LHCb : Technical Proposal*. Tech. Proposal. CERN, Geneva, 1998.
- [3] The LHCb collaboration. The lhcb detector at the lhc. *J. Instrum.*, 3:S08005, 2008.
- [4] Lyndon R Evans and Philip Bryant. Lhc machine. *J. Instrum.*, 3:S08001. 164 p, 2008. This report is an abridged version of the LHC Design Report (CERN-2004-003).
- [5] AC Team. The four main lhc experiments. <http://cdsweb.cern.ch/record/40525#01>, June 1999.
- [6] CERN Press Office. Geneva, editor. *Incident in LHC sector 3-4*. CERN Press Release = CERN Communiqué de presse. CERN, Geneva, 2008. Issued on 20 September 2008.
- [7] CERN Press Office. Geneva, editor. *CERN management confirms new LHC restart schedule*. CERN Press Release = CERN Communiqué de presse. CERN, Geneva, 2009. Issued on 9 February 2009.
- [8] Lincoln Wolfenstein. Parametrization of the kobayashi-maskawa matrix. *Phys. Rev. Lett.*, 51(21):1945–1947, Nov 1983.
- [9] J. Charles et al. CP violation and the CKM matrix: Assessing the impact of the asymmetric B factories. *Eur. Phys. J.*, C41:1–131, 2005. updated results and plots available at: <http://ckmfitter.in2p3.fr>.
- [10] M. Adinolfi et al. The tree-level determination of γ at lhcb. to be published.
- [11] Monika Blanke, Andrzej J. Buras, Diego Guadagnoli, and Cecilia Tarantino. Minimal flavour violation waiting for precise measurements of δm_s , $s_{\psi\phi}$, a_{sl} , $|v_{ub}|$, γ and $b_{\{s,d\}} \rightarrow \mu^+ \mu^-$. *JHEP0610*, 003, 2006.
- [12] E. L. Berger, B. W. Harris, D. E. Kaplan, Z. Sullivan, T. M. P. Tait, and C. E. M. Wagner. Low-energy supersymmetry and the tevatron bottom-quark cross section. *Phys. Rev. Lett.*, 86(19):4231–4234, May 2001.

- [13] T. Aaltonen et al. Search for $b_s^0 \rightarrow \mu^+\mu^-$ and $b^0 \rightarrow \mu^+\mu^-$ decays with $2 fb^{-1}$ of $p\bar{p}$ collisions. *Physical Review Letters*, 100(10):101802, 2008.
- [14] CDF Collaboration. Measurement of the bs - bs bar oscillation frequency. *Physical Review Letters*, 97:062003, 2006.
- [15] D0 Collaboration and V. Abazov. Direct limits on the bs oscillation frequency. *Physical Review Letters*, 97:021802, 2006.
- [16] Sven Faller, Robert Fleischer, and Thomas Mannel. Precision physics with $b_s^0 \rightarrow j/\psi \phi$ at the lhc: The quest for new physics. *Physical Review D (Particles and Fields)*, 79(1):014005, 2009.
- [17] D0 Collaboration and V. M. Abazov. Combined d0 measurements constraining the cp -violating phase and width difference in the $b_{\hat{s}}$ system. *Physical Review D*, 76:057101, 2007.
- [18] G. Haefeli, A. Bay, A. Gong, H. Gong, M. Muecke, N. Neufeld, and O. Schneider. The lhc b daq interface board tell1. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 560(2):494 – 502, 2006.
- [19] G Haefeli, U Uwer, A Vollhardt, and D Wiedner. Prototype if14-1 for an optical 12 input receiver card for the lhc b tell1 board. Technical Report LHCb-2004-072. CERN-LHCb-2004-072, CERN, Geneva, September 2004.
- [20] RD12 collaboration. Timing, trigger and control (ttc) systems for the lhc. <http://ttc.web.cern.ch/TTC/>.
- [21] D Breton and D Charlet. Specs: the serial protocol for the experiment control system of lhc b. Technical Report LHCb-2003-004, CERN, Geneva, Jan 2003.
- [22] NXP Semiconductors. i^2c -bus specification and user manual, Jun 2007.
- [23] J Christiansen. Requirements to the l0 front-end electronics; 2001 ed. Technical Report LHCb-2001-014, CERN, Geneva, Jul 2001. Supersedes LHCb-NOTE-FE-99-29.
- [24] N Dressnandt, N Lam, F M Newcomer, R Van Berg, and H H Williams. Implementation of the asdbl straw tube readout asic in dmill technology. *IEEE Trans. Nucl. Sci.*, 48(4 pt.1):1239–43, 2001.
- [25] H Deppe, U Stange, U Trunk, and U Uwer. The otis reference manual. Technical Report LHCb-2008-010. CERN-LHCb-2008-010, CERN, Geneva, February 2008.
- [26] U Uwer, D Wiedner, A Berkien, T Sluijk, and A Zwart. Specifications for the if13-2 prototype of the auxiliary board for the outer tracker. Technical Report LHCb-2005-039. CERN-LHCb-2005-039, CERN, Geneva, July 2005.

- [27] Ad Berkien, Tom Sluijk, and Albert Zwart. Lhcb outer tracker fe electronics - prototyp of the asdbl board. <http://www.nikhef.nl/pub/experiments/bfys/lhcb/outerTracker/Electronics/FE-Electronics/asdblboard.html>, April 2005.
- [28] IEEE 2000. *Implementation of the ASDBLR Straw Tube Readout ASIC in DMILL*, volume 2. Nuclear Science Symposium Conference Record, 2000.
- [29] L Hommels, T Bauer, A Berkien, A Pellegrino, and T Sluijk. Noise studies with the lhcb outer tracker asdbl board. Technical Report LHCb-2004-117. CERN-LHCb-2004-117, CERN, Geneva, Dec 2004.
- [30] P. Moreira et al. Gol reference manual, gigabit optical link transmitter manual. <http://proj-gol.web.cern.ch/proj-gol/manuals.htm>.
- [31] IEEE. Std 802.3, 1998 edition.
- [32] Paulo Moreira and Alessandro Marchioro. Qpll: a quartz crystal based pll for jitter filtering applications in lhc, 2003.
- [33] Paulo Moreira. Gol status. LHCb Electronics Meeting, March 2005.
- [34] ANSI. X3.131-1986.
- [35] Ralf Muckerheide. Entwicklung eines serientests für den tdc-auslesechip der lhcb spurkammern. Diplomarbeit, Physikalisches Institut der Universität Heidelberg, 2005.
- [36] Jan Knopf. Aufbau eines auslesesystems für die äusseren spurkammern des lhcb-detektors. Diplomarbeit, Physikalisches Institut der Universität Heidelberg, 2004.
- [37] Rainer Schwemmer. Commissioning of the lhcb outer tracker front-end electronics. Diplomarbeit, Physikalisches Institut der Universität Heidelberg, 2007.
- [38] Davis Chapman. *Visual C++ 6 in 21 Tagen*, chapter 13. Markt & Technik, 2004.
- [39] Fabian Jansen. Otis linearity studies. LHCb Outer Tracker Meeting, April 2008.
- [40] G W van Apeldoorn, S Bachmann, T H Bauer, E Bos, Yu Guz, T Haas, J Knopf, J Nardulli, T Ketel, A Pellegrino, T Sluijk, N Tuning, U Uwer, P Vankov, and D Wiedner. Beam tests of final modules and electronics of the lhcb outer tracker in 2005. Technical Report LHCb-2005-076. CERN-LHCb-2005-076, CERN, Geneva, Oct 2005.
- [41] Tanja Haas. *Alterungsstudien und Studium der Betriebseigenschaften des Outer Trackers des LHCb Detektors*. PhD thesis, Physikalisches Institut der Universität Heidelberg, November 2007.
- [42] F. Sauli. Principles of Operation of Multiwire Proportional and Drift Chambers. CERN-77-09.

- [43] V Bobillier and M Muecke. Qualification of the optical links for the data readout in lhcb. Technical Report EDMS 680438, CERN, Geneva, September 2009.
- [44] A Pellegrino, E Simioni, and T Sluijk. Selection of adslbr chip for lhcb outer tracker fe. Technical Report LHCb-2005-088. CERN-LHCb-2005-088, CERN, Geneva, Nov 2005. revised version submitted on 2007-10-04 16:01:06.
- [45] Torbjorn Sjöstrand, Patrik Eden, Christer Friberg, Leif Lonnblad, Gabriela Miu, Stephen Mrenna, and Emanuel Norrbin. High-energy-physics event generation with pythia 6.1, 2000.
- [46] A. Ryd et al. Evtgen a monte carlo generator for b-physics. BAD 522 v6, February 2005.
- [47] Tristan du Pree. Pvv_cplh. http://lhcb-release-area.web.cern.ch/LHCb-release-area/DOC/gauss/generator/PVV_CPLH.pdf, November 2007.
- [48] Parameters of dc06 monte carlo productions. <https://twiki.cern.ch/twiki/bin/view/LHCb/SettingsDc06>.
- [49] M Calvi, B Khanji, G Lanfranchi, O Leroy, and S Poss. Lifetime unbiased selection of $b_s \rightarrow j/\psi\phi$ and related control channels: $b_d \rightarrow j/\psi k^*$ and $b^+ \rightarrow j/\psi k^+$. Technical Report LHCb-2009-025. CERN-LHCb-2009-025, CERN, Geneva, Feb 2009.
- [50] Lhcb computing home page. <http://lhcb-comp.web.cern.ch/lhcb-comp>.
- [51] Davinci project website. <http://lhcb-release-area.web.cern.ch/LHCb-release-area/DOC/davinci/>.
- [52] Kolmogorov test function. <http://root.cern.ch/root/html514/TH1.html#TH1:KolmogorovTest>.
- [53] Nina Krieger. Untergrundstudie des zerfalls $b_s^0 \rightarrow J/\psi (\mu^+\mu^-) \phi (k^+k^-)$ am lhcb-experiment. Diplomarbeit, Physikalisches Institut der Universität Heidelberg, 2008.
- [54] S. Amato et al. Road map for the measurement of mixing induced cp violation in $b_{0s} \rightarrow j/\psi\phi$ at lhcb. to be published.
- [55] C Langenbruch, U Uwer, and S Hansmann-Menzemer. Fit of the decay $b_s \rightarrow j/\psi\phi$. Technical Report LHCb-2009-028. CERN-LHCb-2009-028, CERN, Geneva, Feb 2009.